VILNIAUS GEDIMINO TECHNIKOS UNIVERSITETAS,
VALSTYBINIS MOKSLINIŲ TYRIMŲ INSTITUTAS FIZINIŲ IR
TECHNOLOGIJOS MOKSLŲ CENTRAS

Vytautas MAČAITIS

# NANOMETRINIŲ IR SUBMIKRONINIŲ INTEGRINIŲ GRANDYNŲ ĮTAMPA IR SKAITMENINIU BŪDU VALDOMIEMS GENERATORIAMS KŪRIMAS IR TYRIMAS

DAKTARO DISERTACIJA

TECHNOLOGIJOS MOKSLAI,
ELEKTROS IR ELEKTRONIKOS INŽINERIJA (T 001)

VGTU
LEIDYKLA
TECHNIKA
Vilnius 2019

Disertacija rengta 2015–2019 metais Valstybiniame mokslinių tyrimų institute Fizinių ir technologijos mokslų centre.

**Vadovas**

prof. habil. dr. Romualdas NAVICKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001).

Vilniaus Gedimino technikos universiteto elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo taryba:

**Pirmininkas**

prof. dr. Šarūnas PAULIKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001).

**Nariai**:

dr. Alvydas LISAUSKAS (Lenkijos mokslų akademijos Aukšto slėgio fizikos institutas, fizika – N 002),
dr. Vitalij NOVICKIJ (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001),
dr. Česlovas ŠIMKEVIČIUS (Valstybinis mokslinių tyrimų institutas Fizinių ir technologijos mokslų centras, elektros ir elektronikos inžinerija – T 001),
prof. dr. Algimantas VALINEVIČIUS (Kauno technologijos universitetas, elektros ir elektronikos inžinerija – T 001).

Disertacija bus ginama viešame Elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo tarybos posėdyje **2019 m. lapkričio 8 d. 13 val.** Valstybinio mokslinių tyrimų instituto Fizinių ir technologijos mokslų centro posėdžių salėje D401.

Adresas: Saulėtekio al. 3, LT-10257 Vilnius, Lietuva.
Tel.: (8 5) 264 8884; faksas (8 5) 264 9774; el. paštas office@ftmc.lt

Pranešimai apie numatomą ginti disertaciją išsiųsti 2019 m. spalio 7 d.

Disertaciją galima peržiūrėti VGTU talpykloje http://dspace.vgtu.lt, Vilniaus Gedimino technikos universiteto bibliotekoje (Saulėtekio al. 14, LT-10223 Vilnius, Lietuva) ir Lietuvos mokslų akademijos Vrublevskių bibliotekoje (Žygimantų g. 1, LT-01102 Vilnius, Lietuva).

VGTU leidyklos TECHNIKA 2019-049-M mokslo literatūros knyga
*http://leidykla.vgtu.lt*

ISBN 978-609-476-202-4
© VGTU leidykla TECHNIKA, 2019
© Vytautas Mačaitis, 2019
*vytautas macaitis@vgtu.lt*

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY,
STATE RESEARCH INSTITUTE CENTER FOR PHYSICAL SCIENCES AND TECHNOLOGY

Vytautas MAČAITIS

# DESIGN AND INVESTIGATION OF NANOMETRIC AND SUBMICRON INTEGRATED CIRCUITS FOR VOLTAGE AND DIGITAL CONTROLLED OSCILLATORS

DOCTORAL DISSERTATION

TECHNOLOGICAL SCIENCES,
ELECTRICAL AND ELECTRONIC ENGINEERING (T 001)

Vilnius LEIDYKLA TECHNIKA 2019

Doctoral dissertation was prepared at State Research Institute Center for Physical Sciences and Technology in 2015–2019.

**Supervisor**

Prof. Dr Habil. Romualdas NAVICKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001).

The Dissertation Defense Council of Scientific Field of Electrical and Electronic Engineering of Vilnius Gediminas Technical University:

**Chairman**

Prof. Dr Šarūnas PAULIKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001).

**Members**:

Dr Alvydas LISAUSKAS (Institute of High Pressure Physics of the Polish Academy of Sciences, Physics – N 002),
Dr Vitalij NOVICKIJ (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001),
Dr Česlovas ŠIMKEVIČIUS (State Research Institute Center for Physical Sciences and Technology, Electrical and Electronic Engineering – T 001),
Prof. Dr Algimantas VALINEVIČIUS (Kaunas University of Technology, Electrical and Electronic Engineering – T 001).

The dissertation will be defended at the public meeting of the Dissertation Defence Council of Electrical and Electronic Engineering in the Hall D401 of State Research Institute Center for Physical Sciences and Technology at **1 p. m. on 8 November 2019**.

Address: Saulėtekio al. 3, LT-10257 Vilnius, Lithuania.

Tel.: +3705264 8884; fax +370 5 264 9774; e-mail: office@ftmc.lt.

A notification on the intend defending of the dissertation was send on 7 October 2019.

A copy of the doctoral dissertation is available for review at VGTU repository http://dspace.vgtu.lt, at the Library of Vilnius Gediminas Technical University (Saulėtekio al. 14, LT-10223 Vilnius, Lithuania) and at the Wroblewski Library of the Lithuanian Academy of Sciences (Žygimantų st. 1, LT-01102 Vilnius, Lithuania).

# Reziumė

Disertacijoje nagrinėjama LC-ĮVG ir LC-SVG, architektūros, modeliai bei jų kūrimas taikant nanometrines ir submikronines integrinių grandynų technologijas. Iškeliama ir įrodoma hipotezė, kad tinkamos architektūros parinkimas ir integrinių grandynų technologijų taikymas įgalina sukurti reikiamų parametrų ir kokybės 2–10 GHz įtampa ir skaitmeniniu būdu valdomus generatorius nanometriniuose ir submikroniniuose integriniuose grandynuose. Darbo tikslas – sukurti 2–10 GHz LC-ĮVG ir LC-SVG blokus nanometrinėse bei submikroninėse KMOP integrinių grandynų technologijose, leidžiančius pasiekti reikiamus parametrus skirtus daugiastandarčiams daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams iki 10 GHz. Darbe išspręsti tokie uždaviniai: ištirtos LC-ĮVG ir LC-SVG architektūros skirtingose integrinių grandynų KMOP technologijose ir parinkta optimali architektūra integrinių grandynų sukūrimui, pasiūlytos naujos kokybės funkcijos skirtos LC-ĮVG ir LC-SVG palyginamajai analizei, sukurti ir ištirti LC-ĮVG ir LC-SVG integriniai grandynai.

Disertaciją sudaro įvadas, trys skyriai, bendrosios išvados, naudotos literatūros ir autoriaus publikacijų disertacijos tema sąrašai ir trys priedai.

Įvadiniame skyriuje aptariama tiriamoji problema, darbo aktualumas, aprašomas tyrimų objektas, formuluojamas darbo tikslas bei uždaviniai, aprašoma tyrimų metodika, darbo mokslinis naujumas, darbo rezultatų praktinė reikšmė, ginamieji teiginiai. Įvado pabaigoje pristatomos disertacijos tema autoriaus paskelbtos publikacijos ir pranešimai konferencijose bei disertacijos struktūra.

Pirmajame skyriuje analizuojamos dažnio generatorių architektūros, jų pritaikymas bei jų pagrindiniai parametrai. Pateikiami pagrindiniai dažnio generatorių parametrai. Apžvelgiamos kokybės funkcijos, nusakančios dažnio generatorių pagrindinius parametrus skirtus palyginamajai analizei.

Antrajame skyriuje pateikiamos naujos $FOM_{\mathrm{TT}}$, $FOM_{\mathrm{T2}}$ kokybės funkcijos, kuriomis remiantis vertinami valdomo dažnio generatorių pagrindiniai parametrai palyginamajai analizei. Taip pat pateikiami induktyvumo ritės kokybės gerinimo būdai.

Trečiajame skyriuje, taikant kompiuterinių skaičiavimų ir eksperimentinius metodus yra kuriami ir tiriami įtampa ir skaitmeniniu būdu valdomų generatorių bei papildomų blokų integriniai grandynai.

Disertacijos tema yra atspausdinti 7 moksliniai straipsniai: 2 – mokslo žurnaluose, įtrauktuose į Clarivate Analytics Web of Science duomenų bazę, 3 – tarptautinių konferencijų medžiagoje, įtrauktoje į Clarivate Analytics Proceedings duomenų bazę, 2 – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse. Disertacijoje atliktų tyrimų rezultatai buvo paskelbti dvylikoje mokslinių konferencijų Lietuvoje ir užsienyje.

# Abstract

The dissertation investigates architectures and models of LC-VCO and LC-DCO and their implementation in nanometric and submicron integrated circuit (IC) technologies. A hypothesis is raised and proven that choosing the right architecture and application of integrated circuit technologies enables the creation of the required parameters and figure of merit of 2–10 GHz voltage and digitally controlled oscillators in nanometric and submicron integrated circuits. The aim of the thesis is to create blocks of 2–10 GHz LC-VCO and LC-DCO that allow to achieve parameters of the oscillators required for applications in up to 10 GHz multistandard multiband wireless transceivers implemented in nanometric and submicron CMOS IC technologies.

The following tasks were approached in the work: the architectures of LC-VCO and LC-DCO in different CMOS IC technologies were investigated and optimal architecture suitable for integrated circuit creation were selected, new figures of merit for comparative analysis of LC-VCO and LC-DCO was proposed, LC-VCO and LC-DCO integrated circuits were created and investigated.

The dissertation consists of introduction, three chapters, general conclusions, lists of references and author's publications on the topic of the dissertation, summary in English and three annexes.

The introduction reveals the investigated problem, importance of the thesis and the object of research and describes the purpose and tasks of the work, research methodology, scientific novelty, the practical significance of results examined in the dissertation, defended statements and the structure of the dissertation.

Chapter 1 reviews the architectures of frequency oscillators, their application and main parameters. The figures of merit describing the estimation of the main parameters of the frequency oscillators for comparative analysis are reviewed.

Chapter 2 presents the new $FOM_{\mathrm{TT}}$, $FOM_{\mathrm{T2}}$ figures of merit, which can be used to evaluate the basic parameters of the controlled oscillarors by obtaining one indicator for comparative analysis. Also, approaches to improve the quality of the inductor are provided.

In chapter 3, using simulation and experimental methods, LC-VCOs and LC-DCOs and additional blocks are created and tested.

7 articles on the subject of the dissertation are published: 2 articles – in the Clarivate Analytics Web of Science database, 3 – in international conference publications which are referred by Clarivate Analytics database Proceedings, 2 – in scientific journal listed in other international databases. 12 presentations on the subject of the dissertation have been given at national and international conferences.

# Žymėjimai

## Simboliai

$\Delta f$ – dažnio valdymo ruožas;

$\mu$ – magnetinė skvarba;

$a_{1\text{-}5}$ – Aproksimuotos $\Delta Q$ funkcijos polinomų koeficientai;

$C_0$ – silicio plokštelės pagrindo talpa tenkanti ploto vienetui;

$C_K$ – bendra rezonansinio kontūro talpa;

$C_{ox}$ – parazitinė talpa tarp induktyvumo ritės ir silicio plokštelės pagrindo, dar vadinama oksido talpa;

$C_{si}$ – silicio plokštelės pagrindo talpa;

$D$ – fazės difuzijos koeficientas;

$D_{GR}$ – atstumas tarp induktyvumo ritės ir apsauginio žiedo;

$D_{IŠ}$ – išorinis induktyvumo ritės skersmuo;

$D_{VID}$ – vidinis induktyvumo ritės skersmuo;

$D_{vid}$ – vidutinis induktyvumo ritės skersmuo;

$F$ – aktyvios dalies papildomo triukšmo pertekliaus skaičius;

$f_0$ – centrinis generatoriaus dažnis;

$f_{ATR}$ – atraminio signalo įėjimas;

$f_{DAL}$ – daliklio padalinto signalo įejimas;

$f_{MAX}$ – maksimalus generatoriaus dažnis;

$f_{MIN}$ – minimalus generatoriaus dažnis;

$f_N$ – nuokrypio dažnis nuo centrinio dažnio, kuriame nustatomas fazės triukšmas;

*FOM*, $FOM_T$, $FOM_{TT}$, $FOM_{T2}$ – kokybės funkcija, įvertinanti fazės triukšmą, centrinį dažnį, nuokrypį nuo centrinio dažnio, vartojamąją galią; *FOM* parametrus ir dažnio valdymo ruožą; $FOM_T$ parametrus ir technologinį žingsnį bei maitinimo įtampą; $FOM_T$ parametrus ir lusto plotą bei 1 $mm^2$ gamybos kainą;

$f_r$ – rezonansinis dažnis;

$f_r$ – rezonansinis dažnis;

$G_0$ – silicio padėklo laidumas tenkantis ploto vienetui;

k – Boltzmano konstanta;

$K_1$,$K_2$ – Wheeler koeficientai, kurie priklauso nuo induktyvumo ritės formos;

$\mathcal{L}$ – fazės triukšmas;

$L$ – induktyvumas;

$L_L$ – bendras induktyvumo ritės ilgis;

$L_S$ – nuoseklusis induktyvumo ritės induktyvumas;

$n_I$ – induktyvumo ritės vijų skaičius;

$P_S$ – signalo galia;

$Q_{GR}$ – induktyvumo ritės su apsauginiu žiedu kokybė;

$Q_I$ – induktyvumo ritės kokybės faktorius;

$Q_{max}$ – induktyvumo ritės kokybė, kai $D_{GR}$ yra didžiausias $D_{GRmax}$ = 40 µm;

$Q_{min}$ – induktyvumo ritės kokybė, kai $D_{GR}$ yra mažiausias $D_{GRmin}$ = 10 µm;

$Q_R$ – rezonansinio kontūro kokybė;

$R_p$ – ekvivalentinė parazitinė talpa;

$R_p$ – ekvivalentinė parazitinė varža;

$R_S$ – nuoseklioji induktyvumo ritės varža;

$R_{si}$ – silicio plokštelės pagrindo varža;

$S_I$ – tarpai tarp induktyvumo ritės vijų;

$S_L$ – bendras induktyvumo ritės plotas;

$S_V$ – Lorentziant funkcija;

$T$ – absoliutinė temperatūra;

$t_I$ – induktyvumo ritės storis;

$t_m$ – induktyvumo ritės metalo storis;

$t_{ox}$ – nusako atstumą tarp induktyvumo ritės apačios ir silicio padėklo šis atstumas dar apibūdinamas kaip oksido storis;

$t_{ox,M1-M2}$ – nusako atstumą tarp induktyvumo ritės vijų;

$U_0$ – pagrindinės komponentės amplitudė;

$W_I$ – induktyvumo ritės vijos laidininko plotis;

$W_L$ – bendras induktyvumo ritės plotis;

$X_C$ – kapasitansas;

$X_L$ – induktansas;

$X_T$ – reaktansas;

$\delta$ – aukštadažnio paviršinio laidumo gylis;

$\Delta C$ – valdoma rezonansinio kontūro talpa;

$\Delta D_{GR}$ – minimalaus ir maksimalaus $D_{GR}$ kitimas, kuris yra lygus 30 µm;

$\Delta Q$ – induktyvumo ritės kokybės kitimas aproksimuotas šešių polinomų funkcija;

$\varepsilon_{ox}$ – oksido dielektrinė skvarba;

$\rho_r$ – metalo savitoji elektrinė varža;

$\rho_t$ – induktyvumo ritės sąlyginis tankis išreiškiamas;

$\phi$ – svyravimo pradinė fazė;

$\omega$ – kampinis dažnis;

$\omega_0$ – pagrindinis kampinis dažnis.

## Santrumpos

CML – angl. *Current Mode Logic,* srovės būsenos logika;

ETSPC – angl. *Extended True Single Phase Clock,* išplėstasis tikrasis vienos fazės sinchronizavimas;

FD – fazės detektorius;

FDK – fazės derinimo kilpa;

GS – galios stiprintuvas;

ĮVG – įtampa valdomas generatorius;

KFDK – klasikinė fazės derinimo kilpa;

KMOP – komplementarioji metalo, oksido ir puslaidininkio struktūra;

KP – krūvio pompa;

LC – induktyvinis-talpinis rezonansinis kontūras;

MOP – metalo, oksido ir puslaidininkio lauko tranzistorius;

MPW – angl. *Multi-Project Wafer*, technologija leidžianti gaminti skirtingus integrinius grandynus toje pačioje silicio plokštelėje;

MS – mažatriukšmis stiprintuvas;

NMOP – n kanalo metalo, oksido ir puslaidininkio lauko tranzistorius;

PMOP – p kanalo metalo, oksido ir puslaidininkio lauko tranzistorius;

PTB – perjungiamų talpų blokas;

SVG – skaitmeniniu būdu valdomas generatorius;
TSPC – angl. *True Single Phase Clock*, tikrasis vienos fazės sinchronizavimas;
VSFDK – visiškai skaitmeninė fazės derinimo kilpa;
ŽDF – žemo dažnio filtras.

# Turinys

ĮVADAS ..... 1
Problemos formulavimas ..... 1
Darbo aktualumas ..... 2
Tyrimų objektas ..... 3
Darbo tikslas ..... 3
Darbo uždaviniai ..... 3
Tyrimų metodika ..... 4
Darbo mokslinis naujumas ..... 4
Darbo rezultatų praktinė reikšmė ..... 4
Ginamieji teiginiai ..... 5
Darbo rezultatų aprobavimas ..... 6
Disertacijos struktūra ..... 7
Padėka ..... 7
LC ĮTAMPA IR SKAITMENINIU BŪDU VALDOMŲ GENERATORIŲ ANALIZĖ ..... 9
1.1. Dažnio generatorių tipai ..... 9
1.2. LC įtampa valdomų generatorių ir LC skaitmeniniu būdu valdomų generatorių architektūros ..... 11
1.2.1. NMOP LC įtampa valdomų generatorių architektūra ..... 14
1.2.2. PMOP LC įtampa valdomų generatorių architektūra ..... 15
1.2.3. KMOP LC įtampa valdomų generatorių architektūra ..... 15
1.3. LC dažnio generatorių pagrindiniai parametrai ..... 16
1.3.1. LC generatoriaus dažnis ..... 16

1.3.2. LC generatoriaus fazės triukšmas ... 18
1.3.3. LC generatoriaus dažnio valdymo ruožas ... 21
1.4. LC įtampa valdomų generatorių pagrindinių parametrų bei architektūrų analizė ... 22
1.5. LC skaitmeniniu būdu valdomų generatorių pagrindinių parametrų bei architektūrų analizė ... 30
1.6. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas ... 34
LC ĮTAMPA SKAITMENINIU BŪDU VALDOMŲ GENERATORIŲ TYRIMAS ... 37
2.1. Plačiajuosčių įtampa ir skaitmeniniu būdu valdomų generatorių kokybės funkcija ... 38
2.2. Plačiajuosčių įtampa ir skaitmeniniu būdu valdomų generatorių LC kontūro kokybės gerinimas ... 45
2.2.1. Induktyvumo ritės kokybės gerinimas ... 45
2.2.2. Induktyvumo ritės kokybės priklausomybė nuo atstumo iki apsauginio žiedo ... 50
2.3. Antrojo skyriaus išvados ... 57
LC ĮTAMPA IR SKAITMENINIU BŪDU VALDOMŲ GENERATORIŲ IR PAPILDOMŲ BLOKŲ PROJEKTAVIMAS IR TYRIMAS ... 61
3.1. Trikontūrinų plačiajuosčių mažatriukšmių LC generatorių projektavimas ir tyrimas taikant 65 nm technologiją ... 62
3.1.1 Trikontūrinio plačiajuosčio LC įtampa valdomo generatoriaus projektavimas ir tyrimas ... 62
3.1.2 Trikontūrinio plačiajuosčio LC skaitmeniniu būdu valdomo generatoriaus projektavimas ir tyrimas ... 68
3.1.3 Trikontūrinių plačiajuosčių LC įtampa ir skaitmeniniu būdu valdomų generatorių palyginimas ... 73
3.2. LC įtampa valdomo generatoriaus projektavimas ir tyrimas taikant 0,18 µm technologiją ... 75
3.3. LC skaitmeniniu būdu valdomo generatoriaus projektavimas ir tyrimas taikant 0,13 µm technologiją ... 82
3.4. Trečiojo skyriaus išvados ... 93
BENDROSIOS IŠVADOS ... 95
LITERATŪRA IR ŠALTINIAI ... 97
AUTORIAUS MOKSLINIŲ PUBLIKACIJŲ DISERTACIJOS TEMA SĄRAŠAS ... 107
SUMMARY IN ENGLISH ... 109
PRIEDAI[1] ... 125
A priedas. Disertacijos autoriaus sąžiningumo deklaracija ... 126
B priedas. Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje ... 127
C priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos ... 131

[1] Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

# Contents

INTRODUCTION ..... 1
Problem formulation ..... 1
Relevance of the thesis ..... 2
The object of the research ..... 3
The aim of the thesis ..... 3
The tasks of the thesis ..... 3
Research methodology ..... 4
Scientific novelty of the thesis ..... 4
Practical value of the research findings ..... 4
The defended statements ..... 5
Approval of the research findings ..... 6
Structure of the dissertation ..... 7
Acknowledgements ..... 7

1. ANALYSIS OF LC VOLTAGE AND DIGITALLY CONTROLLED OSCILLATORS ..... 9
1.1. Types of requency oscillators ..... 9
1.2. Architectures of LC voltage and digitally controlled oscillators ..... 11
1.2.1. NMOS architecture of LC voltage controlled oscillators ..... 14
1.2.2. PMOS architecture of LC voltage controlled oscillators ..... 15
1.2.3. CMOS architecture of LC voltage controlled oscillators ..... 15
1.3. Main parameters of LC frequency oscillators ..... 16
1.3.1. Frequency of LC oscillator ..... 16

1.3.2. Phase noise of LC oscillator ..... 18
1.3.3. Tuning range of LC oscillator ..... 21
1.4. Analysis of main parameters and architectures of LC voltage controlled oscillators ..... 22
1.5. Analysis of main parameters and architectures of LC digitally controlled oscillators ..... 30
1.6. Conclusions of the 1st chapter and formulation of the thesis objectives ..... 34
2. REASEARCH OF LC VOLTAGE AND DIGITALLY CONTROLLED OSCILLATORS ..... 37
2.1. Figure of merit of wideband LC voltage and digitally controlled oscillators ..... 38
2.2. Quality improvement of LC tank of wideband LC voltage and digitally controlled oscillators ..... 45
2.2.1. Quality improvement of inductor ..... 45
2.2.2. Inductors quality dependence from distance to the guard ring ..... 50
2.3. Conclusions of 2nd chapter ..... 57
3. DESIGN AND RESEARCH OF LC VOLTAGE AND DIGITALLY CONTROLLED OSCILLATORS AND ADDITIONAL BLOCKS ..... 61
3.1. Design and research of multicore wide band low phase noise LC oscillators in 65 nm technology ..... 62
3.1.1 Design and research of multicore wide band LC voltage controlled oscillator ..... 62
3.1.2 Design and research of multicore wide band LC digitally controlled oscillator ..... 68
3.1.3 Comparison of multicore wide band LC voltage and digitally controlled oscillators ..... 73
3.2. Design and research of multicore wide band LC voltage controlled oscillator in 0.18 µm technology ..... 75
3.3. Design and research of multicore wide band LC digitally controlled oscillator in 0.13 µm technology ..... 82
3.4. Conclusions of 3rd chapter ..... 93
GENERAL CONCLUSIONS ..... 95
REFERENCES ..... 97
LIST OF SCIENTIFIC PUBLICATIONS BY THE AUTHOR ON THE TOPIC OF THE DISSERTATION ..... 107
SUMMARY IN ENGLISH ..... 109
ANNEXES [2] ..... 125
Annex A. Author's declaration of ademic integrity ..... 126
Annex B. Co-authors' agreements to present publications material in the doctoral dissertation ..... 127
Annex C. Copies of scientific publications by the author on the topic of the disertation ..... 131

[2] The annexes are supplied in the enclosed compact disc.

# Įvadas

## Problemos formulavimas

Vis labiau vystantis išmanaus belaidžio ryšio sistemoms, didelis dėmesys yra skiriamas universalioms technologijoms, įgalinančioms komunikuoti skirtinguose dažnių ruožuose, skirtingais duomenų perdavimo standartais. Norint pasiekti mažesnį užimamą plotą, bei įgyvendinti didesnę komponentų integraciją, aptartos technologijos apjungiamos viename luste, kuriame realizuojamas daugiastandartis, daugiajuostis belaidžio ryšio siųstuvas-imtuvas. Daugiastandarčiuose daugiajuosčiuose siųstuvuose-imtuvuose tiksliam signalų generavimui yra naudojama fazės derinimo kilpa, kurioje signalo dažnį generuoja įtampa arba skaitmeniniu būdu valdomas generatorius.

Šiuolaikiniai įtampa ir skaitmeniniu būdu valdomi generatoriai projektuojami ir tiriami taikant skirtingas architektūras įvairiose nanometrinėse bei submikroninėse integrinių grandynų projektavimo ir gamybos technologijose. Įvertinti bendrą suprojektuotų įtampa ir skaitmeniniu būdu valdomų generatorių kokybę yra sudėtinga dėl šių generatorių pagrindinių parametrų gausos ir jų tarpusavio nekoreliavimo. Esamos kokybės funkcijos įvertina ne visus svarbius generatorių parametrus. Taigi norint kuo tiksliau atlikti bendrą įtampa ir skaitmeniniu būdu valdomų generatorių įvertinimą reikia išplėsti kokybę įvertinančią funkciją papildomais parametrais, bei atlikti išsamią pagrindinių parametrų analizę, architektūrų

bei naudojamų integrinių grandynų technologijų atžvilgiu. Taip pat nėra aiškiai ištirti nauji induktyvumo ritės kokybės gerinimo būdai skirtingose integrinių grandynų technologijose, lemiantys mažesnį fazės triukšmą, dėl ko užtikrinamas stabilesnis belaidis ryšys.

Dėl šios priežasties disertacijoje nagrinėjama problema yra tinkamas projektuojamų įtampa ir skaitmeniniu būdu valdomų generatorių architektūros bei KMOP integrinių grandynų technologijos pasirinkimas bei naujas suprojektuotų generatorių kokybės įvertinimas. Problemai išspręsti yra iškeliama ir įrodoma hipotezė: tinkamos architektūros parinkimas ir KMOP integrinių grandynų technologijos taikymas įgalina sukurti reikiamų parametrų ir kokybės 2–10 GHz įtampa ir skaitmeniniu būdu valdomus generatorius integriniuose grandynuose nuo 65 nm iki 0,18 μm.

## Darbo aktualumas

Tobulėjant išmanioms belaidėms technologijoms, šiuolaikinė visuomenė bei ekonomika vis labiau priklauso nuo išmaniųjų belaidžių mobiliųjų ir stacionariųjų belaidžio ryšio sistemų. Norint užtikrinti didelį duomenų perdavimo greitį, geresnį ryšį, bei užtikrintą veikimą mobiliojo belaidžio ryšio tinklai evoliucionavo nuo pirmosios kartos belaidžio ryšio (1G) iki ketvirtosios kartos belaidžio ryšio (4G). Atsiradus 4G belaidžiam ryšiui smarkiai išpopuliarėjo daiktų interneto (IoT) pritaikymas. Ir toliau augant daiktų interneto pritaikymui atsiranda vis daugiau daiktų internete, kurie komunikuoja tarpusavyje, todėl belaidis tinklas toliau yra plečiamas iki anonsuojamos 5 kartos (5G). Kadangi mobilusis ryšys bus atnaujinamas iki 5G, bazinių stočių siųstuvai bus modernizuojami, o tai paskatins dar didesnį daugiastandarčių, daugiajuosčių siųstuvų-imtuvų panaudojimą. Taigi reikalingi mobilūs belaidžio ryšio įrenginiai su kuo didesniu funkcionalumu ir veikimu plačiame dažnių ruože, kurie geba palaikyti daugiastandartes sistemas (Neog & Bera, 2017).

Pasaulyje smarkiai vystomas išmaniųjų korinių skaitmeninių belaidžio ryšio standartų įgyvendinimas įvairiose geografinėse vietovėse. Dėl šių veiksnių atsiranda didelė paklausa perkonfigūruojamų belaidžio ryšio siųtuvų-imtuvų, kurie gali būti pritaikomi kaip keitikliai tarp tam tikrų belaidžio ryšio standartų. Šiam tikslui gali būti pritaikomi daugiajuosčiai, daugiastandarčiai belaidžio ryšio siųstuvai-imtuvai. Panaudojus šiuos siųstuvus-imtuvus atsiranda galimybė migruoti tarp tinklų nepriklausomai nuo daugiajuostės bei daugiastandartės belaidžio ryšio aplinkos. Šis pritaikymas yra labai svarbus zonose, kur belaidžio ryšio techninė rinka yra susiskaldžiusi. Norint palaikyti kuo daugiau belaidžio ryšio standartų bei užtikrinti kokybišką belaidį ryšį daugiajuosčiuose, daugiastandarčiuose belaidžio

ryšio siųstuvuose-imtuvuose reikia tobulinti plataus dažnio valdymo ruožo bei mažo fazės triukšmo įtampa ir skaitmeniniu būdu valdomus generatorius.

## Tyrimų objektas

Darbo tyrimų objektas – 2–10 GHz mažatriukšmių plataus dažnio valdymo ruožo daugiakontūrinių ir vienkontūrinių LC įtampa ir skaitmeniniu būdu valdomų generatorių integriniai grandynai nanometrinėse ir submikroninėse KMOP technologijose.

## Darbo tikslas

Šio darbo pagrindinis tikslas – sukurti 2–10 GHz mažatriukšmių plataus dažnio valdymo ruožo daugiakontūrinių ir vienkontūrinių LC įtampa ir skaitmeniniu būdu valdomų generatorių blokus nanometrinėse bei submikroninėse KMOP integrinių grandynų technologijose, leidžiančius pasiekti reikiamus parametrus, skirtus daugiastandarčiams daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams, veikiantiems iki 10 GHz dažniu.

## Darbo uždaviniai

Darbo tikslui pasiekti darbe reikia spręsti šiuos uždavinius:

1. Ištirti LC įtampa ir skaitmeniniu būdu valdomų generatorių architektūras taikant integrinių grandynų KMOP technologijas nuo 65 nm iki 0,18 μm ir parinkti optimalią architektūrą, tinkančią LC įtampa ir skaitmeniniu būdu valdomų generatorių projektavimui.
2. Pasiūlyti naujas kokybės funkcijas LC įtampa ir skaitmeniniu būdu valdomų generatorių palyginamajai analizei bei LC įtampa ir skaitmeniniu būdu valdomų generatorių kontūrų kokybės įvertinimą.
3. Sukurti ir ištirti aukštadažnių plačiajuosčių mažatriukšmių LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinius grandynus bei jų papildomus blokus, skirtus daugiastandarčiam belaidžiam ryšiui.

## Tyrimų metodika

LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinių grandynų tyrimams taikyti analiziniai, matematiniai ir kompiuterinio modeliavimo metodai. LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinių grandynų tyrimams buvo taikytos 40 nm, 65 nm, 0,13 µm ir 0,18 µm nanometrinės ir submikroninės KMOP integrinių grandynų gamybos technologijos. Sukurtų LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinių grandynų tyrimo metu taikyti kompiuterinio modeliavimo metodai naudojant CADENCE programinį paketą. Pagamintų LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinių grandynų parametrų verifikacijai buvo taikomi eksperimentiniai tyrimo metodai.

## Darbo mokslinis naujumas

Rengiant disertaciją buvo gauti šie elektros ir elektronikos inžinerijos mokslui nauji rezultatai:

1. Pasiūlytos dvi naujos kokybės funkcijos $FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$, LC įtampa ir skaitmeniniu būdu valdomų generatorių analizei. Šios funkcijos įvertina: fazės triukšmą; centrinį generatoriaus dažnį; nuokrypio dažnį nuo nešlio dažnio, ties kuriuo matuojamas fazės triukšmas; vartojamąją galią; dažnio valdymo ruožą; technologinį žingsnį; maitinimo įtampą; lusto užimamą plotą ir lusto preliminarią gamybos kainą.
2. Gautos naujos induktyvumo ritės kokybės priklausomybės nuo jos atstumo iki apsauginio žiedo, dažniui kintant nuo 2 GHz iki 10 GHz, taikant skirtingas 40 nm, 65 nm ir 0,18 µm KMOP integrinių grandynų technologijas.
3. Sukurti 2–10 GHz mažatriukšmiai plataus dažnio valdymo ruožo daugiakontūriniai ir vienkontūriniai LC įtampa valdomi generatoriai taikant 65 nm ir 0,18 µm, o skaitmeniniu būdu valdomi generatoriai atitinkamai 65 nm ir 0,13 µm KMOP integrinių grandynų technologijas bei ištirti šių generatorių pagrindiniai parametrai.

## Darbo rezultatų praktinė reikšmė

Disertacijoje gauti rezultatai panaudoti projektuojant aukštadažnius mažatriukšmius LC įtampa ir skaitmeniniu būdu valdomus generatorius taikant 65 nm, 0,18 µm ir 0,13 µm KMOP nanometrines bei submikronines integrinių grandynų

technologijas. Sukurtų LC įtampa ir skaitmeniniu būdu valdomų generatorių modeliai bei integriniai grandynai gali būti taikomi išmaniuose daugiajuosčiuose, daugiastandarčiuose belaidžiuose siųstuvuose-imtuvuose, kurių dažnis 2–10 GHz, įvairiose moderniose komunikacijų, karinių, pramoninių ir sveikatos priežiūros rinkų srityse. Tyrimų metu gauti rezultatai gali būti taikomi magistrantų ir kitų mikro ir nanoelektronikos srities specialistų mokymui.

Disertacijos tyrimų rezultatai buvo panaudoti vykdant:

- Mokslo darbą „Daiktų interneto karkaso modelio ir priemonių intelektualioms transporto sistemoms kūrimas ir tyrimas“ (Nr. 16949, 2018).
- Mokslo darbą „Nanoelektronikos procesų modeliavimas ir tyrimas“ (Nr. TMT 292, 2012–2016).

## Ginamieji teiginiai

1. Pasiūlytos naujos kokybės funkcijos įvertinančios pagrindinius įtampa ir skaitmeniniu būdu valdomų generatorių, suprojektuotų taikant KMOP technologijas, parametrus: fazės triukšmą, centrinį dažnį, dažnio valdymo ruožą, galią, technologinį žingsnį, maitinimo įtampą, plotą bei 1 $mm^2$ kainą, leidžia įvertinti įvairių architektūrų įtampa ir skaitmeniniu būdu valdomų generatorių kokybę ir yra naudojamos jų palyginamajai analizei.

2. Gautos naujos induktyvumo ritės kokybės priklausomybės nuo atstumo iki apsauginio žiedo, dažniui kintant nuo 2 GHz iki 10 GHz, taikant 40 nm, 65 nm ir 0,18 μm KMOP integrinių grandynų technologijas įgalina įvertinti induktyvumo ritės kokybės ir užimamo ploto optimalų parinkimą keičiant atstumą iki apsauginio žiedo.

3. Taikant 65 nm KMOP integrinių grandynų technologiją, pasiekiama aukščiausia induktyvumo ričių kokybė ties 2 GHz dažniu yra 18,2, kai induktyvumas – 400 pH, ties 10 GHz dažniu aukščiausia kokybė – 37,1, kai induktyvumas 250 pH.

4. Mažatriukšmiai 2–10 GHz plataus dažnio valdymo ruožo daugiakontūriniai ir vienkontūriniai LC įtampa valdomi generatoriai, sukurti ir ištirti taikant 65 nm ir 0,18 μm KMOP IG technologijas, bei LC skaitmeniniu būdu valdomi generatoriai sukurti ir ištirti taikant 65 nm ir 0,13 μm KMOP IG technologijas, yra taikytini projektuojant daugiastandarčius daugiajuosčius belaidžio ryšio siųstuvus-imtuvus, kurių dažnis yra 2–10 GHz ir fazės triukšmas ties 1 MHz nuokrypio dažniu nuo nešlio ne didesnis nei −108,9 dBc/Hz.

## Darbo rezultatų aprobavimas

Disertacijos tema yra atspausdinta 7 moksliniai straipsniai: du – mokslo žurnaluose, įtrauktuose į Clarivate Analytics Web of Science duomenų bazę (Macaitis, Jurgo, Charlamov, Barzdenas 2016; Macaitis, Navickas 2019); trys – tarptautinių konferencijų medžiagoje, įtrauktoje į Clarivate Analytics Web of Science „Conference Proceedings“ duomenų bazę (Macaitis, Navickas 2017; Macaitis, Navickas 2017; Macaitis, Navickas 2015), du – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse (Macaitis, Navickas 2017; Mačaitis, Navickas 2018).

Disertacijoje atliktų tyrimų rezultatai buvo paskelbti dvylikoje mokslinių konferencijų Lietuvoje ir užsienyje:

- Tarptautinėje konferencijoje „*Estream 2015 International Conference*“ 2015 m., Vilniuje;
- Tarptautinėje konferencijoje IEEE 16th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*“ 2015 m., Vilniuje;
- Tarptautinėje konferencijoje „*Estream 2016 International Conference*“ 2016 m., Vilniuje;
- Doktorantų ir jaunųjų mokslininkų konferencijoje „*FizTech 2016*“ 2016 m., Vilniuje;
- Jaunųjų mokslininkų konferencijoje „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“ 2016 m., Vilniuje;
- Doktorantų ir jaunųjų mokslininkų konferencijoje „*FizTech 2017*“ 2017 m., Vilniuje;
- Tarptautinėje konferencijoje „*Estream 2017 International Conference*“ 2017 m., Vilniuje;
- Tarptautinėje konferencijoje IEEE 5th Workshop on „*Advances in Information, Electronic and Electrical Engineering*“ 2017 m., Rygoje;
- Tarptautinėje konferencijoje IEEE 18th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*“ 2017 m., Vilniuje;
- Jaunųjų mokslininkų konferencijoje „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“ 2017 m., Vilniuje;
- Jaunųjų mokslininkų konferencijoje „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“ 2018 m., Vilniuje;
- Doktorantų ir jaunųjų mokslininkų konferencijoje „*FizTech 2018*“ 2018 m., Vilniuje.

## Disertacijos struktūra

Disertaciją sudaro įvadas, trys skyriai ir bendrosios išvados. Taip pat yra trys priedai.

Darbo apimtis yra 124 puslapiai, neskaitant priedų, tekste panaudotos 28 numeruotos formulės, 55 paveikslai ir 14 lentelių. Rašant disertaciją buvo panaudota 100 literatūros šaltinių.

## Padėka

Autorius dėkoja savo moksliniam vadovui prof. habil. dr. Romualdui Navickui už suteiktą galimybę tobulėti, vertingas konsultacijas bei motyvaciją.

Dėkoju Aleksandr Mamajev už sąlygų sudarymą kelti mokslinę kvalifikaciją. Dėkoju doc. dr. Vaidotui Barzdėnui už pagalbą ir konsultacijas gaminant integrinius grandynus. Ačiū kolegoms Karoliui Kielai ir Marijan Jurgo už vertingas konsultacijas, pastabas ir pagalbą rengiant disertaciją.

Dėkoju Fizinių ir technologijos mokslų centrui bei Kompiuterijos ir ryšių technologijų katedrai už galimybę studijuoti, tobulėti ir vykdyti mokslinę veiklą. Ačiū Lietuvos mokslo tarybai už suteiktą paramą.

Didžiausia padėka skiriama žmonai Ilmai, dukrai Viltei už besąlygišką palaikymą bei motyvaciją. Taip pat autorius dėkoja tėvams Galinai ir Kęstučiui, bei broliui Kęstučiui.

# 1

# LC įtampa ir skaitmeniniu būdu valdomų generatorių analizė

Skyriuje analizuojamos dažnio generatorių architektūros, jų taikymas bei pagrindiniai parametrai. Pateikiami pagrindiniai dažnio generatorių parametrai ir jų įtaka generuojamam signalui. Apžvelgiamos kokybės funkcijos, aprašančios dažnio generatorių pagrindinių parametrų apibendrintą įvertį, skirtą palyginamajai analizei.

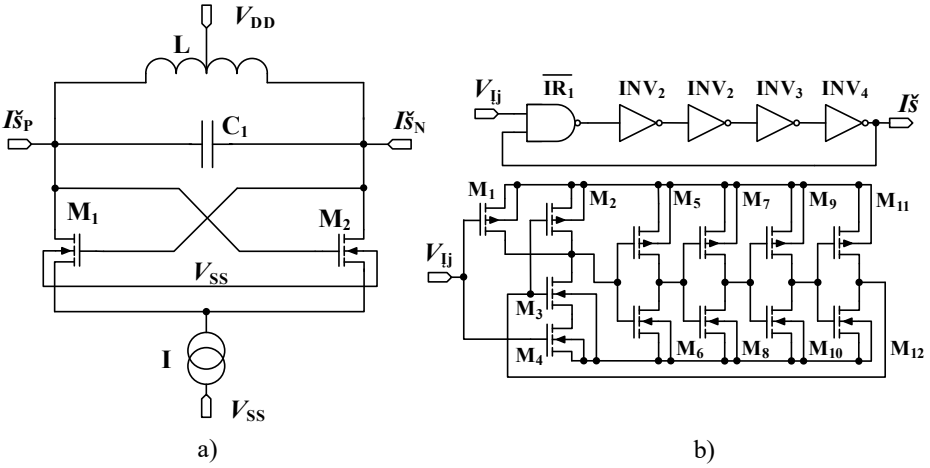
Skyriaus tematika paskelbti du autoriaus straipsniai (Macaitis, Navickas 2015; Macaitis, Navickas 2017).

## 1.1. Dažnio generatorių tipai

Dažnio generatorių svarbiausia savybė yra nuolatinės maitinimo įtampos pakeitimas į kintamą maitinimo įtampą. Šis įtaisas esant pastoviam maitinimui geba generuoti pasikartojančius virpesius savo išėjime. Išėjimo signalas gali turėti platų skirtingų formų bangų ir dažnių spektrą. Šie virpesiai gali būti sudėtingo pobūdžio arba paprastos sinusinės formos, tai priklauso nuo pasirinkto generatoriaus bei jo taikymo.

Paprastai generatoriai skirstomi į dvi dalis: relaksaciniai ir harmonikų generatoriai. Relaksaciniai generatoriai generuoja ne sinusoidės formos išėjimo signalus, pavyzdžiui: trikampius pjūklo formos ar stačiakampius. Tuo tarpu harmoniniai generatoriai generuoja sinusoidės formos signalus išėjime.

Relaksaciniams generatoriams priklauso multivibratoriai, bėgančiosios bangos generatoriai, bet labiausiai paplitęs – žiedinis generatorius (1.1 pav. b) Harmoniniams generatoriams priskiriami Hartley generatorius, Collpits generatorius, tačiau labiausiai paplitę ir plačiai naudojami yra LC generatoriai arba LC įtampa valdomi generatoriai LC-ĮVG (1.1 pav. a).




**1.1 pav.** Principinės elektrinės schemos: a) LC įtampa valdomo generatoriaus ir b) žiedinio įtampa valdomo generatoriaus.

**Fig. 1.1.** Schematics of: a) LC voltage controlled oscillator and b)ring voltage controlled oscillator

Žiedinis generatorius yra plačiai naudojamas integrinėms fazės derinimo kilpoms FDK ir taktinio dažnio atkūrimo grandinėms. Pagrindinis šio generatoriaus populiarumo veiksnys – tai, kad žiedinis generatorius yra nesudėtingas, užima nedaug vietos todėl yra lengvai integruojamas. Žiedinio generatoriaus sandara yra nesudėtinga – šį generatorių sudaro lyginis skaičius inverterių, kurie yra sujungti nuosekliai, galinio inverterio išėjimas yra sujungtas su pradžioje esančio loginio elemento IR-NE iėjimu. Kitame loginio elemento IR-NE įėjime $V_{Ij}$ esanti valdo įtaiso įjungimą arba išjungimą. Lyginant su LC-ĮVG, žiedinis ĮVG užtikrina platesnį dažnio valdymo diapazoną. Galima ir kita žiedinio generatoriaus sandara, tuomet naudojamas nelyginis skaičius inverterių kurie yra sujungti nuosekliai, galinio inverterio išėjimas yra sujungtas su pirmojo inverterio įėjimu. Nepaisant ne-

sudėtingos sandaros, žiedinis ĮVG pasižymi dideliu fazės triukšmu. Dėl šios priežasties jis yra praktiškai nenaudojamas aukštos kokybės belaidžio ryšio sistemose. LC-ĮVG fazės triukšmas yra daug mažesnis nei žiedinio ĮVG, nes išėjimo signalo dažnis priklausomas nuo induktyvumo ritės ir kondensatoriaus rezonansinio kontūro. Abu šie elementai sudaro pasyvų filtrą, todėl gaunamas nedidelis fazės triukšmas. Tipiškai LC – ĮVG fazės triukšmas yra 20 dBc/Hz mažesnis nei žiediniuose ĮVG (Soltanian, Ainspan, Rhee, Friedman, & Kinget, 2006) (Kinget, 1999).

## 1.2. LC įtampa valdomų generatorių ir LC skaitmeniniu būdu valdomų generatorių architektūros

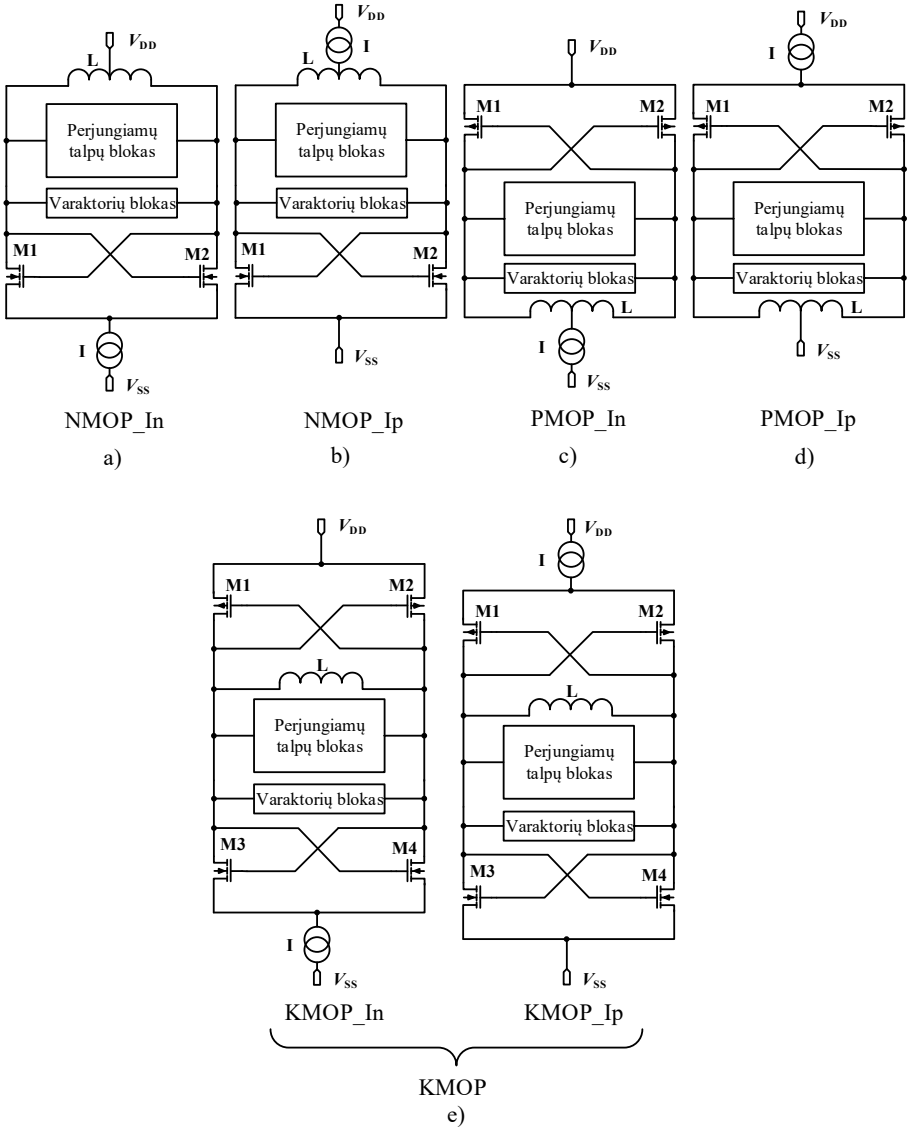
Šiame skyriuje yra aptariamos pagrindinės LC įtampa valdomų generatorių ir LC skaitmeniniu būdu valdomų generatorių architektūros bei jų veikimas.

Yra projektuojama įvairių modifikacijų ir architektūrų LC-ĮVG. Šiuolaikiniai LC-ĮVG gali būti su srovės valdymo bloku arba be jo, tranzistoriai gali būti N arba P tipo, metalo-oksido-puslaidininkio (MOP, angl. *Metal Oxid Semiconductor – MOS*) arba dvipoliai. Jei struktūroje naudojami N ir P tipo lauko tranzistoriai, tokia struktūra vadinama komplementariąja (KMOP, angl. *Complementary MOS – CMOS*).

Dažniausiai pasitaikančios LC-ĮVG architektūros yra pateiktos 1.2 paveiksle. 1.2 paveikslo a) ir b) dalyse matomas LC-ĮVG, kuris yra sudarytas iš NMOP abipusio ryšio tranzistorių M1 ir M2 bei rezonansinio kontūro, kurį sudaro induktyvumo ritė L ir perjungiamų talpų blokas. Taip pat šiame bloke yra srovės valdymo blokas I , kuris atitinkamai prijungtas prie žemės a) dalyje ir prie maitinimo b) dalyje.

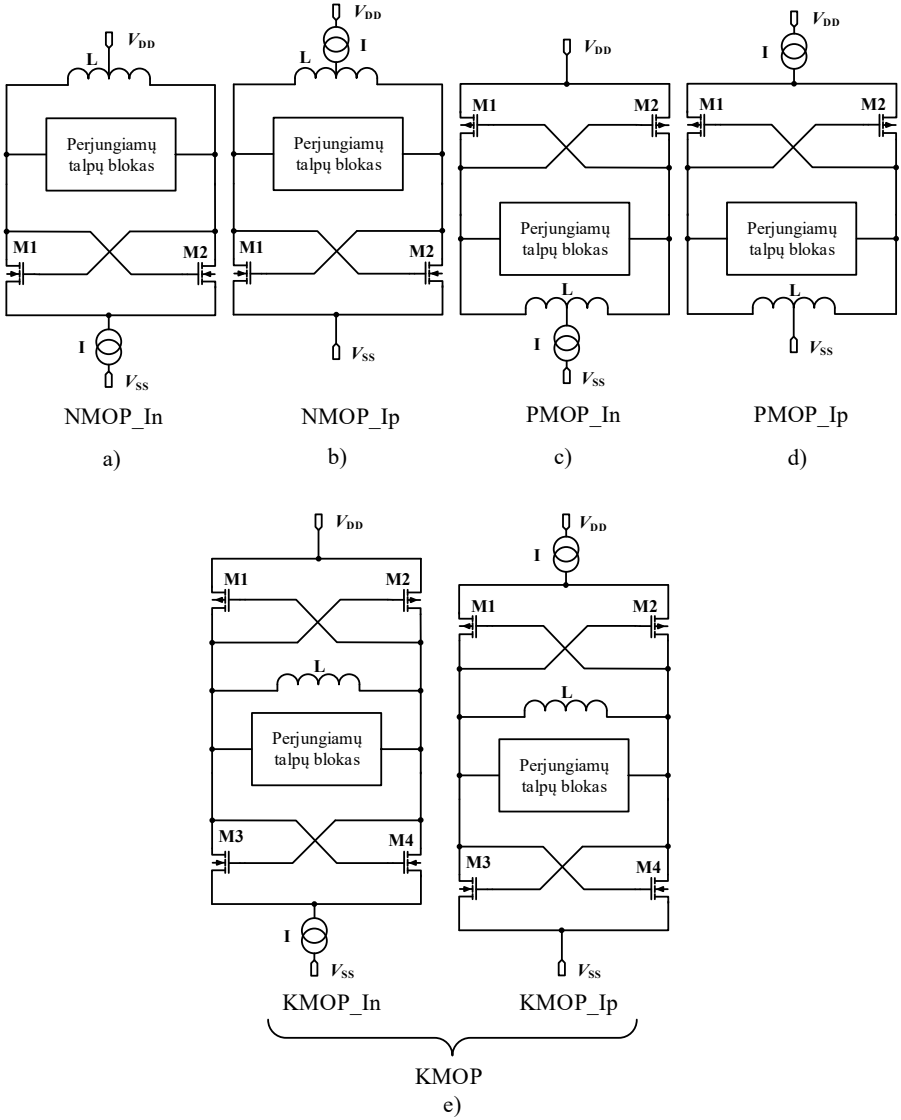
1.2 paveikslo c) ir d) dalyse matomas LC-ĮVG, kuris yra sudarytas iš PMOP abipusio ryšio tranzistorių M1 ir M2 bei rezonansinio kontūro, kurį sudaro induktyvumo ritė L ir perjungiamų talpų blokas. Taip pat šiame bloke yra srovės valdymo blokas I , kuris atitinkamai prijungtas prie žemės c) dalyje ir prie maitinimo d) dalyje.

1.2 paveikslo e) dalyje matomas LC-ĮVG, kuris yra sudarytas iš PMOP abipusio ryšio tranzistorių M1 ir M2 ir NMOP abipusio ryšio tranzistorių M3 ir M4 bei rezonansinio kontūro, kurį sudaro induktyvumo ritė L ir perjungiamų talpų blokas. Taip pat šiame bloke yra srovės valdymo blokas I , kuris atitinkamai prijungtas prie žemės e) dalies kairėje pusėje ir prie maitinimo e) dalies dešinėje pusėje.




**1.2 pav.** LC įtampa valdomų generatorių architektūros a) NMOP su žemės srovės valdymu (NMOP In), b) NMOP su maitinimo srovės valdymu (NMOP Ip), c) PMOP su žemės srovės valdymu (PMOP In), d) PMOP su maitinimo srovės valdymu (PMOP Ip), e) sugrupuota KMOP su maitinimo arba žemės srovės valdymu (KMOP).

**Fig. 1.2**. LC voltage controlled oscillators architectures a), NMOS with ground current control, b) NMOS with supply current control, c) PMOS with ground current control, d) PMOS with supply current control, e) grouped CMOS with ground or supply current control




**1.3 pav.** LC skaitmeniniu būdu valdomų generatorių architektūros: a) NMOP su žemės srovės valdymu (NMOP In), b) NMOP su maitinimo srovės valdymu (NMOP Ip), c) PMOP su žemės srovės valdymu (PMOP In), d) PMOP su maitinimo srovės valdymu (PMOP Ip), e) sugrupuota KMOP su maitinimo arba žemės srovės valdymu (KMOP).
**Fig. 1.3.** LC digitally controlled oscillators architectures: a) NMOS with ground current control, b) NMOS with supply current control, c) PMOS with ground current control, d) PMOS with supply current control, e) grouped CMOS with ground or supply current control

Analizuojant LC-SVG architektūras literatūroje sutinkamos panašaus tipo kaip ir LC ĮVG architektūros. Dažniausiai sutinkamos LC SVG architektūros pateiktos 1.3 paveiksle. Pagrindinis skirtumas yra varaktorių bloko eliminavimas. Esant šiam pakitimui generatorius tampa skaitmeniniu bloku, nes eliminuojama analoginė varaktorių valdymo įtampa. Tai lemia geresnes LC-SVG triukšmines savybes lyginant su LC ĮVG.

LC-SVG dažnį valdant tik skaitmeniniu būdu perjungiamų talpų valdymo blokas tampa sudėtingesnis. Norint dažnį valdyti tiksliau galimi du sprendimai pateikti žemiau.

Pirmuoju atveju projektuojamas talpų valdymo blokas su grubiu dažnio valdymo žingsniu ir didesniam valdymo žingsnio sutankinimui naudojamas papildomas blokas delta-sigma moduliatorius. Pagrindinis šio principo privalumas yra labai mažo dažnio valdymo žingsnio gavimas, tačiau tokia struktūra tampa sudėtingesnė ir ją sunkiau realizuoti, taip pat papildomi blokai pablogina fazės triukšmo charakteristikas aukštuose dažniuose (Nakamura, Norimatsu, Uozumi, Ueda, & Yamawaki, 2012).

Antruoju atveju projektuojamas perjungiamų talpų valdymo blokas, kurį sudaro keli atskiri valdomų talpų masyvai. Dažnai perjungiamų talpų blokas suskirstomas į tris perjungiamų talpų masyvus.

Šie masyvai būna grubaus, vidutinio ir tikslaus valdymo. Pagrindinis šio principo privalumas yra geros dažnio valdymo ruožo charakteristikos bei struktūros paprastumas. Kaip trūkumą galima įvardinti ribotą dažnio valdymo skiramąją gebą. Dažnio valdymo skiramoji geba yra apribota minimalios galimos pasiekti talpos, o tai priklauso nuo naudojamos integrinių grandynų technologijos. Jei kaip talpinis elementas naudojama tranzistoriaus užtūros parazitinė talpa, kuri tiesiogiai priklauso nuo minimalių tranzistoriaus matmenų (Zhang & Otto, 2017).

### 1.2.1. NMOP LC įtampa valdomų generatorių architektūra

Tokio tipo ĮVG rezonansinį kontūrą sudaro ritė L ir varaktoriai ir arba perjungiamų talpų blokas PTB. M1 ir M2 abipusio ryšio tranzistoriai naudojami tam, kad kontūre kurtų neigiamą varžą. Šių tranzistorių paskirtis yra palaikyti pastovius virpesius generatoriuje, o tai atliekama kompensuojant prarastą energiją nauja, kurią generuoja šie tranzistoriai. Schemoje (1.2 a)) matoma, kad PTB yra atskirtas nuo induktyvumo ritės maitinimo. PTB jungiamas kartu su abipusio ryšio tranzistoriais bei srovės valdymo bloku, o šis jungiamas prie žemės. Induktyvumo ritė yra tiesiogiai prijungta prie maitinimo. Toks jungimas yra labiau jautresnis trikdžiams, kurie sklinda iš maitinimo šaltinio.

Reikia paminėti, kad toks jungimas turi ir teigiamų savybių: prieš rezonansinį kontūrą esantis srovės valdymo blokas atriboja LC rezonansinį kontūrą nuo trikdžių, skindančių iš žemės. Toks abipusio ryšio tranzistorių ir srovės valdymo

bloko jungimas formuoja simetrišką diferencinę porą, kuri įtakoja žemesnį harmoninį iškraipymą. Net jei tokio tipo generatorius veikia esant žemai įtampai, užtikrinamas platus dažnio valdymo ruožas. Šioje generatoriaus architektūroje PTB talpa yra valdoma įjungiant arba išjungiant prie jo prijungtą mažesnių talpinių blokų valdymą. Tiksliam talpos valdymui papildomai naudojami varaktoriai. Svarbu parinkti varaktorių valdymo įtampą tokiuose rėžiuose, kuriuose varaktoriaus talpa kistų tiesiškai. Fazės triukšmai šiame ĮVG labiausiai priklauso nuo induktyvumo ritės ir varaktorių kokybės. Nepaisant jau paminėtų elementų, fazės triukšmus papildomai kuria srovės valdymo blokas ir maitinimo šaltinis .

Ši NMOP architektūra pasižymi mažesniu mirgėjimo triukšmu išėjime, palyginti su architektūra pateikta 1.2 b) paveiksle, kai srovės valdymas prijungtas prie maitinimo. Tai pasiekiama dėl tikslesnės išėjimo signalo formos. Sumažintas mirgėjimo triukšmas lemia mažesnį išėjimo signalo iškraipymą. Naudojant šią architektūrą išėjimo signalo amplitudę, galima padvigubinti lyginant su naudojama maitinimo įtampa, tai lemia fazės triukšmo sumažėjimą (Tiebout, 2006).

### 1.2.2. PMOP LC įtampa valdomų generatorių architektūra

1.2 paveikslo c) ir d) dalyje matomas ĮVG, kuris sudarytas naudojant P tipo MOP tranzistorius. Ši architektūra yra panaši į NMOP tranzistoriais pagrįstą architektūrą (1.2 pav a), b)), tačiau yra keletas pagrindinių skirtumų.

Norint pasiekti tokią pačią neigiamos varžos vertę, reikalingi tris kartus didesni tranzistoriai nei NMOP struktūroje. Pagrindinė priežastis, kuri tai įtakoja – tai skirtingas krūvininkų judris NMOP ir PMOP tranzistoriuose. PMOP tranzistoriuose pagrindiniai krūvininkai yra skylės, o jų judris yra žymiai mažesnis nei NMOP tranzistorių krūvininkų – elektronų. Šios struktūros teigiama savybė yra ta, kad dėl mažesnio srovės tankio PMOP tranzistoriuose, sumažėja mirgėjimo ir šiluminis triukšmai. Tai lemia mažesnį fazės triukšmą PMOP tranzistoriais pagrįstuose LC-ĮVG architektūrose. Tačiau yra ir neigiama savybė – tai dėl mažo krūvininkų judrio gaunamas mažesnis LC-ĮVG virpesių dažnis. Siekiant gauti tokį patį dažnį kaip NMOP architektūrose naudojami dvigubai didesni PMOP tranzistoriai, tai lemia didesnį lusto plotą, didesnę vartojamąją galią, o tuo pačiu ir didesnę kainą. (Tiebout, 2006).

### 1.2.3. KMOP LC įtampa valdomų generatorių architektūra

Taip pat yra galimos hibridinės vadinamos konplementariosiom NMOS ir PMOS tranzistorių architektūros. Komplementariosios architektūros KMOP LC-ĮVG, kuris sudarytas tiek iš NMOP, tiek iš PMOP tranzistorių pateiktas 1.2 e) dalyje. Šioje architektūroje matomi du pagrindiniai skirtumai lyginant su jau aptartomis architektūromis: neigiamą varžą kuria tiek PMOP, tiek NMOP abipusio ryšio

tranzistoriai, induktyvinė ritė yra orientuota ne prie maitinimo ar žemės (1.2 pav. (a,b), (c,d)), o tarp abipusio ryšio tranzistorių.

NMOP ir PMOP tranzistoriai yra sujungti taip, kad persijungia per pusę signalo periodo, tai lemia, kad neigiamam grįžtamajam ryšiui kurti abi abipusio ryšio tranzistorių poros suteikia po pusę energijos. Naudojant šią architektūrą, išėjimo signalo amplitudė yra artima maitinimo įtampai. Esant šioms sąlygoms generuojamo signalo amplitudė ribojama maitinimo įtampos, kuri priklauso nuo integrinių grandynų technologijos. Šios struktūros trūkumas – tai didelis jautrumas triukšmui, sklindančiam iš maitinimo šaltinio. Dėl didesnio harmoninio iškraipymo ir mirgėjimo triukšmo fazės triukšmas dar labiau padidėja. Ši struktūra pasižymi geromis dažninėmis savybėmis, tačiau vartoja daugiau galios nei ankščiau aptartos NMOP ir PMOP struktūros(Arun, 2011; Haase, Subramanian, Zhang, & Hamidian, 2010; Levantino et al., 2002)

## 1.3. LC dažnio generatorių pagrindiniai parametrai

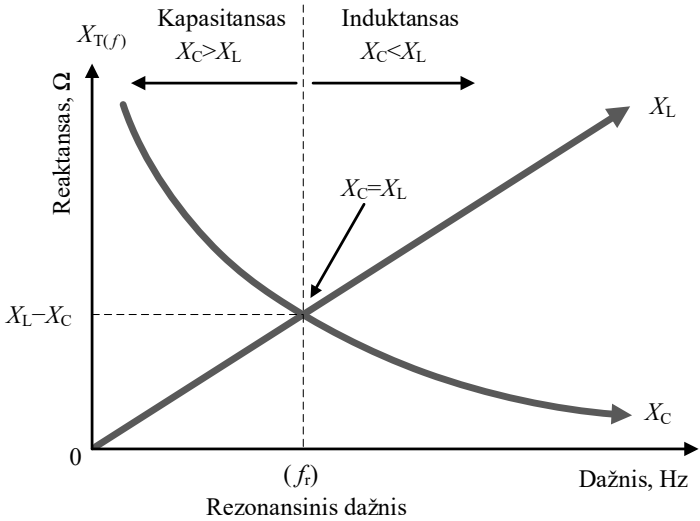
Projektuojant LC-ĮVG arba LC-SVG reikia atsižvelgti į įvairius veiksnius, kurie apima tranzistorių dydį, kondensatorių ir varaktorių talpą, ritės induktyvumą ir kokybę, parazitinius reiškinius. Parazitiniai parametrai labiausiai nulemia LC-ĮVG aukščiausius dažnius. Kuo didesni parazitiniai ryšiai LC rezonansiniame kontūre, tuo mažesnis maksimalus generatoriaus dažnis yra gaunamas, todėl svarbu numatyti pagrindinius tokio tipo generatoriaus projektavimo etapus. Pagrindinė problema projektuojant valdomus generatorius iškyla tuomet, kai bandoma rasti optimalų pasirinkimą tarp generatoriaus parametrų. Pagrindiniai parametrai, tarp kurių reikia rinktis – tai fazės triukšmas, dažnio valdymo ruožas bei vartojamoji galia.

### 1.3.1. LC generatoriaus dažnis

Kiekvieno LC rezonansiniu kontūru pagrįsto įtampa valdomo generatoriaus rezonansinis dažnis pasiekiamas tuomet, kai tenkinama sąlyga: $X_L = X_C$. Tai iliustruojantis grafikas pateiktas 1.4 paveiksle.

Iš grafiko, esančio 1.4 pav., matyti, kad žemesniuose dažniuose dominuoja kapasitansas t. y. varža pasižymi talpinėmis savybėmis, tačiau didėjant dažniui talpinės savybės eksponentiškai mažėja. Induktyvinės varžos savybės žemuose dažniuose praktiškai nedominuoja, tačiau didėjant dažniui varža pasižymi induktyvinėmis savybėmis, t. y. dominuoja induktansas. Žemuose dažniuose kapasitanso vertė yra ženkliai didesnė nei induktanso ($X_C > X_L$), aukštuose dažniuose induktanso vertė yra ženkliai didesnė nei kapasitanso ($X_L > X_C$). Kai induktansas $X_L$ ir kapasitansas $X_C$ yra lygūs, tame taške gaunamas rezonansas. Iš šių sąlygų

galima išvesti rezonansinio dažnio $f_r$ formulę. Esant rezonansui $X_C = X_L$. Iš čia kapasitansas $X_C$ ir induktansas $X_L$ apskaičiuojamas pagal (1.1) formulę.




**1.4 pav.** LC generatoriaus reaktanso priklausomybė nuo dažnio
**Fig. 1.4.** LC oscillator reactance versus frequency

$$X_L = 2\pi fL \quad \text{ir} \quad X_C = \frac{1}{2\pi fC}. \tag{1.1}$$

Į formulę $X_C = X_L$ įstatę pirmosios formulės reikšmes gauname tokią išraišką:

$$2\pi fL = \frac{1}{2\pi fC}. \tag{1.2}$$

Formulę (1.2) padauginus iš dažnio $f$ ir padalinus iš $2\pi L$ reikšmės gaunama tokia išraiška:

$$f^2 = \frac{1}{(2\pi f)^2 LC}. \tag{1.3}$$

Iš (1.3) formulės ištraukus kvadratinę šaknį ir pertvarkius gaunama galutinė LC kontūro rezonansinio dažnio išraiška:

$$f_r = \frac{1}{2\pi\sqrt{LC}}. \tag{1.4}$$

Šioje formulėje $L$ – induktyvumas, matavimo vienetas Henris (H); $C$ – talpa, matavimo vienetas Faradas (F); $f_r$ – rezonansinis dažnis, matavimo vienetas Hercas (Hz).

Iš (1.4) matoma, kad jei vienas iš kintamųjų L arba C didėja, rezonansinis dažnis mažėja. Norint išlaikyti pastovius virpesius, kiekviename virpesių periode būtina atstatyti prarastą energiją ir tame pačiame lygmenyje išlaikyti svyravimų amplitudę. Kiekviename svyravimų cikle gautas ir prarastas energijos kiekis privalo būti vienodas, antraip virpesiai nebus pastovūs. Jeigu gauta energija bus didesnė nei išeikvota, virpesių amplitudė nuolat didės ir nenusistovės, priešingu atveju jei energijos bus daugiau išeikvojama nei gaunama, virpesių amplitudė mažės kol pasieks nulinę vertę ir virpesiai sustos. Paprasčiausias būdas gauti pastovius virpesius yra kartu su LC rezonansiniu kontūru panaudoti tiesioginio ryšio (angl. *Cross-Coupled*) MOP tranzistorius. Tokiu būdu LC kontūre prarasta energija naudojant tranzistorius yra sustiprinama ir grįžtamuoju ryšiu gražinama atgal į LC rezonatorių. Kaip jau buvo minėta, svarbu tinkamai suderinti tranzistorius tam, kad gauta ir papildyta energija būtų vienoda, antraip bus gaunami iškraipyti virpesiai (Irving & Gottlieb, 2004; Tiebout, 2006).

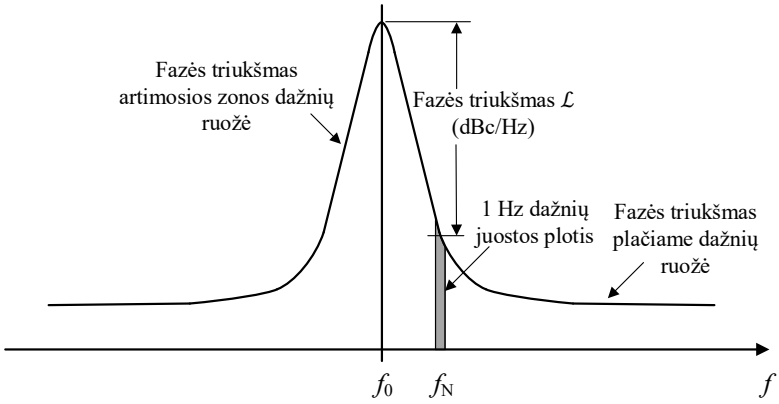
### 1.3.2. LC generatoriaus fazės triukšmas

Fazės triukšmas (angl. *Phase Noise* ) – tai parametras, kuris nusako generatoriaus generuojamo signalo dažnių spektro grynumą. Fazės triukšmas žymimas –$\mathcal{L}$ ir išreiškiamas dBc/Hz matavimo vienetais. Fazės triukšmas matuojamas ties tam tikru nuokrypio dažniu nuo centrinio dažnio.

Tolimojo belaidžio ryšio perdavimo sistemos yra ypatingai jautrios fazės triukšmui. Didelis fazės triukšmo lygis daro neigiamą įtaką silpnų signalų priėmimui ir apdorojimui. Aukštas fazės triukšmo lygis neigiamai veikia perduodamų duomenų praleidžiamų dažnių juostos plotį bei didina klaidingai priimamų duomenų tikimybę(Baran & Kasal, 2008).

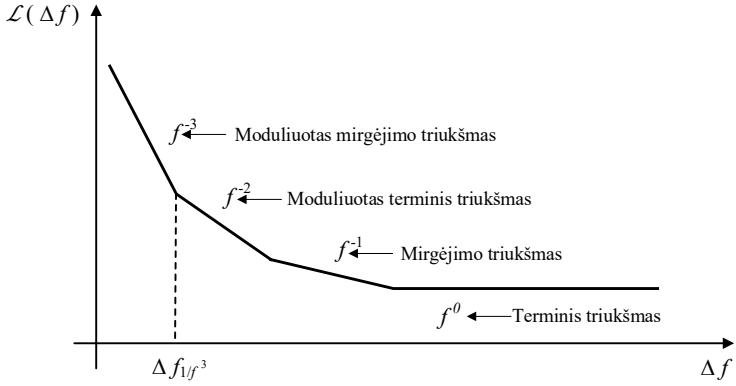
Idealaus generatoriaus generuojamo signalo dažnių spektras turi tik vieną spektro dedamąją ties generuojamo signalo dažniu, realaus generatoriaus dažnių spektrą sudaro daug dedamųjų. Esant netiesiškumams grandinėje, dažnių spektre atsiranda aukštesni harmoniniai dažniai, kuriuos galima nuslopinti pasitelkus dažnių filtravimą. Didžiausia problema apdorojant signalus tampa pašalinių spektro dedamųjų išvengimas artimoje zonoje nuo generuojamo signalo centrinio dažnio.

Realaus generatoriaus tipinis dažnių spektras pateikiamas 1.5 paveiksle. Iš spektro matoma triukšmo galia kaip dažnio funkcija esant 1 Hz dažnių juostos pločiui. Iš čia galima teigti, kad fazės triukšmas apibrėžiamas kaip triukšmo santykis 1 Hz dažnių juostos plotyje esant tam tikram nuokrypio dažniui $f_N$ nuo centrinio dažnio $f_0$ (Kester, 2009).



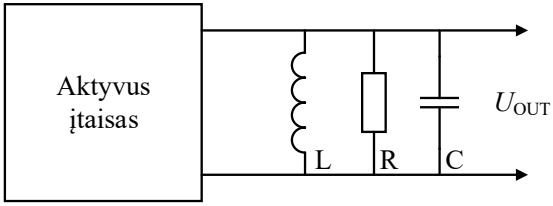

**1.5 pav.** Realaus generatoriaus išėjimo signalo dažnių spektras
**Fig. 1.5.** Output frequency spectrum of a real oscillator

Fazės triukšmo $\mathcal{L}$ vienos dažnių juostos pusės spektrinio tankio priklausomybę nuo nuokrypio dažnio galima aproksimuoti tam tikromis linijomis, kurios kreivę dalina į keturias sritis. Šiose srityse fazės triukšmas priklauso nuo šių faktorių: arčiausiai generatoriaus išėjimo signalo dažnio esančią fazės triukšmo atkarpą lemia moduliuotas mirgėjimo triukšmas, žymimas $f^{-3}$ simboliu; antrosios atkarpos fazės triukšmą lemia moduliuotas terminis triukšmas, žymimas $f^{-2}$ simboliu; trečiosios atkarpos fazės triukšmą lemia mirgėjimo triukšmas, žymimas $f^{-1}$ simboliu; paskutinės labiausiai nutolusios atkarpos fazės triukšmą lemia terminis triukšmas, žymimas $f^0$ simboliu, iš čia matomas minimalus signalo aptikimo lygis.




**1.6 pav.** Generatoriaus fazinio triukšmo spektrinis tankis
**Fig. 1.6.** Phase noise spectral density of oscillator

Principinė elektrinė schema, kuri apibūdina idealų generatorių pateikta 1.7 paveiksle. Ši principinė elektrinė schema sudaryta iš šių lygiagrečiai sujungtų elementų: induktyvumo – L, varžos – R, talpos – C ir aktyvaus įtaiso, kuri perduoda energiją reikiamu momentu generuodama nenutrūkstamą virpesį (T. H. Lee & Hajimiri, 2000).




**1.7 pav.** Idealaus generatoriaus principinė elektrinė schema
**Fig. 1.7.** Schematic of an ideal oscillator

Šiuo atveju esant tokiai grandinei vienintelis triukšmo šaltinis yra – lygiagrečiai sujungto rezonansinio kontūro talpa, kuri lemia terminį triukšmą. Esant šioms sąlygoms fazės triukšmo spektrinis tankis išreiškiamas toliau esančioje 1.5 lygtyje:

$$\mathcal{L}(f_N) = 10 \cdot \lg\left[\frac{2kT}{P_S}\left(\frac{f_0}{2Q_R f_N}\right)^2\right]. \tag{1.5}$$

Iš čia k yra Boltzmano konstanta, $T$ yra absoliutinė temperatūra ir $P_S$ yra signalo galia. $Q_R$ – išreiškia rezonansinio kontūro kokybės koeficientą su visomis apkrovomis, šis parametras taip pat žinomas kaip apkrovos kokybės koeficientas. Aukščiau pateikta lygtis apima tik atkarpą fazės triukšmo spektrinio tankio kuri yra žymima $f^{-2}$.

Realaus generatoriaus fazės triukšmo spektrinio tankio kreivėje yra sritis, proporcinga $f^{-3}$ nuolydžiui. Ši sritis esant mažam nuokrypio dažniui $f_N$ nuo centrinio dažnio $f_0$, kuri nėra įtraukta į (1.5) lygtį. Šioje srityje fazinio triukšmo lygio padidėjimą sukelia triukšmas vadinamas mirgėjimo triukšmu. Šis mirgėjimo triukšmas kartais vadinamas triukšmu $1/f$. Dėl šios priežasties formulė (1.5) yra papildyta ir gaunama tokia fazės triukšmo spektrinio tankio išraiška (1.6):

$$\mathcal{L}(f_N) = 10 \cdot \lg\left[\frac{2kTF}{P_S} \cdot \left\{1 + \left(\frac{f_0}{2Q_R f_N}\right)^2\right\} \cdot \left(1 + \frac{f_{N_{1/f^3}}}{|f_N|}\right)\right]. \tag{1.6}$$

Iš čia $F$ – tai aktyvios dalies papildomo triukšmo pertekliaus skaičius. Tai yra empirinė konstanta, kuri yra gaunama atliekant matavimus. $f_{N_{1/f^3}}$ yra empirinis parametras, kuris apibrėžia riba tarp $f^{-2}$ ir $f^{-3}$ sričių.

Lygtis (1.6) apibrėžia visas keturias fazės triukšmo spektrinio tankio (1.6 pav.) sritis. Kairėje lygties pusėje esanti išraiška (2k$TF/P$) apibrėžia minimalų aptikimo lygį ir sritį, kurią lemia terminis triukšmas $f^{-2}$. Dešinėje pusėje esanti išraiška apibrėžia mirgėjimo triukšmo sritį $f^{-1}$ bei moduliuotą mirgėjimo triukšmą perkeltą į aukštesnių dažnių sritį $f^{-3}$.

### 1.3.3. LC generatoriaus dažnio valdymo ruožas

Naudojant LC įtampa valdomus generatorius, GHz eilės pavienėse belaidžio ryšio sistemose, dažnio valdymo ruožas nusako minimalaus ir maksimalaus galimo dažnio santykį lyginant su centriniu generatoriaus dažniu. Vienas iš dažnio valdymo pritaikymų gali būti reikiamo pastovaus dažnio koregavimas dėl integrinių grandynų technologinio proceso variacijų. Integriniuose garandynuose pagaminto lusto dažnis gali varijuoti net iki 10 % dėl bendros lusto talpos nuokrypio. Norint pakeisti centrinį ĮVG dažnį reikia atlikti korekcijas pagaminto lusto LC rezonansiniame kontūre. Tam įgyvendinti galimi du būdai: talpos arba induktyvumo valdymas. Kintančio induktyvumo ritės nėra dažnai naudojamos dėl savo sudėtingumo bei didelio užimamo ploto. Dažnio valdymui dažniausiai yra naudojami įtampa valdomi kondensatoriai, kurie yra vadinami varaktoriais (Castello, Erratico, Manzini, & Sveito, 2002; Soorapanth, Yue, Shaeffer, Lee, & Wong, 2002). Projektuojant įtampa valdomus generatorius, valdoma rezonansinio kontūro talpa turi tenkinti šią sąlygą :

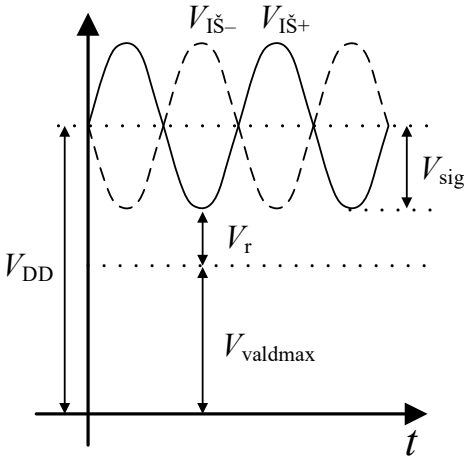
$$\Delta C \geq 2C_K \frac{f_{max} - f_{min}}{0,5(f_{max} + f_{min})}. \tag{1.7}$$

Iš šios (1.7) formulės $C_K$ – bendra rezonansinio kontūro talpa, $\Delta C$ – valdoma rezonansinio kontūro talpa.

Dažnių valdymas varaktorių pagalba apima šiuos pagrindinius toliau išvardintus aspektus. Varaktoriai turi žemesnį kokybės koeficientą Q nei fiksuotos talpos kondensatoriai, dėl to bendra LC rezonansinio kontūro kokybė sumažėja, siekiant gauti didelį dažnio valdymo ruožą. Norint išvengti laidumo nuostolių ir dar didesnio LC kontūro kokybės faktoriaus, mažėjimo visose sąlygose – pn sandūros varaktoriai turi būti jungiami naudojant atvirkštinį jungimą.

Kaip parodyta 1.8 paveiksle, maksimalus leistinas įtampos svyravimas varaktoriuose per tam tikrą valdymo įtampos ruožą $V_{valdmax}$ yra ribojamas galimos maitinimo įtampos $V_{DD}$ ir minimalaus atvirkštinio įtampos pokyčio diode $V_r$. MOP varaktoriai neturi laidumo nuostolių, tačiau norint išvengti įtaiso sugadinimo,

įtampos svyravimai turi būti pakankamai maži. Esant didesniems MOP varaktoriaus įtampos svyravimams, talpos ir įtampos santykis tampa netiesiškas ir sukuriama daugiau nepageidautinų harmonikų.




**1.8 pav.** Įtampa valdomo generatoriaus dažnio valdymas
**Fig. 1.8.** Frequency tuning of voltage controlled oscillator

Aptartos problemos gali būti sumažinamos naudojant varaktorius kartu su aukštos kokybė statiniais kondensatoriais. Šis talpinių komponentų apjungimas lemią bendros LC kontūro kokybės padidėjimą, tačiau sumažėja bendras talpos valdymo ruožas. Norint praplėsti LC kontūro talpos kitimą naudojami perjungiami statinių kondensatorių blokai (T. H. Lee, 2003; Razavi, 2011).

## 1.4. LC įtampa valdomų generatorių pagrindinių parametrų bei architektūrų analizė

Šiame skyriuje apžvelgiami įvairių architektūrų LC įtampa valdomi generatoriai ir palyginami jų pagrindiniai parametrai. Visi pagrindiniai parametrai surinkti ir sugrupuoti iš skirtingų straipsnių, kuriuose projektuojami bei analizuojami LC-ĮVG.

Šaltiniai atrinkti pagal toliau išvardintus kriterijus. Šaltinis turi būti ne senesnis nei 10 metų t. y. iki 2009 metų. Šaltinis turi būti paskelbtas recenzuojamame žurnale arba recenzuojamoje konferencijos medžiagoje. Šaltinyje suprojektuotas LC-ĮVG privalo turėti topologijos ir/arba integrinio grandyno kompiuterinio skaičiavimo ir/arba praktinio matavimo rezultatus. Pateikiama šaltinyje suprojektuoto

LC-ĮVG supaprastinta principinė elektrinė schema pagal kurią būtų galima nustatyti ankstesniame skyriuje aptartas LC-ĮVG architektūras (1.5 pav.). Analizėje pateikti 32 skirtingų LC-ĮVG pagrindinių parametrų rezultatai.

Apžvelgtų LC-ĮVG pagrindinių parametrų suvestinė pateikiama 1.1 lentelėje. Šioje lentelėje pateikiami toliau išvardinti pagrindiniai LC-ĮVG parametrai.

Integrinių grandynų (IG) technologinio proceso minimalus žingsnis žymimas trumpiniu Tch. ir išreiškiamas µm arba nm priklausomai nuo to ar tai submikroninė technologija ar nanometrinė. Šaltiniuose sutinkamas IG technologinio proceso minimalus žingsnis yra: 0,18 µm, 0,13 µm, 90 nm ir 65 nm.

**1.1 lentelė.** LC įtampa valdomų generatorių pagrindinių parametrų palyginimas
**Table 1.1.** Comparison of similar LC voltage controlled oscillators basic parameters

| Šaltinis | Tch. | $f_0$, GHz | $\Delta f$, % | $\mathcal{L}$, dBc/Hz | $P$, mW | $FOM_T$, dBc/Hz | Arch. |
|---|---|---|---|---|---|---|---|
| (T. P. Wang & Wang, 2013) | 0,18 µm | 4,00 | 47,70 | −115,60 | 2,99 | −196,45 | 1 |
| (T. P. Wang & Li, 2012) | 0,18 µm | 12,77 | 15,75 | −110,20 | 1,08 | −195,93 | 1 |
| (Hong & Lee, 2011) | 0,18 µm | 1,85 | 9,21 | −126,00 | 1,35 | −189,31 | 1 |
| (T. P. Wang & Yan, 2014) | 0,18 µm | 13,00 | 25,62 | −101,40 | 2,40 | −188,05 | 5 |
| (Moghadami, JalaliBidgoli, & Ahmadi, 2013) | 0,18 µm | 18,90 | 13,81 | −129,30 | 10,00 | −185,32 | 5 |
| (S. Liu, Wang, Chen, Fan, & Zhang, 2012) | 0,18 µm | 1,82 | 28,11 | −127,00 | 6,30 | −185,03 | 5 |
| (Jerng & Sodini, 2005) | 0,18 µm | 5,32 | 21,21 | −122,00 | 13,50 | −182,74 | 5 |
| (Peng & Lee, 2012) | 0,18 µm | 5,36 | 15,30 | −127,00 | 18,00 | −182,29 | 3 |
| (Nakamura, Masuda, Washio, & Kondoh, 2012) | 0,18 µm | 12,31 | 6,54 | −108,00 | 50,00 | −181,79 | 3 |
| (Shimao, Chengyan, & Tianchun, 2009) | 0,18 µm | 3,30 | 1,38 | −91,00 | 5,04 | −180,88 | 1 |
| (Huang, Lai, & Yang, 2014) | 0,18 µm | 5,56 | 0,76 | −105,83 | 5,60 | −176,94 | 1 |

1.1 lentelės tęsinys

| Šaltinis | Tch. | $f_0$, GHz | $\Delta f$, % | $\mathcal{L}$, dBc/Hz | $P$, mW | $FOM_T$, dBc/Hz | Arch. |
|---|---|---|---|---|---|---|---|
| (Hou & Wang, 2010) | 0,18 µm | 7,65 | 63,08 | −108,30 | 4,90 | −175,38 | 1 |
| (T. P. Wang, 2011) | 0,18 µm | 29,82 | 37,69 | −104,10 | 2,30 | −172,74 | 1 |
| (Su et al., 2011) | 0,18 µm | 5,25 | 37,42 | −117,62 | 1,05 | −169,45 | 1 |
| (Jeong, Kim, Chang, & Yun, 2012) | 0,18 µm | 2,05 | 13,29 | −83,82 | 11,20 | −155,54 | 1 |
| (Saeidi, Cho, Taskov, & Paff, 2010) | 0,13 µm | 3,88 | 15,51 | −138,00 | 13,60 | −200,35 | 1 |
| (Nguyen & Lee, 2012) | 0,13 µm | 13,93 | 10,91 | −100,60 | 0,60 | −188,16 | 5 |
| (Farhabakhshian, Brown, Mayaram, & Fiez, 2010) | 0,13 µm | 4,90 | 4,88 | −135,70 | 3,00 | −183,15 | 1 |
| (W. Wang, Li, Li, & Ren, 2014) | 0,13 µm | 8,58 | 5,33 | −106,20 | 4,00 | −182,66 | 5 |
| (Nguyen & Lee, 2010) | 0,13 µm | 13,75 | 62,12 | −104,60 | 5,00 | −181,13 | 1 |
| (J. W. Lee, Gul, & Nguyen, 2014) | 0,13 µm | 19,48 | 45,12 | −103,00 | 5,00 | −175,56 | 5 |
| (Jia, Choi, & Yeoh, 2007) | 0,13 µm | 6,00 | 5,84 | −115,00 | 12,50 | −174,13 | 2 |
| (Li, Cheng, Wu, & Huang, 2013) | 90 nm | 34,34 | 83,44 | −100,8 | 20 | −194,37 | 5 |
| (Soltanian et al., 2006) | 90 nm | 5,63 | 30,18 | −108 | 14 | −184,64 | 1 |
| (Long, Shengyue, Runxi, & Wei, 2011) | 90 nm | 15,06 | 34,46 | −94,86 | 13,69 | −162,39 | 5 |
| (Lou, Sun, Gao, & Wen, 2011) | 65 nm | 1,17 | 77,78 | −124,3 | 2,4 | −200,28 | 1 |
| (Amer, Sameh, & Ragai, 2016) | 65 nm | 10,84 | 27,74 | −105,30 | 1,02 | −195,50 | 1 |
| (Kim, Son, Kim, & Shin, 2013) | 65 nm | 3,54 | 29,63 | −142,10 | 13,7 | −192,46 | 1 |

1.1 lentelės pabaiga

| Šaltinis | Tch. | $f_0$, GHz | $\Delta f$, % | $\mathcal{L}$, dBc/Hz | $P$, mW | $FOM_T$, dBc/Hz | Arch. |
|---|---|---|---|---|---|---|---|
| (Bajestan, Rezaei, & Entesari, 2014) | 65 nm | 4,50 | 17,14 | −110,00 | 9,36 | −191,17 | 1 |
| (Issakov et al., 2011) | 65 nm | 6,85 | 27,67 | −118,30 | 20,2 | −190,82 | 1 |
| (Kytonaki & Papananos, 2011) | 65 nm | 5,40 | 18,72 | −113,00 | 8,71 | −187,68 | 4 |
| (Saeedi & Emami, 2014) | 65 nm | 8,75 | 9,03 | −108,00 | 2,49 | −187,56 | 1 |
| (Wojnowski, Issakov, Knoblinger, & Pressel, 2011) | 65 nm | 6,36 | 47,70 | −118,00 | 41,04 | −186,78 | 1 |
| (Sun et al., 2010) | 65 nm | 3,37 | 15,75 | −104,00 | 28,8 | −185,39 | 1 |
| (X. Yang, Uchida, Xu, Wang, & Yoshimasu, 2013) | 65 nm | 2,33 | 9,21 | −111,00 | 0,58 | −179,81 | 1 |

– fazės triukšmas esant 0,1MHz nuokrypiui $f_N$ nuo centrinio dažnio $f_0$.
– fazės triukšmas esant 3MHz nuokrypiui $f_N$ nuo centrinio dažnio $f_0$.
– fazės triukšmas esant 10MHz nuokrypiui $f_N$ nuo centrinio dažnio $f_0$.

Centrinis valdomo generatoriaus dažnis žymimas simboliu $f_0$. Šis dažnis apskaičiuojamas žinant valdomo generatoriaus dažnio kitimo ribas t. y. $f_{MIN}$ ir $f_{MAX}$. Dažnio kitimo ribų viduryje ir yra centrinis valdomo generatoriaus dažnis. Pateiktoje analizėje $f_0$ matavimo vienetas yra GHz, šis parametras apžvelgtuose šaltiniuose kinta nuo 1,17 GHz (Lou et al., 2011) iki 34,34 GHz (Li et al., 2013).

Dažnio valdymo ruožas žymimas simboliu $\Delta f$. Šis parametras parodo valdomo generatoriaus gebėjimą keisti dažnį tam tikrame ruože ir yra apskaičiuojamas $f_{MAX} - f_{MIN}$. $\Delta f$ yra išreiškiamas GHz taip pat galima šio parametro išraiška %, tokiu atveju imamas valdymo ruožo $\Delta f$ ir centrinio valdomo generatoriaus dažnio santykis. Apžvelgtuose šaltiniuose dažnio valdymo ruožas kinta nuo 0,76 % (Su et al., 2011) iki 83, 44 % (Li et al., 2013).

Fazės triukšmas žymimas simboliu $\mathcal{L}$. Šis parametras nusako valdomo generatoriaus dažnių spektro grynumą. $\mathcal{L}$ nustatomas tam tikru nuokrypio dažniu $f_N$ (dažniausiai 1MHz) nuo centrinio generatoriaus dažnio $f_0$. Fazės triukšmas išreiškiamas dBc/Hz ir yra neigiamos vertės. Apžvelgtuose šaltiniuose fazės triukšmas kinta nuo −83,82 dBc/Hz (Jeong et al., 2012) ties 1 MHz nuokrypio

dažniu iki −142,10 dBc/Hz (Kim et al., 2013) ties 10 MHz nuokrypio dažniu. Reikia atkreipti dėmesį, kad analizėje kai kuriais atvejais $\mathcal{L}$ reikšmės pateiktos ties skirtingais nuokrypio dažniais (paaiškinimai pateikti 1.2 lentelės pabaigoje).

Vartojamoji galia žymima simboliu *P*. Šis parametras nusako galią kurią vartoja suprojektuotas įtaisas. Vartojamoji galia išreiškiama mW ir apžvelgtuose šaltiniuose kinta nuo 0,58 mW (X. Yang et al., 2013) iki 50,00 mW (Nakamura, Masuda, et al., 2012).

Įvairius generatorius bei valdomus generatorius sunku palyginti, nes kaip matoma iš pagrindinių parametrų verčių, jų variacijos smarkiai skiriasi. Norint, apibendrintai įvertinti generatorius yra naudojama jų kokybės įvertinimo funkcija *FOM* (angl. *A Figure Of Merit*). *FOM* kokybės funkcija apskaičiuojama pagal šią formulę ir išreiškiama dBc/Hz. (Lim, Ramiah, Yin, Mak, & Martins, 2016):

$$FOM = \mathcal{L}(f_N) - 20\lg_{10}\left(\frac{f_0}{f_\mathrm{N}}\right) + 10\lg_{10}\left(\frac{P}{1\mathrm{mW}}\right). \tag{1.8}$$

Šioje formulėje:

$\mathcal{L}(f_\mathrm{N})$ – fazės triukšmas ties tam tikru nuokrypio dažniu nuo centrinio dažnio;

$f_0$ – centrinis generatoriaus dažnis;

$f_\mathrm{N}$ – nuokrypio dažnis nuo centrinio generatoriaus dažnio;

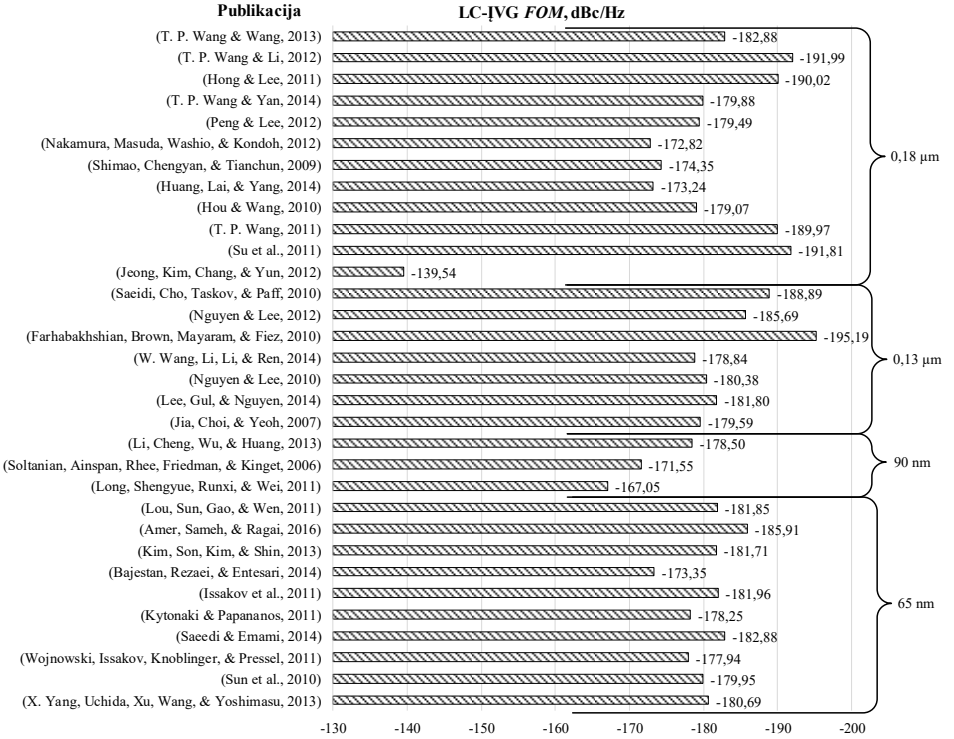
$P$ – valdomo generatoriaus vartojamoji galia.

Kai yra palyginami įtampa arba skaitmeniniu būdu valdomi generatoriai, 1.8 formulė nenusako visų reikalingų parametrų. Norint tiksliau įvertinti skirtingus valdomus generatorius reikia įvesti papildomą parametrą – dažnio valdymo ruožą išreikštą santykiu nuo centrinio dažnio $\Delta f$. Tuomet valdomų generatorių kokybės įvertinimo parametras aprašomas šia funkcija $FOM_\mathrm{T}$ (Chao & Luong, 2016):

$$FOM_\mathrm{T} = \mathcal{L}(f_N) - 20\lg_{10}\left(\left(\frac{f_0}{f_\mathrm{N}}\right)\cdot\left(\frac{\Delta f}{\%}\right)\right) + 10\lg_{10}\left(\frac{P}{1\mathrm{mW}}\right). \tag{1.9}$$

Šaltiniuose sutinkamas ir papildomas dažnio valdymo ruožo dalybos koeficientas, kuris pateiktoje formulėje nėra naudojamas. Dalybos koeficiento atsisakyta dėl to, kad dažnio valdymo ruožas yra vienas pagrindinių parametrų ir jo įtaka bendram rezultatui neturi būti sumažinta.

Apžvelgtuose šaltiniuose *FOM* kokybės funkcijos vertės kinta nuo −139,54 dBc/Hz (Jeong et al., 2012) iki −195,19 dBc/Hz (Farhabakhshian et al., 2010). *FOM* kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose pateiktas 1.9 paveiksle.




**1.9 pav.** LC įtampa valdomų generatorių *FOM* kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose

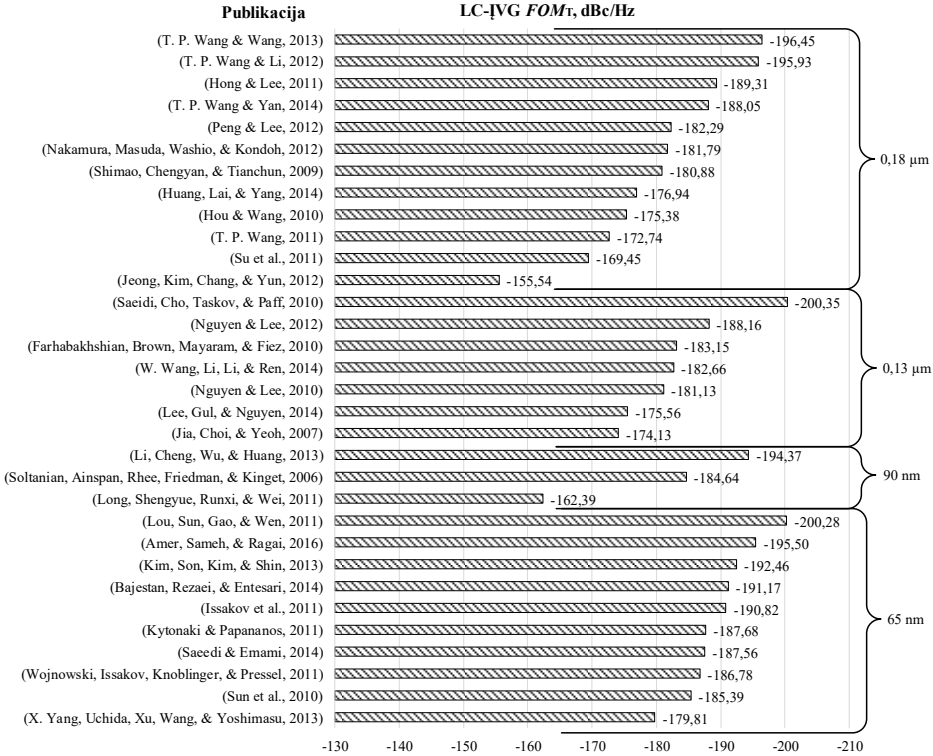
**Fig. 1.9.** Distribution of *FOM* quality function values in reviewed references of LC voltage controlled oscillators

Iš 1.9 paveikslo matoma, kad geriausias *FOM* rezultatas yra −195,19 dBc/Hz (Farhabakhshian et al., 2010). Šį bendrą rezultatą lemia labai mažas fazės triukšmas – (−135,70) dBc/Hz bei maža vartojamoji galia – 3 mW. Centrinis dažnis yra vidutinis lyginant su kitais šaltiniais ir yra lygus 4,90 GHz. LC-ĮVG suprojektuotas naudojant 0,13 µm minimalaus žingsnio IG technologiją. LC-ĮVG pagrįstas NMOP In architektūra.

Apžvelgiant $FOM_T$ kokybės funkcijos kitimą vertės kinta nuo −155,54 dBc/Hz (Jeong et al., 2012) iki −200,35 dBc/Hz (Saeidi et al., 2010).

Iš 1.10 paveikslo matoma, kad geriausias $FOM_T$ rezultatas yra −200,35 dBc/Hz (Saeidi et al., 2010). Šį bendrą rezultatą lemia labai mažas fazės triukšmas – (−138,00 dBc/Hz) bei maža vartojamoji galia – 13,60 mW. Dažnio valdymo ruožas platus ir siekia 37,43 %. LC-ĮVG suprojektuotas naudojant 0,13 µm minimalaus technologinio žingsnio IG technologiją. LC-ĮVG pagrįstas

NMOP In architektūra. Šiame LC-ĮVG pagrindinių parametrų rezultatai gauti atliekant pagaminto IG matavimus.

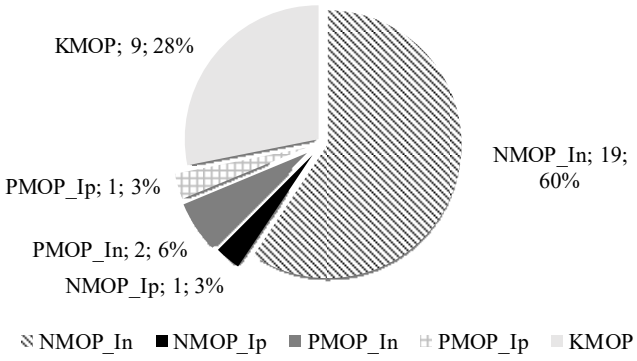



**1.10 pav.** LC įtampa valdomų generatorių $FOM_T$ kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose

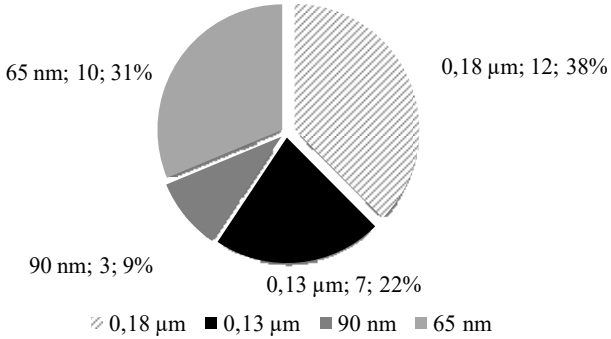
**Fig. 1.10.** Distribution of $FOM_T$ quality function values in reviewed references of LC voltage controlled oscillators

LC-ĮVG architektūrų pasiskirstymas apžvelgtuose šaltiniuose pateiktas 1.11 paveiksle. Iš šio paveikslo matoma, kad daugiausiai LC-ĮVG yra projektuojami naudojant NMOP In architektūrą ir tai sudaro 60 % visų apžvelgtų šaltinių. Naudojant šią architektūrą suprojektuoti LC-ĮVG pasiekia geriausius kokybės funkcijos $FOM_T$ rezultatus: −200,35 dBc/Hz (Saeidi et al., 2010), −196,50 dBc/Hz (T. P. Wang & Wang, 2013). Sekanti pagal pasiskirstymą yra KMOP architektūra ir tai sudaro 28 % visų apžvelgtų šaltinių. Naudojant šią architektūrą suprojektuoto LC-ĮVG geriausias kokybės funkcijos $FOM_T$ rezultatas

yra −200,28 dBc/Hz (Lou et al., 2011). Likusios LC-ĮVG architektūros apžvelgtuose šaltinuose sutinkamos rečiau, juos sudaro nuo 3 % iki 6 % visų apžvelgtų šaltinių.




**1.11 pav.** LC įtampa valdomų generatorių architektūrų pasiskirstymas apžvelgtuose šaltiniuose
**Fig. 1.11.** Distribution of LC voltage controlled oscillators architectures in reviewed references




**1.12 pav.** LC įtampa valdomų generatorių minimalaus integrinių grandynų technologinio žingsnio pasiskirstymas apžvelgtuose šaltiniuose
**Fig. 1.12.** Distribution of integrated circuit technology node in reviewed references of LC-DCO

LC-ĮVG minimalaus IG technologinio žingsnio pasiskirstymas apžvelgtuose šaltiniuose pateikiamas 1.12 paveiksle. Reikia pabrėžti, kad analizėje pateikiamos KMOP tipo integrinių grandynų technologijos. Iš šio paveikslo matome, kad daugiausiai LC-ĮVG yra projektuojami naudojant 0,18 μm minimalaus IG technologinio žingsnio submikroninę technologiją ir tai sudaro 38 % apžvelgtų šaltinių. Sekanti 65 nm minimalaus IG technologinio žingsnio technologija priskiriama nanometrinėms IG technologijoms ir ji sudaro 31 % apžvelgtų šaltinių.

Kiek mažiau paplitusi 0,13 μm minimalaus IG technologinio žingsnio submikroninė technologija ir tai sudaro 22 % apžvelgtų šaltinių. Mažiausiai LC-ĮVG projektuojami naudojant 90 nm minimalaus IG technologinio žingsnio technologiją, tai sudaro 9 % apžvelgtų šaltinių.

## 1.5. LC skaitmeniniu būdu valdomų generatorių pagrindinių parametrų bei architektūrų analizė

Šiame skyriuje apžvelgiami įvairių architektūrų LC skaitmeniniu būdu valdomi generatoriai ir palyginami jų pagrindiniai parametrai. Visi pagrindiniai parametrai surinkti ir sugrupuoti iš skirtingų straipsnių, kuriuose projektuojami bei analizuojami LC-SVG.

Šaltiniai atrinkti pagal toliau išvardintus kriterijus. Šaltinis turi būti ne senesnis nei 10 metų t. y. iki 2010 metų. Šaltinis turi būti paskelbtas recenzuojamame žurnale arba recenzuojamoje konferencijos medžiagoje. Šaltinyje suprojektuotas LC-SVG privalo turėti topologijos ir/arba integrinio grandyno kompiuterinio skaičiavimo ir/arba praktinio matavimo rezultatus. Pateikiama šaltinyje suprojektuoto LC-SVG supaprastinta principinė elektrinė schema pagal kurią būtų galima nustatyti ankstesniame skyriuje aptartas LC-SVG architektūras (1.3 pav.). Analizėje pateikti 12 skirtingų LC-SVG pagrindinių parametrų rezultatai.

Apžvelgtų LC-SVG pagrindinių parametrų suvestinė pateikiama 1.2 lentelėje. Šioje lentelėje pateikiami pagrindiniai LC-ĮVG parametrai, kurie yra aprašyti 1.3.5 skyriuje.

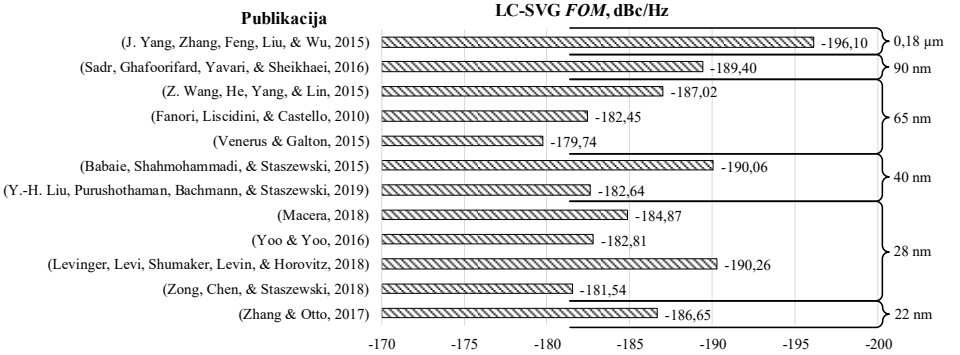
LC-SVG *FOM* kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose pateiktas 1.13 paveiksle. Apžvelgiant *FOM* kokybės funkcijos kitimą, vertės kinta nuo −179,74 dBc/Hz (Venerus & Galton, 2015) iki −196,10 dBc/Hz (J. Yang et al., 2015). Iš šio paveikslo matoma, kad geriausias *FOM* rezultatas yra −196,10 dBc/Hz(J. Yang et al., 2015). Šį bendrą rezultatą lemia mažas fazės triukšmas – (−127,50 dBc/Hz) bei maža vartojamoji galia – 4,10 mW. Centrinis dažnis yra vidutinis lyginant su kitais šaltiniais ir yra lygus 5,45 GHz. LC-ĮVG suprojektuotas naudojant 0,18 μm minimalaus technologinio žingsnio IG technologiją. LC-ĮVG pagrįstas NMOP Ip architektūra.

**1.2 lentelė.** LC skaitmeniniu būdu valdomų generatorių pagrindinių parametrų palyginimas
**Table 1.2.** Comparison of similar LC digitally controlled oscillators basic parameters

| Šaltinis | Tch. | $f_0$, GHz | $\Delta f$, % | $\mathcal{L}$, dBc/Hz | $P$, mW | $FOM_T$, dBc/Hz | Arch. |
|---|---|---|---|---|---|---|---|
| (J. Yang, Zhang, Feng, Liu, & Wu, 2015) | 0,18 µm | 5,45 | 9,17 | −127,50 | 4,10 | −195,35 | 1 |
| (Sadr, Ghafoorifard, Yavari, & Sheikhaei, 2016) | 90 nm | 10,35 | 6,76 | −116,00 | 4,90 | −186,00 | 5 |
| (Z. Wang, He, Yang, & Lin, 2015) | 65 nm | 2,40 | 22,50 | −125,10 | 3,70 | −194,07 | 1 |
| (Fanori, Liscidini, & Castello, 2010) | 65 nm | 3,00 | 23,33 | −127,50 | 28,80 | −189,81 | 1 |
| (Venerus & Galton, 2015) | 65 nm | 3,15 | 22,22 | −123,00 | 21,00 | −186,68 | 1 |
| (Babaie, Shahmohammadi, & Staszewski, 2015) | 40 nm | 4,50 | 22,22 | −113,99 | 0,50 | −197,00 | 1 |
| (Y. H. Liu, Purushothaman, Bachmann, & Staszewski, 2019) | 40 nm | 3,00 | 4,33 | −115,00 | 1,55 | −175,38 | 5 |
| (Macera, 2018) | 28 nm | 1,75 | 57,14 | −127,00 | 5,00 | −200,01 | 1 |
| (Yoo & Yoo, 2016) | 28 nm | 3,31 | 46,29 | −121,00 | 7,20 | −196,12 | 5 |
| (Levinger, Levi, Shumaker, Levin, & Horovitz, 2018) | 28 nm | 4,32 | 16,92 | −113,99 | 0,44 | −194,82 | 5 |
| (Zong, Chen, & Staszewski, 2018) | 28 nm | 20,75 | 15,90 | −107,50 | 17,00 | −185,57 | 1 |
| (Zhang & Otto, 2017) | 22 nm | 3,40 | 35,29 | −120,00 | 2,50 | −197,60 | 5 |

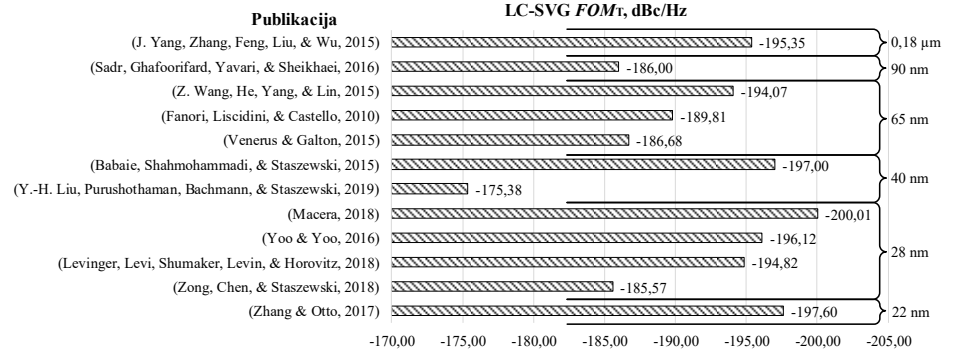
LC-SVG $FOM_T$ kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose pateiktas 1.14 paveiksle. Apžvelgiant $FOM_T$ kokybės funkcijos kitimą vertės kinta nuo −175,38 dBc/Hz (Y. H. Liu et al., 2019) iki −200,01 dBc/Hz (Macera, 2018). Geriausias $FOM_T$ rezultatas yra −200,01 dBc/Hz (Macera, 2018).

Šį bendrą rezultatą lemia mažas fazės triukšmas – (−127,00 dBc/Hz) bei maža vartojamoji galia – 5 mW. Dažnio valdymo ruožas yra labai platus ir siekia 57,14 %. LC-ĮVG suprojektuotas naudojant 40 nm minimalaus technologinio žingsnio nanometrinę IG technologiją. LC-ĮVG pagrįstas NMOP In architektūra. Šiame LC-ĮVG pagrindinių parametrų rezultatai gauti atliekant suprojektuotos topologijos kompiuterinius skaičiavimus. Topologijos kompiteriniai skaičiavimai, lyginant su schemos kompiuteriniais skaičiavimais, yra tikslesni, nes papildomai yra įvertinama parazitinių elementų įnešama įtaka, kuri lemia pagrindinių parametrų nuokrypį nuo pradinių verčių. Kopmiuteriniuose modeliavimuose naudojant topologiją bei tinkamai įvertinus parazitinių parametrų įtaką galima gauti skaičiavimus, artimus pagaminto lusto matavimų rezultatams.




**1.13 pav.** LC skaitmeniniu būdu valdomų generatorių *FOM* kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose

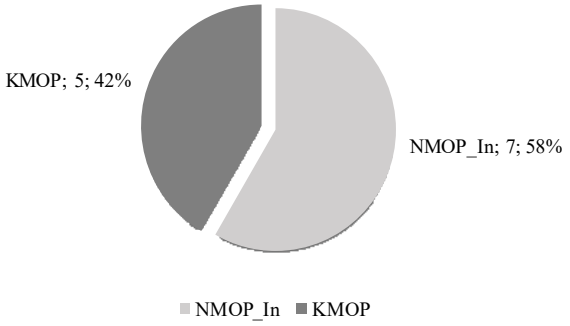
**Fig. 1.13.** Distribution of *FOM* quality function values in reviewed references of LC digitally controlled oscillators




**1.14 pav.** LC skaitmeniniu būdu valdomų generatorių $FOM_T$ kokybės funkcijos verčių pasiskirstymas apžvelgtuose šaltiniuose

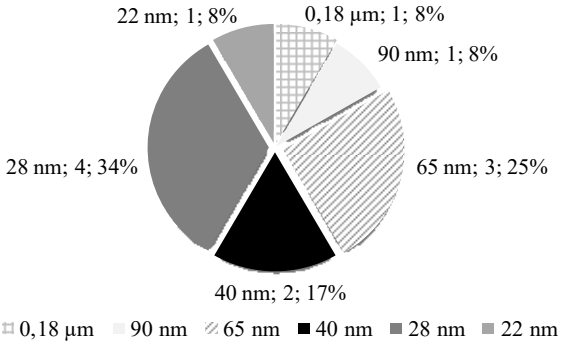
**Fig. 1.14.** Distribution of $FOM_T$ quality function values in reviewed references of LC digitally controlled oscillators

LC-SVG architektūrų pasiskirstymas apžvelgtuose šaltiniuose pateiktas 1.15 paveiksle. Iš šio paveikslo matoma, kad daugiausiai LC-SVG yra projektuojami naudojant NMOP In architektūrą ir tai sudaro 58 % visų apžvelgtų šaltinių. Naudojant šią architektūrą suprojektuoti LC-ĮVG pasiekia geriausius kokybės funkcijos $FOM_T$ rezultatus: −200,01 dBc/Hz (Macera, 2018), -197,00 dBc/Hz (Babaie et al., 2015).




**1.15 pav.** LC skaitmeniniu būdu valdomų generatorių architektūrų pasiskirstymas apžvelgtuose šaltiniuose
**Fig. 1.15.** Distribution of LC digitally controlled oscillators architectures in reviewed references

Sekanti pagal pasiskirstymą yra KMOP architektūra ir tai sudaro 42 % visų apžvelgtų šaltinių. Naudojant šią architektūrą suprojektuoto LC-ĮVG geriausias kokybės funkcijos $FOM_T$ rezultatas yra −197,60 dBc/Hz (Zhang & Otto, 2017).




**1.16 pav.** LC skaitmeniniu būdu valdomų generatorių minimalaus integrinių grandynų technologinio žingsnio pasiskirstymas apžvelgtuose šaltiniuose
**Fig. 1.16.** Distribution of integrated circuits technology node in reviewed references of LC digitally controlled oscillators

Pagrindinis skirtumas nuo LC-ĮVG architektūrų yra tas, kad vyrauja tik dvi pagrindinės LC-SVG architektūros t. y. NMOP In ir KMOP, tuo tarpu LC-ĮVG šaltiniuose galima aptikti visų tipų architektūrų. Reikia pabrėžti tai, kad tiek LC-ĮVG tiek LC-SVG architektūrų pasiskirstymo ir geriausių rezultatų jose pasiskirstymo tendencijos yra tokios pat. Geriausius pateiktų valdomų generatorių rezultatus lemia NMOP In architektūra.

LC-SVG minimalaus IG technologinio žingsnio pasiskirstymas apžvelgtuose šaltiniuose pateikiamas 1.16 paveiksle. Reikia pabrėžti, kad analizėje pateikiamos KMOP tipo integrinių grandynų technologijos. Iš šio paveikslo matome, kad daugiausiai LC-ĮVG yra projektuojami naudojant 28 nm minimalaus IG technologinio žingsnio nanometrinę technologiją ir tai sudaro 34 % apžvelgtų šaltinių. Sekanti 65 nm minimalaus IG technologinio žingsnio technologija priskiriama nanometrinėms IG technologijoms ir ji sudaro 25 % apžvelgtų šaltinių. Kiek mažiau paplitusi 40 nm minimalaus IG technologinio žingsnio nanometrinė technologija ir tai sudaro 17 % apžvelgtų šaltinių. Rečiausiai LC-ĮVG projektuojami naudojant submikronines 0,18 µm – 8 % bei naujausias nanometrines 22 nm – 8 % minimalaus IG technologinio žingsnio technologijas.

Lyginant LC-ĮVG ir LC-SVG minimalaus IG technologinio žingsnio pasiskirstymą apžvelgtuose šaltiniuose matoma ryški tendencija, kad LC-ĮVG yra projektuojami naudojant submikronines minimalaus IG technologinio žingsnio technologijas, tuo tarpu LC-SVG yra projektuojami naudojant nanometrines minimalaus IG technologinio žingsnio technologijas.

## 1.6. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas

Atlikus analizę disertacijos tema suformuluotos šios išvados:

1. Vienas pagrindinių LC-ĮVG ir LC-SVG pritaikymo sričių – belaidžio ryšio sistemos kuriose naudojami daugiastandarčiai daugiajuosčiai belaidžio ryšio siųstuvai imtuvai. Daugiastandarčiuose daugiajuosčiuose belaidžio ryšio siųstuvuose-imtuvuose kaip dažnio sintezatorius naudojama fazės derinimo kilpa, kurioje priklausomai nuo jos tipo dažnio kūrimui naudojamas LC-ĮVG arba LC-SVG.

2. Dažniausiai pasitaikančios LC-ĮVG ir LC-SVG architektūros pagal naudojamų tranzistorių tipą bei srovės valdymą suskirstytos į penkias grupes: NMOP su žemės srovės valdymu (NMOP In), NMOP su maitinimo srovės valdymu (NMOP Ip), PMOP su žemės srovės valdymu (PMOP In), PMOP su maitinimo srovės valdymu (PMOP Ip), sugru-

puota KMOP su maitinimo arba žemės srovės valdymu (KMOP). Teoriškai geriausiu bendru parametrų įverčiu pasižymi NMOP In architektūra.

3. Atlikus LC-ĮVG ir LC-SVG pagrindinių parametrų bei architektūrų analizę, nustatyta, kad dažniausiai 60 % ir 58 % yra projektuojami remiantis NMOP In architektūra. Taip pat nustatyta, kad geriausi $FOM_T$ kokybės funkcijos rezultatai gauti LC-ĮVG ir LC-SVG suprojektuotuose remiantis NMOP In architektūra, atitinkamai šios vertės yra: −200,35 dBc/Hz (Saeidi et al., 2010) LC-ĮVG ir −200,01 dBc/Hz (Macera, 2018) LC-SVG.

4. Analizuojant LC-ĮVG ir LC-SVG minimalaus IG technologinio žingsnio technologijų pasiskirstymą apžvelgtuose šaltiniuose daromos toliau pateiktos išvados. Daugiausiai LC-ĮVG yra projektuojami naudojant 0,18 µm minimalaus IG technologinio žingsnio technologiją (toliau technologiją) –38 %, sekanti technologija 65 nm – 31 % bei 0,13 µm – 22 %. Daugiausiai LC-SVG yra projektuojami naudojant 28 nm technologiją ir tai sudaro 34 %, sekanti 65 nm technologija – 25 % bei 40 nm – 17 %. Lyginant LC-ĮVG ir LC-SVG technologijų pasiskirstymą apžvelgtuose šaltiniuose matoma ryški tendencija, kad LC-ĮVG yra projektuojami naudojant submikronines ir nanometrines technologijas, tuo tarpu LC-SVG yra projektuojami daugiausiai naudojant nanometrines technologijas.

Atlikus analizę disertacijos tema suformuluoti šie uždaviniai:

1. Ištirti LC įtampa ir skaitmeniniu būdu valdomų generatorių architektūras taikant integrinių grandynų KMOP technologijas nuo 0,18 µm iki 22 nm ir parinkti optimalią architektūrą, tinkančią LC įtampa ir skaitmeniniu būdu valdomų generatorių projektavimui.

2. Pasiūlyti kokybės funkcijas LC įtampa ir skaitmeniniu būdu valdomų generatorių palyginamajai analizei, bei LC įtampa ir skaitmeniniu būdu valdomų generatorių kontūrų kokybės gerinimo būdus.

3. Sukurti ir ištirti aukštadažnių plačiajuosčių mažatriukšmių LC įtampa ir skaitmeniniu būdu valdomų generatorių integrinius grandynus bei jų papildomus blokus skirtus belaidžiam ryšiui veikiančiam nuo 2 GHz iki 10 GHz.

# 2

# LC įtampa skaitmeniniu būdu valdomų generatorių tyrimas

Šiame skyriuje pateikiamos naujos $FOM_{\mathrm{TT}}$, $FOM_{\mathrm{T2}}$ kokybės funkcijos, kuriomis remiantis galima įvertinti valdomų generatorių pagrindinius parametrus gaunant vieną kiekybinį rodiklį skirtą palyginamajai analizei. Šios funkcijos įvertina: fazės triukšmą, centrinį generatoriaus dažnį, nuokrypio dažnį nuo centrinio generatoriaus dažnio, valdomo generatoriaus vartojamąją galią, dažnio valdymo ruožą, integrinių grandynų technologinį žingsnį, maitinimo įtampą, lusto užimamą plotą ir preliminarią gamybos kainą.

Toliau esančioje šio skyriaus dalyje yra nagrinėjami induktyvumo ritės kokybės technologiniai bei fiziniai gerinimo būdai. Yra siūlomas induktyvumo ritės kokybės kitimo priklausomybę nuo atstumo tarp induktyvumo ritės ir apsauginio žiedo įvertinantis matematinis modelis esant skirtingoms 0,18 μm, 65 nm ir 40 nm integrinių grandynų technologijoms.

Skyriaus tematika paskelbti du autoriaus straipsniai (Macaitis & Navickas, 2017b, 2018).

## 2.1. Plačiajuosčių įtampa ir skaitmeniniu būdu valdomų generatorių kokybės funkcija

Tarpusavyje palyginti sukurtus valdomus generatorius yra sudėtinga, nes šie įtaisai turi kelis pagrindinius parametrus, kurių variacijos tarpusavyje gali smarkiai skirtis. Praeitame skyriuje aptartos *FOM* ir $FOM_{\mathrm{T}}$ kokybės funkcijos, kuriomis remiantis galima įvertinti valdomų generatorių pagrindinius parametrus gaunant vieną kiekybinį rodiklį. Šios kokybės funkcijos įvertina toliau pateiktus parametrus: fazės triukšmą ties tam tikru nuokrypio dažniu nuo centrinio dažnio (šis parametras yra pagrindinis parametras, kuriuo remiantis sudarytos aptartos kokybės funkcijos), centrinį generatoriaus dažnį, nuokrypio dažnį nuo centrinio generatoriaus dažnio, valdomo generatoriaus vartojamąją galią bei dažnio valdymo ruožą.

Atlikus valdomų generatorių analizę buvo nustatyta daugiau svarbių parametrų, kurie aptartose kokybės funkcijose nėra įvertinti. Dėl to pasiūlytos naujos valdomų generatorių kokybės funkcijos $FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$. Kuriant integrinius grandynus svarbus veiksnys yra sukurto lusto gamyba. Kokybės funkcija $FOM_{\mathrm{TT}}$ kartu su minėtais parametrais įvertina $FOM_{\mathrm{TT}}$ integrinių grandynų technologinį žingsnį *hp* ir maitinimo įtampą *U*. Siekiant nenutolti nuo pradinės $FOM_{\mathrm{T}}$ kokybės funkcijos verčių, naujiems parametrams įvestas dalybos koeficientas.

$$FOM_{\mathrm{TT}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}\cdot 10}\right)\cdot(\Delta f)\right) + 10\lg\left(\frac{P}{1\mathrm{mW}}\right) + 10\lg\left(\frac{hp\cdot U}{100\ \mathrm{nm}\cdot\mathrm{V}}\right). \qquad (2.1)$$

Remiantis (2.1) formule, atlikta apžvalga pateikta prieduose esančioje publikacijoje (Macaitis & Navickas, 2017b).

Gaminant lustus išskiriami du pagrindiniai veiksniai: tai lusto užimamas plotas bei gamybos kaina. Lusto užimamas plotas priklauso nuo IG technologijos pasirinkimo bei schemotechninių ir topologinių sprendimų. Lusto gamybos kaina priklauso nuo IG technologijos, minimalaus gamybos ploto, reikiamo lustų skaičiaus, korpusavimo, testavimo bei daugelio kitų faktorių. Kokybės funkcija papildyta lusto užimamu plotu $S_{\mathrm{L}}$ ($\mathrm{mm}^2$) bei 1 $\mathrm{mm}^2$ gamybos kaina $K_{\mathrm{L}}$ (eur) yra:

$$FOM_{\mathrm{T2}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}}\right)\cdot(\Delta f)\right) + 10\lg\left(\frac{P}{1\mathrm{mW}}\right) + 10\lg\left(\frac{S_{\mathrm{L}}\cdot K_{\mathrm{L}}}{\mathrm{mm}^2\cdot\mathrm{eur}}\right). \qquad (2.2)$$

Pateiktoje formulėje galutinis rezultatas, kaip ir fazės triukšmas, matuojamas dBc/Hz. Norint gauti šias dimensijas kiekvienas parametras išskyrus fazės triukšmą yra padalinamas iš dimensijos, kuria jis yra išreiškiamas, tokiu būdu dimensijos yra suprastinamos ir gaunama tik dBc/Hz dimensija. Įvertinant valdo-

mus generatorius kuo $FOM_{T2}$ rezultatas labiau neigiamas, tuo apibendrinti parametrai yra geresni. Submikroninių ir nanometrinių IG technologijų 1 mm$^2$ gamybos kainos pateiktos 2.1 lentelėje.

2.1 lentelėje pateiktos kainos yra sąlyginės ir vertina tik 1 mm$^2$ gamybos kainą neatsižvelgiant į minimalų reikiamą plotą bei kitus apribojimus. Šios kainos yra sudarytos remiantis EUROPRACTICE ataskaitomis, kurios pateiktos 2019 metams („2019 General Europractice MPW runs Schedule and Prices“, 2019; „2019 mini@sic Europractice MPW runs Schedule and Prices“, 2019; „EP activity report 2018-2019“, 2018). EUROPRACTICE IG tarnyba teikia IG projektavimo ir gamybos galimybes. Naudojantis EUROPRACTICE teikiamomis paslaugomis akademinėms bendruomenėms suteikiama galimybė gaminti IG nedideliais kiekiais naudojantis MPW technologija angl. *Multi-Project Wafer* – MPW. MPW technologija leidžia gaminti skirtingus IG projektus toje pačioje silicio plokštelėje.

**2.1 lentelė.** Integrinių grandynų 1 mm$^2$ preliminarios gamybos kainos taikant submikronines bei nanometrines technologijas
**Table 2.1.** Integrated circuits 1 mm$^2$ preliminary production cost in submicron and nanometric technologies

| Technologinis žingsnis | Gamintojas | 1 mm$^2$ gamybos kaina, eur |
|---|---|---|
| 0,18 µm | ON Semiconductor | 1100 |
| 0,13 µm | GlobalFoundries | 1500 |
| 90 nm | TSMC | 3125 |
| 65 nm | GlobalFoundries | 4000 |
| 40 nm | GlobalFoundries | 5000 |
| 28 nm | GlobalFoundries | 10 200 |
| 22 nm | GlobalFoundries | 14 000 |

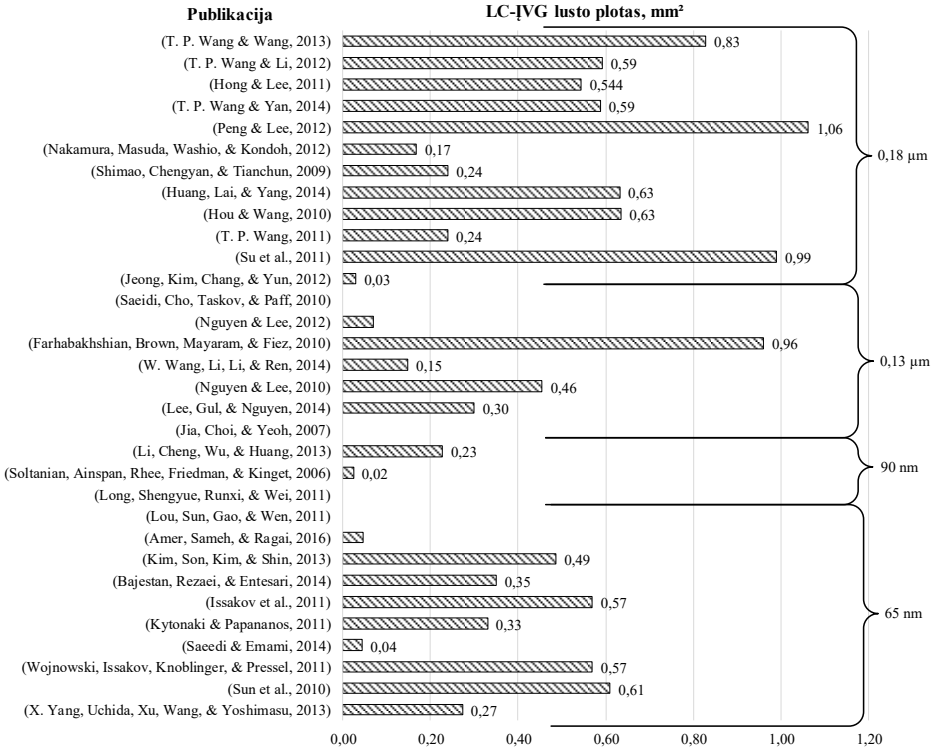
Iš 2.1 lentelės matoma, kad lyginant su IG gamybos žingsniu 1 mm$^2$ kaina didėja eksponentiškai. Tačiau reikia pabrėžti ir tai, kad kuo naujesnė technologija, tuo didesnė kaina, tačiau užimamas plotas gali būti mažesnis, o tai sumažina bendrą lusto kainą.

LC-ĮVG užimamo ploto pasiskirstymas apžvelgtuose šaltiniuose pateiktas 2.1 paveiksle. Analizuojant ankstesniame skyriuje aptartus šaltinius, kai kuriuose iš jų lusto plotas nebuvo pateiktas, tai galima matyti iš 2.1 paveikslo, kur histogramoje nėra pateikta stulpelių verčių. Iš šio paveikslo matyti, kad submikroninėse technologijose pagamintų ĮVG plotas kinta nuo 0,07 mm$^2$ (Jeong et al., 2012) (0,13 µm technologija) iki 1,06 mm$^2$ (Peng & Lee, 2012) (0,18 µm technologija).

Nanometrinėse technologijose pagamintų ĮVG plotas kinta nuo 0,02 $mm^2$ (Soltanian et al., 2006) (90 nm technologija) iki 0,61 $mm^2$ (Sun et al., 2010) (65 nm technologija).

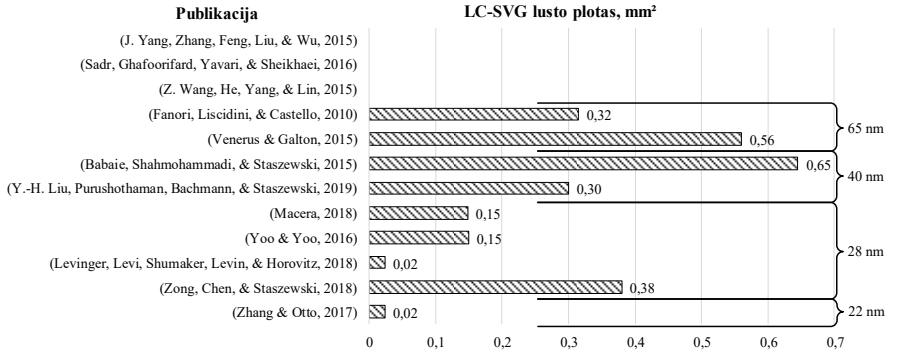
LC-SVG užimamo ploto pasiskirstymas apžvelgtuose šaltiniuose pateiktas 2.2 paveiksle. Submikroninėse technologijose kai kurių pagamintų SVG plotas nėra pateiktas. Nanometrinėse technologijose pagamintų ĮVG plotas kinta nuo 0,02 $mm^2$ (Zhang & Otto, 2017) (22 nm technologija) ir (Levinger et al., 2018) (28 nm technologija) iki 0,65 $mm^2$ (Babaie et al., 2015) (40 nm technologija).

Lyginant ĮVG ir SVG maksimalius plotus matoma, kad ĮVG maksimalus plotas yra 1,06 $mm^2$ tuo tarpu SVG maksimalus plotas yra 0,65 $mm^2$. Iš čia galima teigti, kad maksimalus SVG plotas yra 36,3 % mažesnis nei maksimalus ĮVG užimamas plotas.



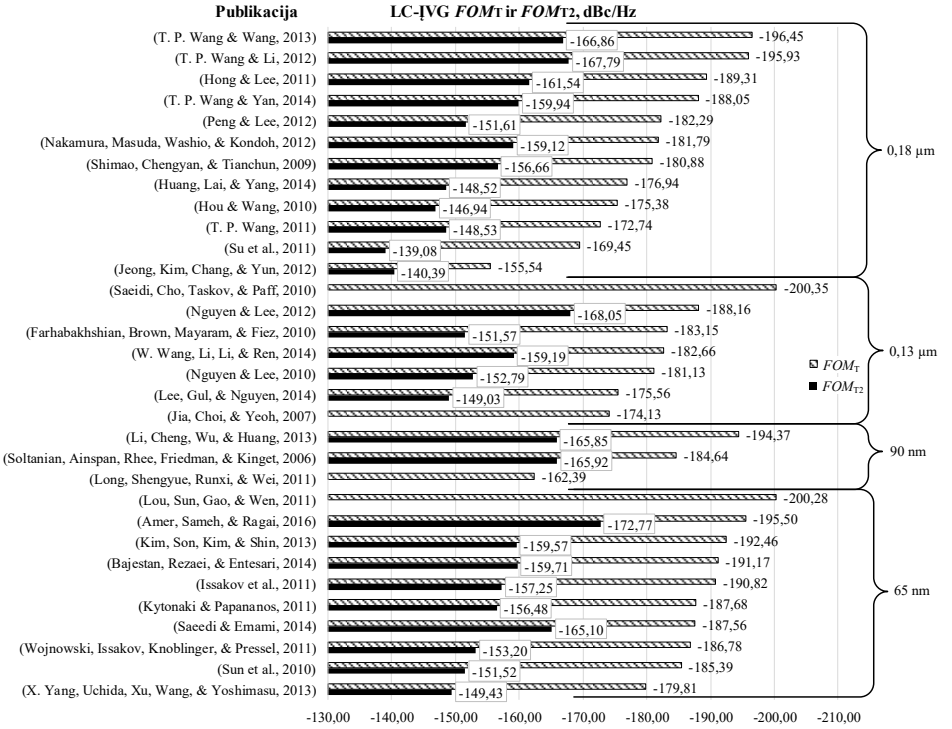

**2.1 pav.** LC įtampa valdomų generatorių užimamo ploto pasiskirstymas apžvelgtuose šaltiniuose

**Fig. 2.1.** Distribution of occupied area in reviewed references of LC voltage controlled oscillators




2.2 pav. LC skaitmeniniu būdu valdomų generatorių užimamo ploto pasiskirstymas apžvelgtuose šaltiniuose

Fig. 2.2. Distribution of occupied area in reviewed references of LC digitally controlled oscillators

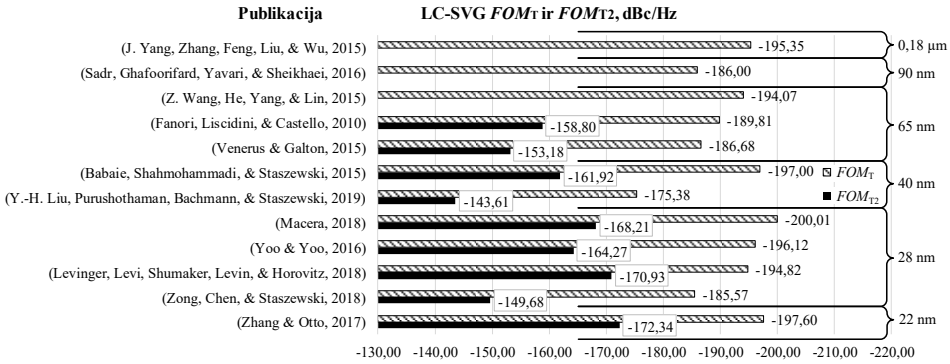



**2.3 pav.** LC įtampa valdomų generatorių $FOM_T$ ir $FOM_{T2}$ kokybės funkcijų verčių pasiskirstymas apžvelgtuose šaltiniuose

**Fig. 2.3.** Distribution of $FOM_T$ and $FOM_{T2}$ quality functions values in reviewed references of LC voltage controlled oscillators

LC-ĮVG $FOM_T$ ir $FOM_{T2}$ kokybės funkcijų verčių pasiskirstymas apžvelgtuose šaltiniuose pateiktas 2.3 paveiksle. Iš šio paveikslo matoma, kad įvedus naujus parametrus bendra analizuojamų ĮVG kokybės vertė sumažėjo bei pasikeitė generatorių pasiskirstymas vertinant kokybes nuo geriausios iki blogiausios. Apžvelgiant ĮVG $FOM_T$ kokybės funkcijos kitimą, vertės kinta nuo −155,54 dBc/Hz (Jeong et al., 2012) iki −200,35 dBc/Hz (Saeidi et al., 2010). Tuo tarpu vertinant $FOM_{T2}$ kokybės funkcijos kitimą apžvelgtuose ĮVG, vertės kinta nuo −139,08 dBc/Hz (Su et al., 2011) iki −172,77 dBc/Hz (Amer et al., 2016).

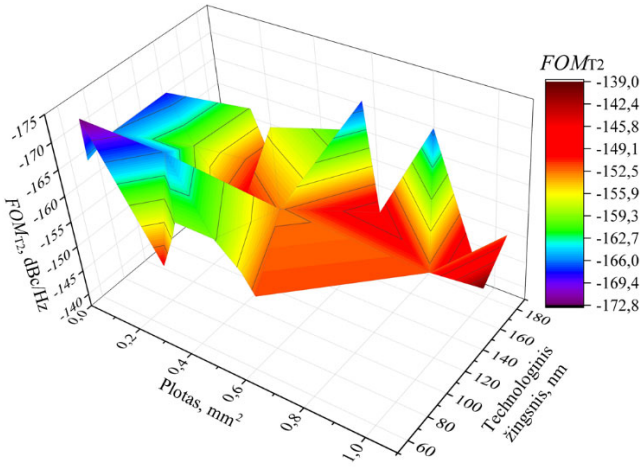
Apžvelgiant SVG $FOM_T$ kokybės funkcijos kitimą (2.4 pav.), vertės kinta nuo −200,01 dBc/Hz (Macera, 2018) iki −175,38 dBc/Hz (Y. H. Liu et al., 2019). Tuo tarpu vertinant $FOM_{T2}$ kokybės funkcijos kitimą apžvelgtuose SVG, vertės kinta nuo −172,34 dBc/Hz (Zhang & Otto, 2017) iki −143,61 dBc/Hz (Y. H. Liu et al., 2019).




**2.4 pav.** LC skaitmeniniu būdu valdomų generatorių $FOM_T$ ir $FOM_{T2}$ kokybės funkcijų verčių pasiskirstymas apžvelgtuose šaltiniuose

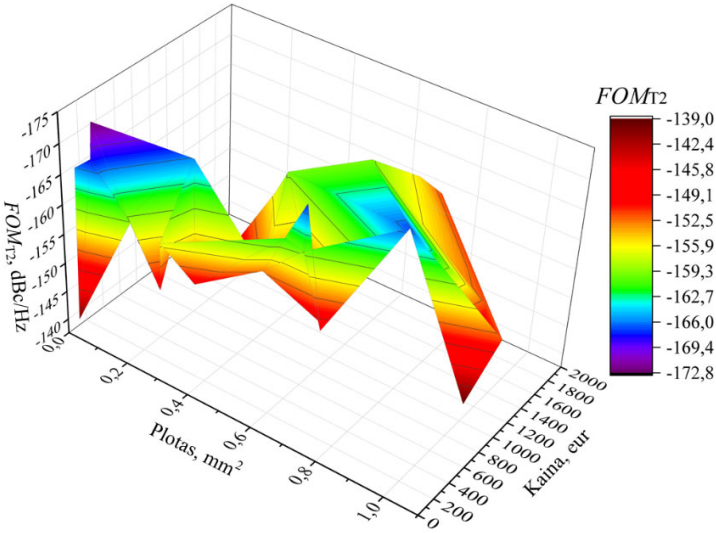
**Fig. 2.4.** Distribution of $FOM_T$ and $FOM_{T2}$ quality functions values in reviewed references of LC digitally controlled oscillators

LC-ĮVG $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir technologinio žingsnio apžvelgtuose šaltiniuose pateikta 2.5 paveiksle. Iš šio paveikslo matoma tendencija, kad esant mažam plotui $FOM_{T2}$ vertės yra didžiausios. Geriausios $FOM_{T2}$ vertės pasiektos esant lusto plotui nuo 0,02 mm$^2$ $FOM_{T2} = -168{,}05$ dBc/Hz (Nguyen & Lee, 2010) iki 0,05 mm$^2$ $FOM_{T2} = -172{,}77$ dBc/Hz (Amer et al., 2016). Lyginant $FOM_{T2}$ priklausomybę nuo IG projektavimo ir gamybos technologinio žingsnio matoma, kad geriausios $FOM_{T2}$ vertės pasiektos naudojant submikroninę 0,13 µm (Nguyen & Lee, 2012) $FOM_{T2} = -168{,}5$ dBc/Hz bei nanometrinę 65 nm (Amer et al., 2016) $FOM_{T2} = -172{,}77$ dBc/Hz technologijas.




**2.5 pav.** LC įtampa valdomų generatorių $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir technologinio žingsnio apžvelgtuose šaltiniuose

**Fig. 2.5.** Dependence of $FOM_{T2}$ quality function values on occupied area and technology node in reviewed references of LC voltage controlled oscillators

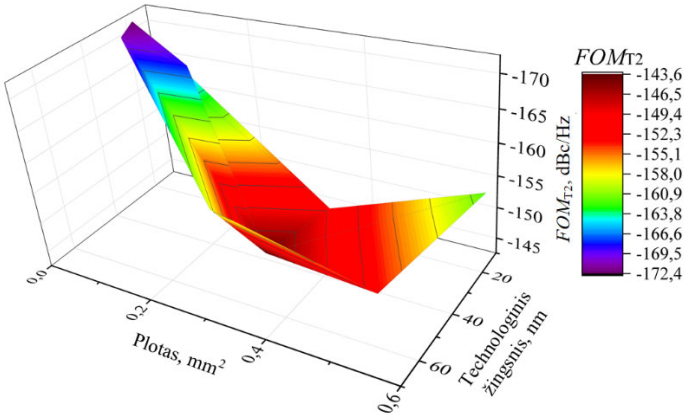



**2.6 pav.** LC įtampa valdomų generatorių $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir lusto gamybos kainos apžvelgtuose šaltiniuose

**Fig. 2.6.** Dependence of $FOM_{T2}$ quality function values on occupied area and chip production cost in reviewed references of LC voltage controlled oscillators

LC-ĮVG $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir lusto gamybos kainos apžvelgtuose šaltiniuose pateikta 2.6 paveiksle. Iš šio paveikslo taip pat matoma tendencija, kad esant mažam plotui $FOM_{T2}$ vertės yra didžiausios. $FOM_{T2}$ verčių priklausomybę nuo lusto gamybos kainos, matoma, kad geriausi rezultatai yra gauti esant vienai iš mažiausių lusto gamybos kainų (187 eur) (Amer et al., 2016). Blogiausias $FOM_{T2}$ vertės rezultatas gautas esant vidutinei IG gamybos kainai (1089 eur) bei dideliam plotui (0,99 mm$^2$) (Su et al., 2011) $FOM_{T2} = -139{,}08$ dBc/Hz.

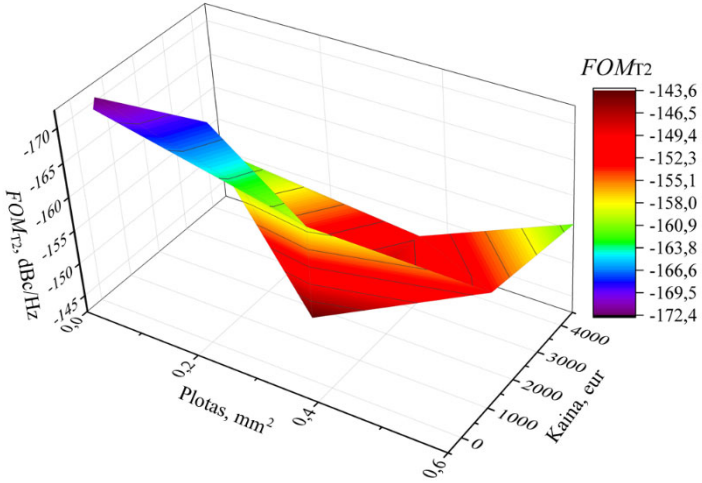
LC-SVG $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir technologinio žingsnio apžvelgtuose šaltiniuose pateikta 2.7 paveiksle. Iš šio paveikslo matyti, kad geriausios $FOM_{T2}$ vertės −172,34 dBc/Hz (Zhang & Otto, 2017) ir −170,93 dBc/Hz (Levinger et al., 2018) gautos esant mažam (0,02 mm$^2$) lustų plotui. Atitinkamai šie SVG yra suprojektuoti naudojant 22 nm ir 28 nm IG technologijas. Blogiausias $FOM_{T2}$ kokybės funkcijos rezultatas −143,61 dBc/Hz yra gautas SVG suprojektuotame naudojant 40 nm IG technologiją (Y. H. Liu et al., 2019), kurio plotas yra 0,2 mm$^2$. Iš aptartų rezultatų analizuojant $FOM_{T2}$ rezultatų pasiskirstymą matoma, kad geriausi parametrai gauti SVG suprojektuotuose mažose nanometrinėse technologijose, ši rezultatą lemia labai mažas iki 0,02 mm$^2$ IG užimamas plotas.




2.7 pav. LC skaitmeniniu būdu valdomų generatorių FOMT2 kokybės funkcijos verčių priklausomybė nuo ploto ir technologinio žingsnio apžvelgtuose šaltiniuose
Fig. 2.7. Dependence of FOMT2 quality function values on occupied area and technology node in reviewed references of LC digitally controlled oscillators

LC-SVG $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir lusto gamybos kainos apžvelgtuose šaltiniuose pateikta 2.8 paveiksle. Šiame pasiskirstyme matomos panašios tendencijos kaip ir aukščiau aptartame pasiskirstyme. Paveiksle matoma, kad geriausios $FOM_{T2}$ vertės −172,34 dBc/Hz (Zhang & Otto,

2017) ir −170,93 dBc/Hz (Levinger et al., 2018) gautos esant labai mažam (0,02 mm$^2$) lustų plotui. Nors šiose technologijose gaminti IG yra brangu, bendrą IG kainą sumažina labai mažas lustų užimamas plotas atitinkamai lustų sąlyginės gamybos kainos yra 336,0 eur ir 244,8 eur. Kaip ir praeitame pasiskirstyme blogiausias




**2.8 pav.** LC skaitmeniniu būdu valdomų generatorių $FOM_{T2}$ kokybės funkcijos verčių priklausomybė nuo ploto ir lusto gamybos kainos apžvelgtuose šaltiniuose
**Fig. 2.8.** Dependence of $FOM_{T2}$ quality function values on occupied area and chip production cost in reviewed references of LC digitally controlled oscillators

$FOM_{T2}$ kokybės funkcijos rezultatas −143,61 dBc/Hz yra gautas SVG suprojektuotame naudojant 40 nm IG technologiją (Y. H. Liu et al., 2019), kurio plotas yra 0,2 mm$^2$. Esant didesniam plotui padidėja bendra sąlyginė IG gamybos kaina (1500 eur), o tai lemia blogesnę $FOM_{T2}$ kokybės funkcijos vertę.

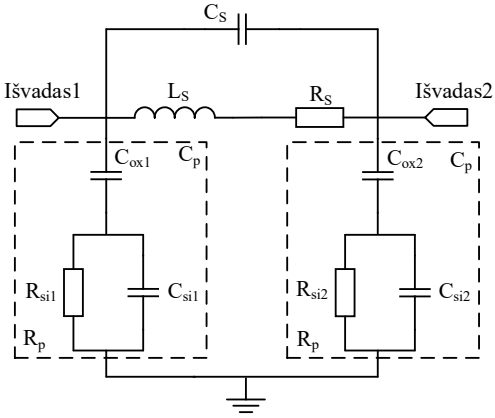
## 2.2. Plačiajuosčių įtampa ir skaitmeniniu būdu valdomų generatorių LC kontūro kokybės gerinimas

### 2.2.1. Induktyvumo ritės kokybės gerinimas

Apibrėžiant induktyvumo ritės efektyvumą, išskiriami šie pagrindiniai parametrai: induktyvumo ritės kokybės faktorius – $Q_I$, tai yra bedimensis dydis; induktyvumo ritės induktyvumas – $L_I$, parametras matuojamas henriais H; induktyvumo ritės rezonansinis dažnis – $f_r$, natuojamas hercais Hz.

Induktyvumo ritės konstrukciją išreiškiantys parametrai yra šie: ritės plotis – $W_I$; $S_I$ – tarpai tarp induktyvumo ritės vijų; induktyvumo ritės vijų skaičius – $n_I$; induktyvumo ritės storis – $t_I$; išorinis induktyvumo ritės skersmuo – $D_{IŠ}$; vidinis induktyvumo ritės skersmuo $D_{VID}$. Pateikti parametrai lemia aukščiau išvardintus parametrus – induktyvumo ritės kokybės faktorių bei induktyvumą (Pan, Li, & Yin, 2004).

KMOP technologijose induktyvumo ritės supaprastinta ekvivalentinė schema su parazitiniais parametrais pateikta 2.9 paveiksle.




**2.9 pav.** Induktyvumo ritės supaprastinta ekvivalentinė schema
**Fig. 2.9.** Simplified schematics of inductor

Iš šio paveikslo matoma, kad nuosekliai sujungtas induktyvinis bei rezistyvinis komponentai atitinkamai žymimi $L_S$ ir $R_S$. Atstumas tarp induktyvumo ritės vijų sukuria parazitinę talpą, kuri žymima $C_S$. Talpa esanti tarp induktyvinės ritės apačios ir silicio plokštelės pagrindo yra žymima simboliu $C_{ox}$. Silicio plokštelės pagrindo varža ir talpa atitinkamai žymimos simboliais $R_{si}$ ir $C_{si}$. Apibendrintai $R_{si}$, $C_{si}$ ir $C_{ox}$ parazitiniai komponentai gali būti apjungti ir aprašomi šiais ekvivalentiniais parametrais $R_p$ ir $C_p$.

Induktyvumo ritės trimatis modelis pateiktas 2.10 paveiksle. Šiame paveiksle pateikti pagrindiniai aukščiau išvardinti induktyvumo ritės parametrai.

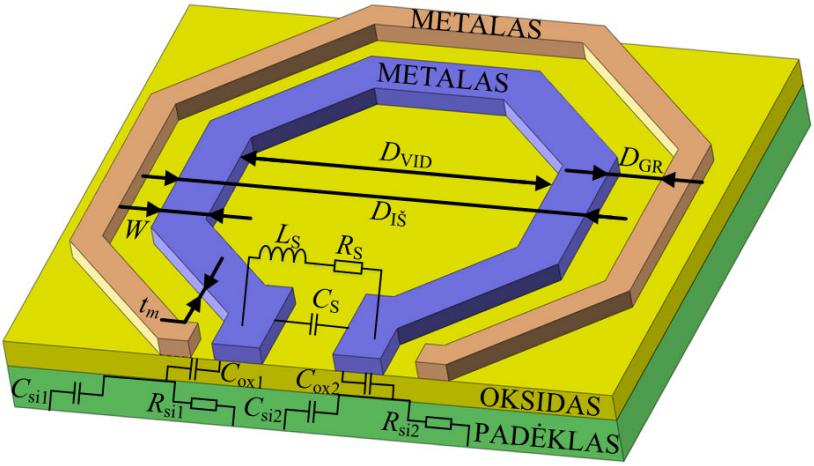
Silicio padėklo talpa $C_{si}$ nustatoma pagal toliau pateiktą formulę:

$$C_{si} = \frac{W_I l_I C_0}{2}. \tag{2.3}$$

Viršuje pateiktoje formulėje $W_I$ – induktyvumo ritės metalo vijos plotis, $C_0$ silicio padėklo talpa tenkanti ploto vienetui, talpa priklauso nuo padėklo fizikinių

savybių bei kinta ribose nuo $10^{-2}$ iki $10^{-3}$ fF/μm$^2$. Silicio padėklo talpa $R_{si}$ nustatoma pagal toliau pateiktą formulę:

$$R_{si} = \frac{2}{W_I l_I G_0}. \tag{2.4}$$




**2.10 pav.** Induktyvumo ritės trimatis modelis
**Fig. 2.10.** Three-dimensional model of inductor

Viršuje pateiktoje formulėje $G_0$ silicio padėklo laidumas tenkantis ploto vienetui, laidumas priklauso nuo padėklo fizikinių savybių bei kinta ribose nuo 7 iki 10 S/μm$^2$. Oksido talpos tarp induktyvumo ritės ir silicio padėklo $C_{ox}$ išreiškiama šia formule:

$$C_{ox} = W_I l_I \left( \frac{\varepsilon_{ox}}{2t_{ox}} \right), \tag{2.5}$$

šioje formulėje $\varepsilon_{ox}$ – oksido dielektrinė skvarba dažnai $3{,}45\times10^{-11}$ F/m priklausomai nuo oksido šio parametro vertė gali skirtis. $t_{ox}$ nusako atstumą tarp induktyvumo ritės apačios ir silicio padėklo šis atstumas dar apibūdinamas kaip oksido storis. Ekvivalentinė talpa $C_p$ yra:

$$C_p = C_{ox} \left( \frac{1+\omega^2 \left(C_{si}+C_{ox}\right) C_{si} R_{si}^2}{1+\omega^2 \left(C_{si}+C_{ox}\right)^2 R_{si}^2} \right). \tag{2.6}$$

Ekvivalentinė talpa $R_p$ yra:

$$R_{\mathrm{p}} = \frac{1}{\omega^2 C_{\mathrm{ox}}^2 R_{\mathrm{si}}} + \left( R_{\mathrm{si}} \left( \frac{\left(C_{\mathrm{si}} + C_{\mathrm{ox}}\right)^2}{C_{\mathrm{ox}}^2} \right) \right). \tag{2.7}$$

Talpa $C_S$, kurią lemia atstumas tarp induktyvumo ritės vijų aprašoma šia formule:

$$C_{\mathrm{s}} = nW_{\mathrm{I}}^2 \left( \frac{\varepsilon_{\mathrm{ox}}}{t_{\mathrm{ox,M1\text{-}M2}}} \right). \tag{2.8}$$

Šioje formulėje parametras $n$ nusako induktyvumo ritės vijų skaičių, parametras $t_{\mathrm{ox,M1-M2}}$ nusako atstumą tarp vijų. Ekvivalentinė varža $R_S$ išreiškiama pateikta formule:

$$R_{\mathrm{s}} = \frac{\rho l_{\mathrm{I}}}{W_{\mathrm{I}} \rho \left[ 1 - e^{-\frac{t_{\mathrm{m}}}{\delta}} \right]}. \tag{2.9}$$

Iš čia $\rho_r$ – metalo savitoji elektrinė varža, $t$ – metalo storis mikronais, $\delta$ – aukštadažnio paviršinio laidumo gylis, šis parametras aprašomas šia formule:

$$\delta = \sqrt{\frac{\rho_{\mathrm{r}}}{\pi \mu f}} \ (\mu\mathrm{m}). \tag{2.10}$$

Iš šios formulės $f$ – dažnis išreikštas GHz, $\mu$ – magnetinė skvarba, $\rho_r$ – metalo savitoji elektrinė varža. Ritės induktyvumas išreiškiamas šia formule:

$$L_{\mathrm{s}} = K_1 \mu_0 n^2 \frac{D_{\mathrm{vid}}}{1 + K_2 \rho_{\mathrm{t}}}. \tag{2.11}$$

Iš šios formulės $D_{\mathrm{vid}}$ – induktyvumo ritės vidutinis skersmuo, kuris yra:

$$D_{\mathrm{vid}} = \frac{D_{\mathrm{VID}} + D_{I\check{S}}}{2}. \tag{2.12}$$

Iš (2.10) formulės $\rho_r$ – induktyvumo ritės sąlyginis tankis išreiškiamas šia formule:

$$\rho_{\mathrm{r}} = \frac{D_{I\check{S}} - D_{\mathrm{VID}}}{D_{I\check{S}} + D_{\mathrm{VID}}}. \tag{2.13}$$

Iš (2.11) formulės $K_1$ ir $K_2$ – Wheeler koeficientai, kurie priklauso nuo induktyvumo ritės formos, šių koeficientų vertės pateiktos 2.2 lentelėje (Mohan, del Mar Hershenson, Boyd, & Lee, 1999).

**2.2 lentelė.** Wheeler koeficientų išraiškos
**Table 2.2.** Coeficients of Wheeler

| Induktyvinės ritės forma | $K_1$ | $K_2$ |
|---|---|---|
| Kvadratas | 2,34 | 2,75 |
| Šešiakampis | 2,33 | 3,82 |
| Aštuonkampis | 2,25 | 3,55 |

Atsižvelgiant į 2.10 paveiksle pateiktą ekvivalentinę schemą induktyvumo ritės kokybė, įvertinant parazitinius parametrus išreiškiama:

$$Q = 2\pi \cdot \frac{\left[\text{maksimali magnetinė energija-maksimali elektrinė energija}\right]}{\text{energijos praradimas viename virpesių cikle}}. \quad (2.14)$$

$$Q = \frac{\omega L_s}{R_s} \cdot \frac{1}{1 + \frac{R_s}{R_p}\left[\left(\frac{\omega L_s}{R_s}\right)^2 + 1\right]} \cdot \left[1 - \frac{R_S^2 (C_S + C_p)}{L_s} - \omega^2 L_s (C_S + C_p)\right]. \quad (2.15)$$

Iš šios lygties matoma, kad pirma lygties dalis $\frac{\omega L_s}{R_s}$ nusako magnetinę energiją sukauptą kartu su važiniais nuostoliais. Antroji lygties dalis $\frac{1}{1 + \frac{R_s}{R_p}\left[\left(\frac{\omega L_s}{R_s}\right)^2 + 1\right]}$ nusako silicio padėklo parazitinių elementų lemiamus nuostolius. Trečioji lygties dalis $\left[1 - \frac{R_S^2 (C_S + C_p)}{L_s} - \omega^2 L_s (C_S + C_p)\right]$ nusako savirezonanso įtaką kokybei atsirandantį dėl parazitinių talpų nuostolių. Apibendrinant galima daryti išvadą, kad induktyvumo ritės kokybė priklauso nuo šių pagrindinių faktorių: ritės induktyvumo, ritės ir aplink esančių medžiagų savybių ir pasirenkamo centrinio dažnio(Ching-Liang Dai, Jin-Yu Hong, & Mao-Chen Liu, 2008; J. Lee, Park, Kim, & Chun, 2009; Lin et al., 2017).

Didėjant dažniui diėja ir $R_s$ dydis, daugiausiai tai lemia paviršinio laidumo efektas bei artumo reiškinys. Artumo reiškinys sukelia srovės tankio laidininko skerspjūvyje netolygų pasiskirstymą, kai šalia yra kitas laidininkas su srove. Norint padidinti induktyvumo ritės kokybę galima keisti ritės metalo plotį bei storį, didinant šiuos parametrus iš (2.7) formulės matoma, kad kokybė didėja, tai lemia rezistyvinių nuostolių mažėjimas.

Srovei tekant induktyvine rite privalu vengti aštrių kampų, nes tai lemia ritės linijos varžos padidėjimą bei atsirandančius nuostolius, dėl to kokybė sumažėja. Taigi aukštos kokybės rites stengiamasi daryti ovalias, o ne kvadratinės formos su aštriais kampais.

Sekantis ritės kokybės gerinimo būdas yra susijęs su parazitinės talpos tarp ritės vijų mažinimu, kas lemia didesnį savirezonansinį dažnį arba šios talpos išvengimu renkantis vienos vijos induktyvumo ritę. Pagrindinis vienos vijos ritės neigiamas reiškinys – tai ribotas induktyvumas.

Atsižvelgiant (2.3) lygtį, didinant atstumą tarp induktyvumo ritės ir silicio padėklo, padėklo talpa sumažėja. Be to, silicio padėklo talpa, kuri sukuria parazitinę talpą, gali būti sumažinta padengiant storą silicio oksidą kuris panaudojamas kaip geresnės izoliacijos sluoksnis. Šis sluoksnis taip pat gali izoliuoti induktyvumo ritę nuo pagrindo ir sumažinti nuostolius, taip padidindamas induktyvumo ritės kokybę.

Apibrėžiant nuostolius gaunamus esant žemiems dažniams, daugiausiai įtakos turi nuostoliai atsirandantys induktyvumo ritės metale, tai lemia per didelė naudojamo metalo varža. Šiuo atveju induktyvumo ritės kokybės gerinimas gali būti pasiektas naudojant platesnę, storesnę ir laidesnio metalo liniją sudarančią induktyvumo ritę.

Apibrėžiant kokybę gaunamą esant aukštiems dažniams, daugiausiai įtakos turi energijos nuostoliai esantys tarp induktyvumo ritės ir silicio padėklo. Dėl šios priežasties norint pagerinti kokybę stengiamasi sumažinti atstumą tarp induktyvumo ritės vijų, taip pat stengiamasi sumažinti induktyvumo ritės skersmens išorinį plotį.

### 2.2.2. Induktyvumo ritės kokybės priklausomybė nuo atstumo iki apsauginio žiedo

Norint, kad induktyvumo ritės generuojamas elektromagnetinis laukas nepatektų į šalia esančius IG blokus yra naudojamas apsauginis žiedas (Aguilera & Berenguer, 2004). Dažniausiai šis žiedas sudarytas iš P+ arba N+ difuzijois regionų, kurie apjuosia induktyvumo ritę ir yra prijungti prie žemės. Kai kurie tyrimai rodo, kad apsauginis žiedas pagerina induktyvumo ritės kokybę, tačiau tikslus kokybės padidėjimo rodiklis nėra aproksimuotas formulėmis (You & Huang, 2013). Toliau pasiūlyta papildytas induktyvumo ritės kokybės matematinis modelis papildomai įvertinantis kokybės kitimą esant skirtingiems atstumams tarp apsauginio žiedo. Matematinis modelis sukurtas remiantis 40 nm, 65 nm ir 180 µm KMOP integrinių grandynų technologijomis. Kadangi kokybės funkcija kinta netiesiškai matematinis modelis sukurtas panaudojant papildomą šešių polinomų

funkciją. Polinomais galima aproksimuoti duomenis dviem būdai: pirmuoju atveju polinomas kerta visus duomenų taškus, o antruoju – polinomas gali ir nekirsti nei vieno duomenų taško.

Analizuojant $n$ duomenų taškų ($x_i$, $y_i$), galima užrašyti $n-1$–ojo laipsnio polinomą, kuris patenka į visus duomenų taškus. Šiuo atveju polinomo koeficientai randami įstatant į polinomą visus duomenų taškus:

$$y_i = a_n x_i^n + a_{n-1} x_i^{n-1} + \ldots + a_1 x_i + a_0 , \tag{2.16}$$

iš čia $i$ kinta nuo 0 iki $n-1$. Iš čia gaunama tiesinė lygčių sistema, kurią išsprendus randami koeficientai $a_n$, $a_{n-1}$, ..., $a_1$, $a_0$(„Numerical Methods of Approximation“, 2018). Funkcija išreikšta penkto laipsnio polinomu:

$$y_i = a_5 x_i^5 + a_4 x_i^4 + a_3 x_i^3 + a_2 x_i^2 + a_1 x_i + a_0 . \tag{2.17}$$

Pradžioje induktyvumo ritės kokybė yra nustatoma remiantis 2.15 formule joje įvedant koeficientą, $k_t$, kuris priklauso nuo naudojamos integrinių grandynų technologijos, ši funkcija žymima $Q_{min}$. Koeficientas $k_t$ yra naudojamas tam, kad suvienodinti apskaičiuotas kokybės vertes su vertėmis gautomis kompiuteriniuose modeliavimuose. Kompiuteriniuose modeliavimuose gautos kokybės vertės yra gautos gamintojų atliekant realius matavimus, tačiau reali kokybės priklausomybė nuo apsauginio žiedo atstumo nėra pateikiama.

Sekantis žingsnis yra kokybės priklausomybės nuo atstumo tarp apsauginio žiedo ir induktyvumo ritės $D_{GR}$ įvedimas. Įvedant šį parametrą atsižvelgiama į dažnio kitimą esant tam pačiam ritės induktyvumui. Iš ankščiau atliktų tyrimų nustatyta, kad geriausia kokybė projektuojant ĮVG ir SVG dažniams nuo 2 GHz iki 10 GHz gaunama esant 200 pH induktyvumo ričių induktyvumo vidurkiui.

Nustačius induktyvumo ričių kitimo ribas kintant $D_{GR}$ kintant dažniui $f$ šis kitimas yra aproksimuojamas šešių polinomų funkcija, kuri yra pateikiama 2.17 formulėje. Galutinė kokybės priklausomybės nuo dažnio $f$ bei atstumo tarp apsauginio žiedo ir induktyvumo ritės $D_{GR}$ pateikiama toliau:

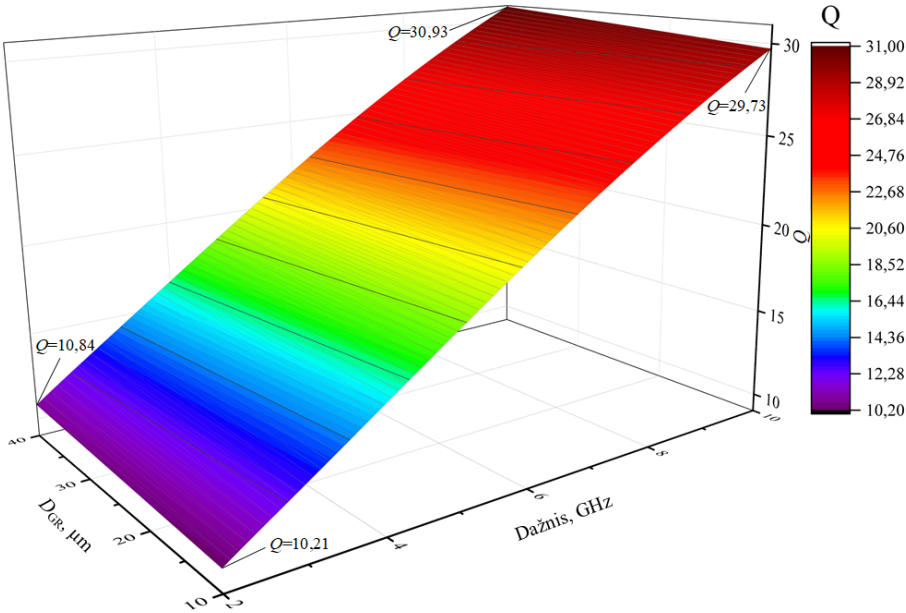
$$Q_{GR}(f) = Q_{min}(f) + \frac{Q_{max}(f) - Q_{min}(f)}{D_{GRmax}(f) - D_{GRmin}(f)} \cdot D_{GR} = Q_{min}(f) + \frac{\Delta Q(f)}{\Delta D_{GR}} \cdot D_{GR} . \tag{2.18}$$

Iš šios formulės $Q_{min}$ – induktyvumo ritės kokybė, kai $D_{GR}$ yra mažiausias $D_{GRmin}$ = 10 µm; $Q_{max}$ – induktyvumo ritės kokybė, kai $D_{GR}$ yra didžiausias $D_{GRmax}$ = 40 µm; $\Delta Q$ – induktyvumo ritės kokybės kitimas aproksimuotas šešių polinomų funkcija; $\Delta D_{GR}$ – atstumas tarp minimalaus ir maksimalaus $D_{GR}$, kuris yra lygus 30 µm, $D_{GR}$ – atstumas tarp apsauginio žiedo ir induktyvumo ritės, kuriame norima gauti kokybę.

Aproksimuoti $\Delta Q$ funkcijos polinomų koeficientai skirtingose IG technologijose esant 200 pH induktyvumui pateikti 2.3 lentelėje. Naudojantis šiomis polinomų vertėmis sudaryta induktyvumo ritės kokybės funkcija esant skirtingam dažniui nuo 2 GHz iki 10 GHz, kai induktyvumo ritės induktyvumas yra fiksuotas ir yra lygus 200 pH.

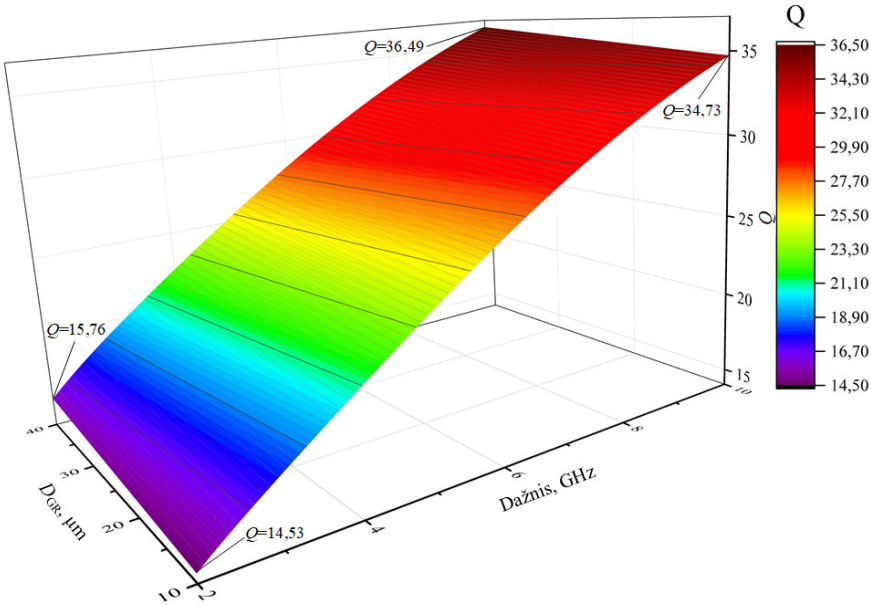
**2.3 lentelė.** Aproksimuotoi $\Delta Q$ funkcijos polinomų koeficientai taikant skirtingas IG technologijas esant 200 pH induktyvumui
**Table 2.3.** Polynomial coefficients from the approximated ΔQ function in different IC technologies at 200 pH inductance

| IG technologija | $a_5$ | $a_4$ | $a_3$ | $a_2$ | $a_1$ | $a_0$ |
|---|---|---|---|---|---|---|
| 40 nm | −0,122608 | 0,599385 | −0,147045 | 0,022065 | −0,001723 | 0,000052 |
| 65 nm | −1,350689 | 2,392354 | −0,740390 | 0,111444 | −0,008153 | 0,000233 |
| 0,18 µm | −1,967611 | 1,775665 | −0,283605 | 0,026413 | −0,001112 | 0,000014 |




**2.11 pav.** 200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo $D_{GR}$ ir dažnio $f$, taikant 40 nm IG technologiją
**Fig. 2.11.** 200 pH inductor quality dependence on distance between guard ring $D_{GR}$ and frequency $f$ at 40 nm IC technology

200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo ir induktyvumo ritės $D_{GR}$ ir dažnio $f$, 40 nm IG technologijoje pateikta 2.11 paveiksle. Iš šio paveikslo matoma, kad naudojant 40 nm IG technologiją žemesniuose dažniuose (2 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 10,21 iki 10,84 ($\Delta Q$ = 0,63), o aukštuose dažniuose (10 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 29,73 iki 30,93 ($\Delta Q$ = 1,2). Iš čia galima spręsti, kad žemesniuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 0,63 induktyvumo ritės kokybės padidėjimas, aukštuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 1,2 induktyvumo ritės kokybės padidėjimas. Induktyvumo ritės kokybės didėjimas lemia didesnę bendrą LC kontūro kokybę, o tai lemia mažesnį fazės triukšmą.



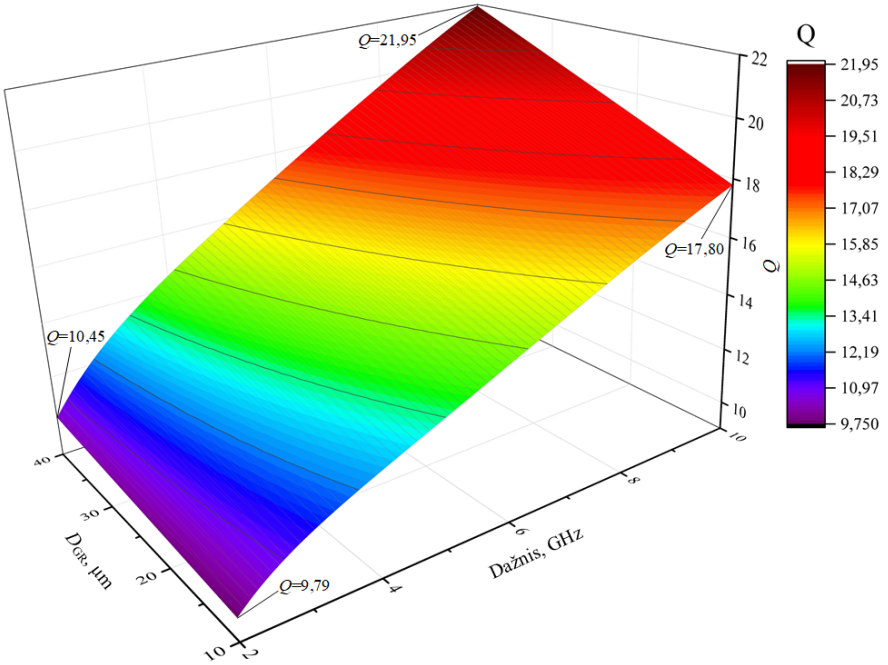

**2.12 pav.** 200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo $D_{GR}$ ir dažnio $f$, taikant 65 nm IG technologą

**Fig. 2.12.** 200 pH inductor quality dependence on distance between guard ring $D_{GR}$ and frequency $f$ at 65 nm IC technology

200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo ir induktyvumo ritės $D_{GR}$ ir dažnio $f$, 65 nm technologijoje pateikta 2.12 paveiksle. Iš šio paveikslo matoma, kad naudojant 65 nm IG technologiją

žemesniuose dažniuose (2 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 14,53 iki 15,76 ($\Delta Q$ = 1,23), o aukštuose dažniuose (10 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 34,73 iki 36,49 ($\Delta Q$ = 1,76). Iš čia galima spręsti, kad žemesniuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 1,23 induktyvumo ritės kokybės padidėjimas, aukštuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 1,76 induktyvumo ritės kokybės padidėjimas.

200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo ir induktyvumo ritės $D_{GR}$ ir dažnio $f$, 0,18 µm IG technologijoje pateikta 2.13 paveiksle. Iš šio paveikslo matoma, kad naudojant 0,18 µm IG technologiją žemesniuose dažniuose (2 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 9,79 iki 10,45 ($\Delta Q$ = 0,66), o aukštuose dažniuose (10 GHz) kintant $D_{GR}$ atstumui nuo 10 µm iki 40 µm induktyvumo ritės kokybė kinta nuo 17,80 iki 21,95 ($\Delta Q$ = 4,15). Iš čia galima spręsti, kad žemesniuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 0,66 induktyvumo ritės kokybės padidėjimas, aukštuose dažniuose $D_{GR}$ atstumą padidinus 30 µm gaunamas 4,15 induktyvumo ritės kokybės padidėjimas.




**2.13 pav.** 200 pH induktyvumo ritės kokybės priklausomybė nuo atstumo tarp apsauginio žiedo $D_{GR}$ ir dažnio $f$, taikant 0,18 µm IG technologiją

**Fig. 2.13.** 200 pH inductor quality dependence on distance between guard ring $D_{GR}$ and frequency $f$ at 0,18 µm IC technology

Apibendrinant induktyvumo ritės kokybės gerinimą galima daryti išvadą, kad geriausias rezultatas didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm gautas 0,18 µm IG technologijoje naudojamoje 200 pH induktyvumo ritėje esant didžiausiam dažniui (10 GHz). Padidinus $D_{GR}$ atstumą 30 µm induktyvumo ritės kokybė padidėjo nuo 17,80 iki 21,95, lyginant nuo pradinės kokybės vertės matomas 23,31 % kokybės pagerėjimas. Blogiausias rezultatas didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm gautas 40 nm IG technologijoje naudojamoje 200 pH induktyvinėje ritėje esant didžiausiam dažniui (10 GHz). Padidinus $D_{GR}$ atstumą 30 µm induktyvumo ritės kokybė padidėjo nuo 10,21 iki 10,84, lyginant nuo pradinės kokybės vertės matomas 6,17 % kokybės pagerėjimas.

Lyginant didžiausias kokybės vertes geriausias rezultatas gautas 200 pH induktyvumo ritėje naudojamoje 65 nm IG technologijoje. Esant didžiausiam dažniui (10 GHz), kai $D_{GR}$ atstumas yra 40 µm kokybė yra 36,49. Blogiausias rezultatas gautas 200 pH induktyvumo ritėje naudojamoje 0,18 µm IG technologijoje. Esant mažiausiam dažniui (2 GHz), kai $D_{GR}$ atstumas yra 10 µm kokybė yra 9,79.

Gerinant induktyvumo ritės kokybę ir didinant $D_{GR}$ atstumą pastebėtas ir neigiamas faktorius – tai induktyvumo ritės užimamo ploto padidėjimas. 200 pH induktyvumo ritės ploto kitimas, kintant $D_{GR}$ atstumams skirtingose IG technologijose pateiktas 2.4 lentelėje.

**2.4 lentelė.** 200 pH induktyvumo ritės ploto kitimas, kintant $D_{GR}$ atstumams, taikant skirtingas IG technologijas
**Table 2.4.** Variation of 200 pH inductor area with different $D_{GR}$ distances of different IC technologies

| IG technologija | $D_{GR}$, µm | $W_L$, µm | $L_L$, µm | $S_L$, mm$^2$ |
|---|---|---|---|---|
| 40 nm | 10 | 242,44 | 169,11 | 0,041 |
| | 40 | 302,44 | 254,01 | 0,077 |
| 65 nm | 10 | 211,27 | 173,42 | 0,037 |
| | 40 | 271,27 | 233,42 | 0,063 |
| 0,18 µm | 10 | 176 | 177 | 0,031 |
| | 40 | 236 | 237 | 0,056 |

2.4 lentelėje $D_{GR}$ – atstumas tarp induktyvumo ritės ir apsauginio žiedo, $W_L$ – bendras induktyvumo ritės plotis, $L_L$ – bendras induktyvumo ritės ilgis, $S_L$ – bendras induktyvumo ritės plotas.

Iš 2.4 lentelės matoma, kad 40 nm technologijoje 200 pH induktyvumo ritėje $D_{GR}$ atstumą padidinus nuo 10 µm iki 40 µm bendras ritės užimamas plotas padidėja nuo 0,041 mm$^2$ iki 0,077 mm$^2$. Nuo pradinės induktyvumo ritės užimamo

ploto vertės plotas padidėja 0,036 $mm^2$, tai sudaro 87,80 % didesnį užimamą plotą.

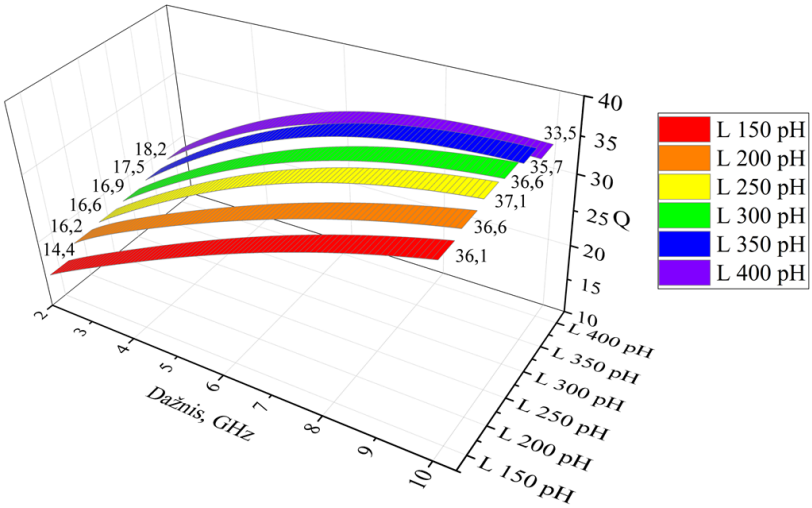
Analizuojant 200 pH induktyvumo ritės užimamą plotą 65 nm technologijoje matoma, kad $D_{GR}$ atstumą padidinus nuo 10 µm iki 40 µm bendras ritės užimamas plotas padidėja nuo 0,037 $mm^2$ iki 0,063 $mm^2$. Nuo pradinės induktyvumo ritės užimamo ploto vertės plotas padidėja 0,026 $mm^2$, tai sudaro 70,27 % didesnį užimamą plotą.

Analizuojant 200 pH induktyvumo ritės užimamą plotą 0,18 µm technologijoje matoma, kad $D_{GR}$ atstumą padidinus nuo 10 µm iki 40 µm bendras ritės užimamas plotas padidėja nuo 0,031 $mm^2$ iki 0,056 $mm^2$. Nuo pradinės induktyvumo ritės užimamo ploto vertės plotas padidėja 0,025 $mm^2$, tai sudaro 80,65 % didesnį užimamą plotą.

Apibendrinant gautus rezultatus matoma, kad daugiausiai plotas padidėja didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm 40 nm technologijoje, 200 pH induktyvumo ritėje, šis ploto padidėjimas yra lygus 0,036 $mm^2$. Esant šiems pokyčiams induktyvumo ritės kokybė padidėja nuo 10,21 iki 10,84 ($\Delta Q = 0{,}63$) žemiausiuose dažniuose ($f = 2$ GHz) ir nuo 29,73 iki 30,93 ($\Delta Q = 1{,}20$) aukščiausiuose dažniuose ($f = 10$ GHz). Iš aptartų rezultatų matoma, kad plotas padidėja ženkliai, o kokybės pagerėjimas nėra toks žymus tiek žemiausiuose tiek aukščiausiuose dažniuose.

Mažiausiai plotas padidėja didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm 0,18 µm technologijoje, 200 pH induktyvumo ritėje, šis ploto padidėjimas yra lygus 0,025 $mm^2$. Esant šiems pokyčiams induktyvumo ritės kokybė padidėja nuo 9,79 iki 10,45 ($\Delta Q = 0{,}66$) žemiausiuose dažniuose ($f = 2$ GHz) ir nuo 17,80 iki 21,95 ($\Delta Q = 4{,}15$) aukščiausiuose dažniuose ($f = 10$ GHz). Iš aptartų rezultatų matoma, kad didinti $D_{GR}$ atstumą 0,18 µm technologijoje naudojamoje 200 pH induktyvumo ritėje yra tikslingiausia dėl žymaus kokybės pagerėjimo ($\Delta Q = 4{,}15$) aukščiausiuose dažniuose ($f = 10$ GHz), nepaisant didėjančio induktyvumo ritės ploto. Taip pat 200 pH induktyvumo ritės kokybės gerinimas 0,18 µm technologijojoje yra svarbus dėl mažos kokybės aukščiausiuose dažniuose lyginant su kokybėmis induktyvumo ritėse naudojamose 40 nm ir 65 nm technologijose.

Iš aukščiau pateiktų induktyvumo ritės kokybės verčių matoma, kad didžiausia induktyvumo ritės kokybė aukščiausiuose dažniuose gauta 65 nm technologijoje, kai atstumas $D_{GR}$ yra didžiausias. Taigi toliau nagrinėjamos geriausios kokybės induktyvumo ritės 65 nm IG technologijoje. Induktyvumo ričių kokybės priklausomybė esant skirtingam induktyvumui, 65 nm IG technologijoje pateikta 2.14 paveiksle. Šiame paveiksle pateiktos 150 pH, 200 pH, 250 pH, 300 pH, 350 pH ir 400 pH induktyvumo ričių kokybės $Q$ kintant dažniui nuo 2 GHz iki 10 GHz kai $D_{GR}$ yra didžiausias (40 µm). Iš paveikslo matoma, kad žemiausiuose dažniuose (2 GHz), didėjant induktyvumo ričių induktyvumui nuo 150 pH iki 400 pH, kokybė $Q$ didėja nuo 14,4 iki 18,2. Aukščiausiuose dažniuose (10 GHz)




**2.14 pav.** Induktyvumo ričių kokybės priklausomybė esant skirtingam induktyvumui, taikant 65 nm IG technologiją
**Fig. 2.14.** Inductors quality dependence of different inductance at 65 nm IC technology

induktyvumui kintant nuo 150 pH iki 250 pH pastebimas kokybės didėjimas nuo 36,1 iki 37,1, tačiau induktyvumui didėjant toliau nuo 250 pH iki 400 pH, kokybė *Q* pradeda mažėti nuo 37,1 iki 33,5. Iš šių rezultatų galima daryti išvadą, kad aukščiausia pasiekiama induktyvumo ričių kokybė ties 2 GHz dažniu yra 18,2, kai induktyvumas – 400 pH, ties 10 GHz dažniu aukščiausia kokybė – 37,1, kai induktyvumas 250 pH.

## 2.3. Antrojo skyriaus išvados

1. Atlikus įtampa ir skaitmeniniu būdu valdomų generatorių palyginamąją analizę buvo nustatyta daugiau svarbių parametrų, kurie aptartose kokybės funkcijose nėra įvertinti. Dėl to pasiūlytos naujos valdomų generatorių kokybę įvertinančios funkcijos $FOM_{TT}$, $FOM_{T2}$. $FOM_{TT}$ funkcija papildomai įvertina gamybos technologinį žingsnį bei maitinimo įtampą. Gaminant lustus išskiriami du pagrindiniai veiksniai: lusto užimamas plotas bei gamybos kaina. Šiais dvejais papildomais parametrais yra papildyta standartinė $FOM_T$ kokybės funkcija taip įvedant naują $FOM_{T2}$ funkciją.

2. Įvedus naujus parametrus bendra analizuojamų LC-ĮVG kokybės vertė sumažėjo bei pasikeitė generatorių pasiskirstymas vertinant kokybes nuo geriausios iki blogiausios. Apžvelgiant ĮVG $FOM_T$ kokybės funkcijos kitimą, vertės kinta nuo −155,54 dBc/Hz (Jeong et al., 2012) iki −200,35 dBc/Hz (Saeidi et al., 2010). Vertinant $FOM_{T2}$ kokybės funkcijos kitimą, vertės kinta nuo −139,08 dBc/Hz (Su et al., 2011) iki −172,77 dBc/Hz (Amer et al., 2016).

3. Apžvelgiant LC-SVG $FOM_T$ kokybės funkcijos kitimą, vertės kinta nuo −200,01 dBc/Hz (Macera, 2018) iki −175,38 dBc/Hz (Y. H. Liu et al., 2019). Tuo tarpu vertinant $FOM_{T2}$ kokybės funkcijos kitimą apžvelgtuose SVG, vertės kinta nuo −172,34 dBc/Hz (Zhang & Otto, 2017) iki −143,61 dBc/Hz (Y. H. Liu et al., 2019).

4. Geriausios $FOM_{T2}$ vertės pasiektos esant lusto plotui nuo 0,02 mm$^2$ $FOM_{T2} = -168{,}05$ dBc/Hz (Nguyen & Lee, 2010) iki 0,05 mm$^2$ $FOM_{T2} = -172{,}77$ dBc/Hz (Amer et al., 2016). Lyginant $FOM_{T2}$ priklausomybę nuo IG projektavimo ir gamybos technologijų matoma, kad geriausios $FOM_{T2}$ vertės pasiektos taikant submikroninę 0,13 µm (Nguyen & Lee, 2012) $FOM_{T2} = -168{,}5$ dBc/Hz bei nanometrinę 65 nm (Amer et al., 2016) $FOM_{T2} = -172{,}77$ dBc/Hz technologijas.

5. Geriausios LC-SVG $FOM_{T2}$ vertės −172,34 dBc/Hz (Zhang & Otto, 2017) ir −170,93 dBc/Hz (Levinger et al., 2018) gautos esant mažam (0,02 mm$^2$) lustų plotui. Atitinkamai šie SVG yra suprojektuoti taikant 22 nm ir 28 nm IG technologijas.

6. Nustayti šie pagrindiniai induktyvumo ritės kokybės gerinimo būdai: induktyvumo ritės metalo pločio bei storio didinimas; ovalių arba daugiakampių ričių naudojimas; vienos vijos ritės naudojimas; dielektrinio sluoksnio storio didinimas; mažos savitosios varžos metalo naudojimas.

7. Pasiūlytas matematinis modelis leidžiantis nustatyti 200 pH induktyvumo ritės kokybės priklausomybę nuo atstumo tarp ritės apsauginio žiedo kintant dažniui nuo 2 GHz iki 10 GHz taikant skirtingas 40 nm 65 nm ir 0,18 µm technologijas. Papildomai įvertinamas induktyvumo ritės užimamo ploto kitimas kintant aptartam atstumui.

8. Apibendrinant gautus rezultatus matoma, kad daugiausiai plotas padidėja didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm taikant 40 nm technologiją, 200 pH induktyvumo ritėje, šis ploto padidėjimas yra lygus 0,036 mm$^2$. Esant šiems pokyčiams induktyvumo ritės kokybė padidėja nuo 10,21 iki 10,84 ($\Delta Q = 0{,}63$) žemiausiuose dažniuose

($f$ = 2 GHz) ir nuo 29,73 iki 30,93 ($\Delta Q$ = 1,20) aukščiausiuose dažniuose ($f$ = 10 GHz). Iš aptartų rezultatų matoma, kad plotas padidėja ženkliai, o kokybės pagerėjimas nėra toks žymus tiek žemiausiuose tiek aukščiausiuose dažniuose.

9. Didinant $D_{GR}$ atstumą nuo 10 µm iki 40 µm, mažiausiai plotas padidėja 0,18 µm technologijoje, 200 pH induktyvumo ritėje, šis ploto padidėjimas yra lygus 0,025 mm$^2$. Esant šiems pokyčiams induktyvumo ritės kokybė padidėja nuo 9,79 iki 10,45 ($\Delta Q$ = 0,66) žemiausiuose dažniuose ($f$ = 2 GHz) ir nuo 17,80 iki 21,95 ($\Delta Q$ = 4,15) aukščiausiuose dažniuose ($f$ = 10 GHz). Iš aptartų rezultatų matoma, kad didinti $D_{GR}$ atstumą 0,18 µm technologijoje naudojamoje 200 pH induktyvumo ritėje yra tikslingiausia dėl žymaus kokybės pagerėjimo ($\Delta Q$ = 4,15) aukščiausiuose dažniuose ($f$ = 10 GHz), nepaisant didėjančio induktyvumo ritės ploto. Taip pat 200 pH induktyvumo ritės kokybės gerinimas taikant 0,18 µm technologijoją yra svarbus dėl mažos kokybės aukščiausiuose dažniuose lyginant su kokybėmis induktyvumo ritėse naudojamose taikant 40 nm ir 65 nm technologijas.

10. Taikant 65 nm IG technologiją aukščiausia pasiekiama induktyvumo ričių kokybė ties 2 GHz dažniu yra 18,2, kai induktyvumas – 400 pH, ties 10 GHz dažniu aukščiausia kokybė – 37,1, kai induktyvumas 250 pH.

# 3

# LC įtampa ir skaitmeniniu būdu valdomų generatorių ir papildomų blokų projektavimas ir tyrimas

Šiame skyriuje yra kuriami, tiriami ir palyginami LC daugiakonturiniai , plačiajuosčiai, mažatriukšmiai įtampa ir skaitmeniniu būdu valdomi generatoriai, kurie yra projektuojami taikant 65 nm integrinių grandynų technologiją. Taip pat kuriami ir tiriami pagaminto taikant 0,18 µm technologiją įtampa valdomo generatoriaus bei pagaminto taikant 0,13 µm technologiją skaitmeninių būdu valdomo generatoriaus integriniai grandynai.

Skyriaus tematika paskelbti penki autoriaus straipsniai (Macaitis, Jurgo, Charlamov, & Barzdenas, 2016; Macaitis & Navickas, 2017c, 2017a, 2018, 2019).

# 3.1. Trikontūrinų plačiajuosčių mažatriukšmių LC generatorių projektavimas ir tyrimas taikant 65 nm technologiją

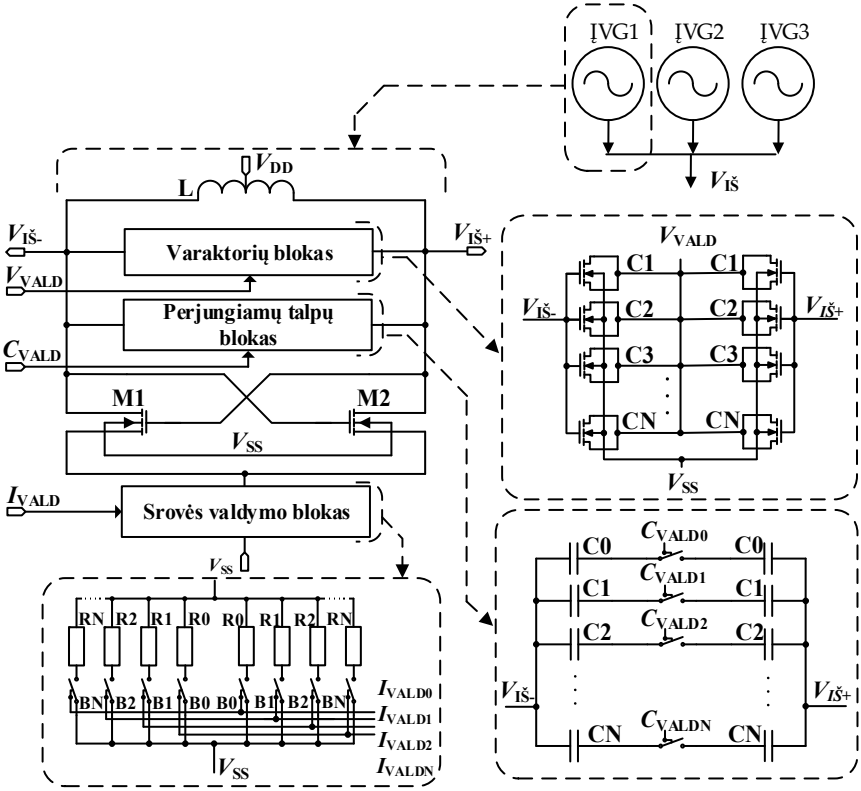
## 3.1.1 Trikontūrinio plačiajuosčio LC įtampa valdomo generatoriaus projektavimas ir tyrimas

Pastaruoju metu sparčiai vystosi belaidės mobiliojo ryšio technologijos ir tai paskatino įrenginių, gebančių perduoti duomenis belaidžiu ryšiu, paklausą. Kuriant naujus belaidžio ryšio standartus, stengiamasi įvykdyti keletą reikalavimų: darbas standartizuotose dažnių juostose, vartojamosios galios sumažinimas, dažnių juostos pločio parinkimas, fazės triukšmo sumažinimas bei lusto užimamo ploto sumažinimas. Šiuolaikinės moderniosios belaidžio ryšio komunikacijos sistemos įgyvendinamos naudojant daugiajuosčius, daugiastandarčius belaidžio mobiliojo ryšio siųstuvus-imtuvus (Bajestan et al., 2014). Tobulinant šiuos siųstuvus-imtuvus stengiamasi kurti kuo labiau plačiajuostiškesnius daugiakontūrinius LC įtampa valdomus generatorius.

Suprojektuoto trikontūrio LC-ĮVG principinė elektrinė schema pateikta 3.1 paveiksle. LC-ĮVG sudarytas iš šių pagrindinių blokų: aukštos kokybės induktyvumo ritės (L), varaktorių ir perjungiamų kondensatorių bloko (šie elemen- tai kartu su L sudaro LC kontūrą), neigiamosios pilnutinės varžos tranzistorių (M1, M2) ir srovės valdymo bloko. Siekiant padidinti LC-ĮVG išėjimo signalo dažnių valdymo ruožą, papildomai suprojektuoti trys LC-ĮVG, kurių kontūrai sudaryti iš tų pačių talpinių, neigiamosios pilnutinės varžos bei srovės valdymo blokų, tačiau skiriasi aukštos kokybės induktyvumo ritės.

Trikontūrinis LC-ĮVG suprojektuotas naudojant 65 nm technologinio žingsnio aukštadažnę septynių metalų KMOP integrinių grandynų gamybos technologiją. Projektuoti ir modeliuoti naudotas „Cadence IC“ integrinių grandynų projektavimo ir kompiuterinio modeliavimo programinis paketas. Induktyvumo ritės parinktos taip, kad suprojektuotas LC-ĮVG veiktų plačiame dažnių valdymo ruože (2,64-6,72 GHz).

Norint pasiekti didžiausią induktyvumo ričių kokybę, kontūras suprojektuotas aukščiausiame technologiniame metale naudojant tik vieną kontūro viją. Atsižvelgiant i ankstesniame skyriuje atliktus tyrimus, norint pasiekti aukščiausią kontūro kokybę parinktas maksimalus atstumas tarp induktyvumo ritės ir apsauginio žiedo. Derinamame dažnių ruože induktyvumo ričių kokybių vidurkis kinta nuo 20,15 (kai generuojamas mažiausiasis LC-ĮVG išėjimo dažnis) iki 31,04 (kai generuojamas didžiausiasis LC-ĮVG išėjimo dažnis).




**3.1 pav.** Trikontūrinio LC įtampa valdomo generatoriaus principinė elektrinė schema
**Fig. 3.1.** Schematic of multicore LC voltage conrtolled oscillator

Aukštos kokybės induktyvumo ričių induktyvumas atitinkamai yra 153 pH, 207 pH ir 259 pH. Norint gauti kuo didesnį trikontūrinio LC-ĮVG generuojamo išėjimo signalo dažnį, naudojama N tipo neigiamosios pilnutinės varžos tranzistorių pora. Ši NMOP In architektūra pasirinkta dėl savo privalumų atsižvelgus į ankstesniame skyriuje analizuotą LC-ĮVG architektūrų analizę.

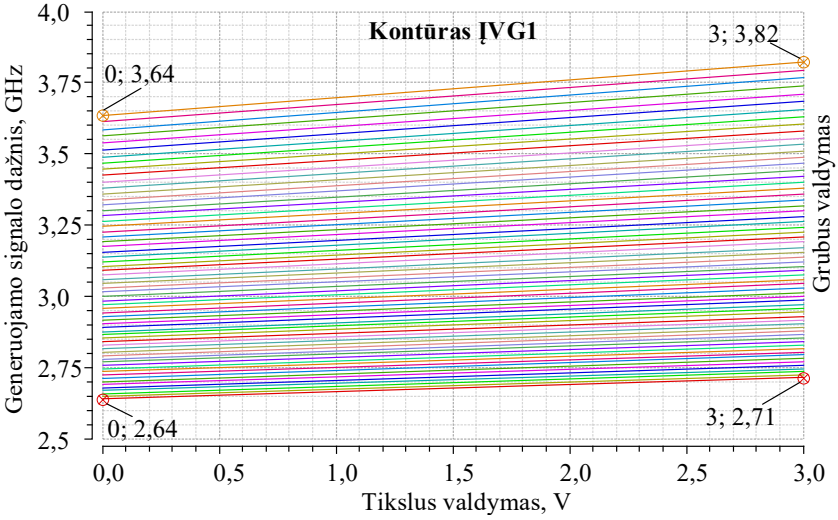
LC-ĮVG dažnis keičiamas dviem būdais – galimas grubus ir tikslus generujamo dažnio valdymas. Grubiai nustatant dažnį naudojami perjungiamų talpų blokai. Šis blokas gali būti sudarytas iš keleto kondensatorių masyvų, sujungtų lygiagrečiai. Suprojektuotame trikontūriniame LC-ĮVG dažniui praplėsti panaudoti trys atskiri perjungiamų talpų kontūrai priklausantys kiekvienam ĮVG. Priklausomai nuo reikiamos talpos šie masyvai skaitmeniškai įjungiami arba išjungiami. Šis įjungiamų arba išjungiamų talpų masyvų valdymas gali būti įgyvendintas panaudojus tranzistorius arba kondensatorius.

Tiksliam LC-ĮVG dažnio valdymui naudojamas varaktorių blokas. Šis blokas sudarytas iš varaktorių, kurie, norint padidinti talpą, dažniausiai jungiami lygiagrečiai. Keičiant valdymo įtampą $V_{VALD}$, ĮVG dažnį galima keisti dideliu tikslumu, kuris priklauso nuo išorinės įtampos kitimo žingsnio. Įtampa $V_{VALD}$ dažniausiai keičiama nuo 0 V iki ĮVG maitinimo įtampos.

Srovė valdoma siekiant optimizuoti galios sąnaudas, tiksliai generuoti dažnio signalą, kintant aplinkos sąlygoms: temperatūrai, drėgmei ar maitinimo įtampoms. 3.1 paveiksle pateiktoje LC-ĮVG principinėje elektrinėje schemoje srovė valdoma skaitmeniškai (Macaitis, Barzdenas, & Navickas, 2014).

Atliekant kompiuterinį modeliavimą buvo skaičiuojami šie pagrindiniai trikontūrinio LC-ĮVG parametrai: generuojamo išėjimo signalo dažnis (GHz); generuojamo išėjimo signalo nešlio dažnio valdymo ruožas (GHz, %); generuojamo išėjimo signalo amplitudė (V); fazės triukšmas ties tam tikru nuokrypio dažniu nuo nešlio dažnio (dBc/Hz); vartojamoji galia (mW); induktyvumo ritės kokybė; generatoriaus susižadinimo laikas (ns) ir kokybės funkcija $FOM_T$, (dBc/Hz). Trikontūrinio LC-ĮVG schemos pagrindinių parametrų modeliavimas atliktas esant šioms sąlygoms: maitinimo įtampa – 1,8 V; temperatūra – 40 °C; modeliavimo ribinės sąlygos yra nominalios.

Suprojektuoto LC-ĮVG nešlio dažnio valdymo ruožas, veikiant kontūrui ĮVG1, pateiktas 3.2 paveiksle. Iš šio paveikslo matyti, kad dažnio valdymo ruožas kinta nuo 2,64 GHz iki 3,82 GHz (dažnių juostos plotis – 1,18 GHz).



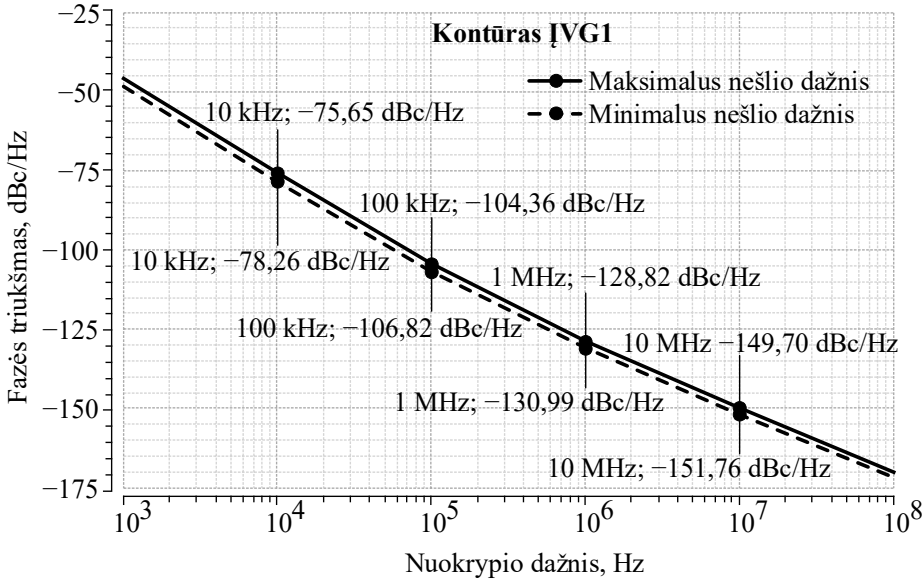

**3.2 pav.** Trikontūrinio LC įtampa valdomo generatoriaus dažnio valdymo ruožas, veikiant kontūrui ĮVG1

**Fig. 3.2.** Tuning range of the proposed multicore LC voltage conrtolled oscillator, when core VCO1 is working

Nešlio dažnio valdymo ruožas, kai veikia skirtingi kontūrai pateiktas 3.1 lentelėje. Iš lentelės matyti, kad bendras nešlio dažnio valdymo ruožas yra nuo 2,64 GHz iki 6,72 GHz (dažnių juostos plotis – 4,08 GHz).

**3.1 lentelė.** Bendras trikontūrinio LC įtampa valdomo generatoriaus dažnio valdymo ruožas
**Table 3.1.** Joint tuning range of the proposed multicore LC voltage conrtolled oscillator

| ĮVG Nr. | Dažnio ruožas, GHz | Dažnio juostos plotis, GHz | Bendras dažnio valdymo ruožas, GHz |
|---|---|---|---|
| 1 | 2,64–3,82 | 1,16 | 2,64–6,72 (4,08) |
| 2 | 3,75–5,03 | 1,28 | |
| 3 | 4,92–6,72 | 1,8 | |




**3.3 pav.** Trikontūrinio LC įtampa valdomo generatoriaus fazės triukšmas, veikiant kontūrui ĮVG1
**Fig. 3.3.** Phase noise of the proposed multicore LC voltage conrtolled oscillator, when core VCO1 is working

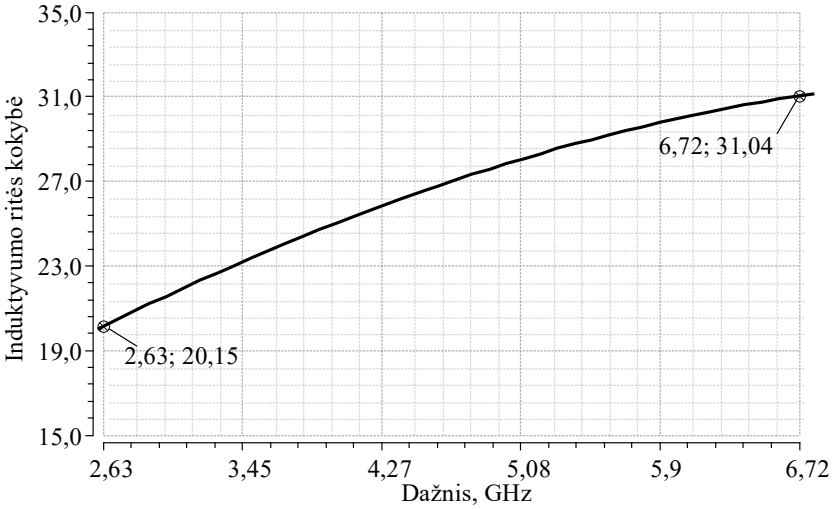
LC-ĮVG fazės triukšmas, veikiant kontūrui ĮVG1, pateiktas 3.3 paveiksle. Dažniausiai fazės triukšmo vertė pateikiama ties 1 MHz nuokrypio dažniu nuo nešlio dažnio. Ties šiuo nuokrypiu fazės triukšmas: −130,1 dBc/Hz, kai nešlio

dažnis mažiausias (2,64 GHz) ir −128,8 dBc/Hz, kai nešlio dažnis didžiausias (3,82 GHz).

**3.2 lentelė.** Bendras trikontūrinio LC įtampa valdomo generatoriaus fazės triukšmas
**Table 3.2.** Joint phase noise of the proposed multicore LC voltage conrtolled oscillator

| Kontūro Nr. | Dažnio ruožas, GHz | Fazės triukšmas, dBc/Hz | | Nuokrypio dažnis, MHz |
|---|---|---|---|---|
| | | $F_{min}$ | $F_{max}$ | |
| 1 | 2,64–3,82 | −130,1; −128,8 | | 1 |
| 2 | 3,75–5,03 | −131,3; −129,7 | | 1 |
| 3 | 4,92–6,72 | −132,1; −130,5 | | 1 |

LC-ĮVG fazės triukšmas, kai veikia skirtingi kontūrai esant mažiausiam ir didžiausiam veikimo dažniui $F_{min}$ ir $F_{max}$, pateiktas 3.2 lentelėje. Lentelėje matoma, kad geriausias rezultatas gautas, kai veikia kontūras ĮVG3, esant mažiausiam nešlio dažniui (4,92 GHz) fazės triukšmas −132,1 dBc/Hz ties 1 MHz nuokrypio dažniu nuo nešlio dažnio.




**3.4 pav.** Trikontūrinio LC įtampa valdomo generatoriaus vidutinė induktyvumo ričių kokybė Q
**Fig. 3.4.** Average inductors quality the proposed multicore LC voltage conrtolled oscillator

LC-ĮVG induktyvumo ritės vidutinė kokybė Q pateikta 3.4 paveiksle, kuriame matomas ritės kokybės kitimas visame LC-ĮVG nešlio dažnio valdymo

ruože nuo 2,64 GHz iki 6,72 GHz. Vidutinė kokybė apskaičiuota suvidurkinant induktyvumo ričių kokybes gautas iš skirtingu LC-ĮVG kontūrų. Didžiausia ritės kokybė (31,04) gaunama esant didžiausiam nešlio dažniui (6,72 GHz).

LC-ĮVG generuojamo išėjimo signalo amplitudės vidurkis, esant mažiausiam ir didžiausiam dažniui, kinta nuo 1,34 V iki 2,26 V; startavimo laiko vidurkis – nuo 2,76 ns iki 5,97 ns; vartojamosios galios vidurkis kinta nuo 20,31 mW iki 25,48 mW.

Žinant LC-ĮVG parametrus buvo apskaičiuotas dažnio valdymo ruožas išreikštas %, lyginant su centriniu dažniu, ir $FOM_{\mathrm{T}}$ kokybės funkcijos vertė. Kadangi ĮVG turi kelis pagrindinius parametrus jų tarpusavio palyginimas tampa sudėtingas. Norint charakterizuoti ĮVG kokybę, naudojama $FOM_{\mathrm{T}}$ kokybės funkcija (angl. *Figure Of Merit*) . ĮVG kokybės funkcijos vertė $FOM_{\mathrm{T}}$ apskaičiuojama pagal formulę:

$$FOM_{\mathrm{T}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}}\right)\cdot\left(\frac{\Delta f}{\%}\right)\right) + 10\lg\left(\frac{P}{1\mathrm{mW}}\right). \tag{3.1}$$

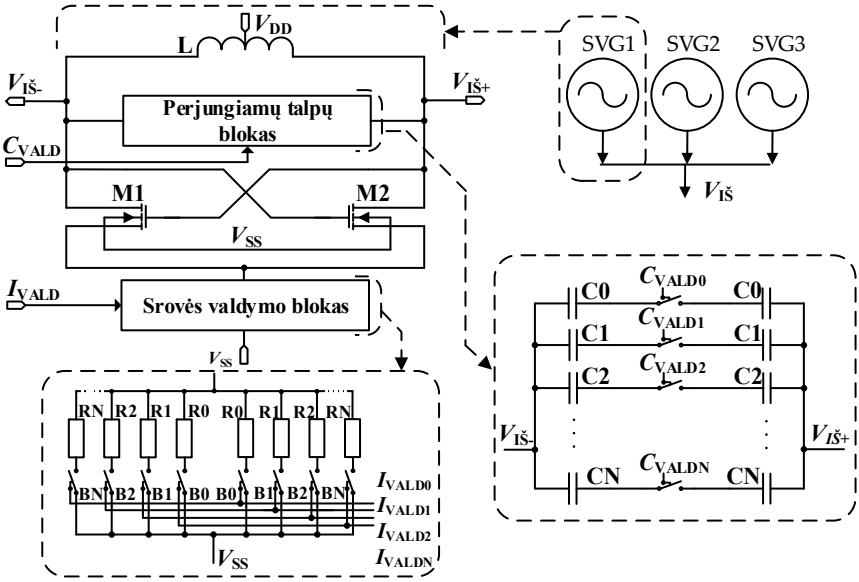
Šioje formulėje $\mathcal{L}(f_{\mathrm{N}})$ – fazės triukšmas ties tam tikru nuokrypio dažniu nuo centrinio dažnio; $f_0$ – centrinis generatoriaus dažnis; $f_{\mathrm{N}}$ – nuokrypio dažnis nuo centrinio generatoriaus dažnio; $P$ – valdomo generatoriaus vartojamoji galia; $\Delta f$ – dažnio valdymo ruožas. Apskaičiuota $FOM_{\mathrm{T}}$ kokybė yra −209,73 dBc/Hz.

Apibendrintai integrinio grandyno kompiuterinio modeliavimo metu gauti rezultatai pateikti toliau. Trikontūrinis, plačiajuostis, mažatriukšmis LC-ĮVG sudarytas iš trijų atskirų ĮVG, kurie su induktyvinėmis ritėmis ir talpiniais blokais sudaro tris atskirus LC kontūrus. Naudojant šią struktūrą gaunamas platus dažnio valdymo ruožas ir taip išsprendžiama plačiajuostiškumo problema. LC-ĮVG suprojektuotas naudojant 65 nm technologinio žingsnio aukštadažnę 7 metalų KMOP integrinių grandynų gamybos technologiją. Suprojektuotame LC-ĮVG dažnio valdymo ruožas kinta ribose nuo 2,64 GHz iki 6,72 GHz; fazės triukšmas kinta ribose nuo −128,8 dBc/Hz iki −132,1 dBc/Hz, kai nuokrypio dažnis 1 MHz; vartojamoji galia kinta nuo 20,31 mW iki 25,48 mW; susižadinimo laikas kinta nuo 2,76 ns iki 5,97 ns; išėjimo signalo amplitudė kinta nuo 1,34 V iki 2,26 V; Iduktyvumo ričių kokybių vidurkis 20,15 (mažiausiuose dažniuose) ir 31,04 (didžiausiuose dažniuose). Apskaičiuotas $FOM_{\mathrm{T}}$ rezultatas – (−209,73 dBc/Hz), kurį įtakojo mažas fazės triukšmas (fazės triukšmo vidurkis (−131,1) dBc/Hz) bei platus dažnio valdymo ruožas (2,64–6,72 GHz). Mažas fazės triukšmas gautas dėl suprojektuotų aukštos kokybės induktyvumo ričių.

### 3.1.2 Trikontūrinio plačiajuosčio LC skaitmeniniu būdu valdomo generatoriaus projektavimas ir tyrimas

Moderniose belaidžio ryšio technologijose stengiamasi kuo daugiau analoginių blokų pakeisti skaitmeniniais. Tokiu būdu sumažinama vartojamoji galia, sumažinamas integrinio grandyno užimamas plotas bei atsiranda galimybė projektą migruoti iš vienos integrinių grandynų technologijos į kitą (Jurgo & Navickas, 2016). Projektuojami trikontūriniai plačiajuosčiai LC SVG pritaikomi išmaniuosiuose daugiastandarčiuose daugiajuosčiuose siųstuvuose-imtuvuose, kuriuose fazės derinimo kilpose naudojami pagrindiniam dažniui generuoti. Galima išskirti du pagrindinius fazės derinimo kilpų tipus: klasikinė ir visiškai skaitmeninė. Būtent visiškai skaitmeninėje fazės derinimo kilpoje yra naudojami plačiajuosčiai, mažatriukšmiai, daugiakontūriniai LC SVG.

Yra du pagrindiniai SVG tipai: LC kontūro bei žiediniai. Pagrindinis LC-SVG privalumas – mažas fazės triukšmas. Žiediniai SVG naudojami norint sumažinti FDK energijos suvartojimą, tačiau jų fazės triukšmas yra didesnis.




**3.5 pav.** Trikontūrinio LC skaitmeniniu būdu valdomo generatoriaus principinė elektrinė schema

**Fig. 3.5.** Schematic of multicore LC digitally conrtolled oscillator

Suprojektuoto trikontūrio LC-SVG principinė elektrinė schema pateikta 3.5 paveiksle. LC-SVG sudarytas iš šių pagrindinių blokų: aukštos kokybės induktyvumo ritės (L), perjungiamų kondensatorių bloko (šie elementai kartu su L

sudaro LC kontūrą), neigiamosios pilnutinės varžos tranzistorių (M1, M2) ir srovės valdymo bloko. Siekiant padidinti LC-SVG išėjimo signalo dažnių valdymo ruožą, papildomai suprojektuoti trys LC-SVG, kurių kontūrai sudaryti iš tų pačių talpinių, neigiamosios pilnutinės varžos bei srovės valdymo blokų, tačiau skiriasi aukštos kokybės induktyvumo ritės.

Šiame LC-SVG dažnio valdymą atlieka trys nepriklausomi perjungiamų kondensatorių blokai esantys skirtinguose SVG, tokiu būdu įgyvendinamas platus dažnių valdymo ruožas. Grubus valdymas gaunamas perjungiant kondensatorių blokus. Blokas susideda iš lygiagrečiai sujungtų kondensatorių matricų, kurios priklausomai nuo reikalingos talpos gali būti įjungtos arba išjungtos. Įjungus blokus – talpa sumažėja, kai blokai išjungiami – talpa didėja. LC-SVG raktai realizuojami naudojant NMOP tranzistorius.

Sekantis LC-SVG komponentas yra srovės valdymo blokas. Šiame bloke srovė yra valdoma keliais bitais. Kaip matyti iš 3.5 pav., $I_{\mathrm{VALD}}$ yra kelių nepriklausomų valdymo signalų šyna atitinkamiems atskiriems srovės blokams. Todėl, pasirinkdami $I_{\mathrm{VALD}}$ vertes, LC-SVG vartojamąją srovę galima optimizuoti. Šios srovės valdymo bloko struktūros privalumas yra paprastumas ir energijos suvartojimo pasirinkimo lankstumas.

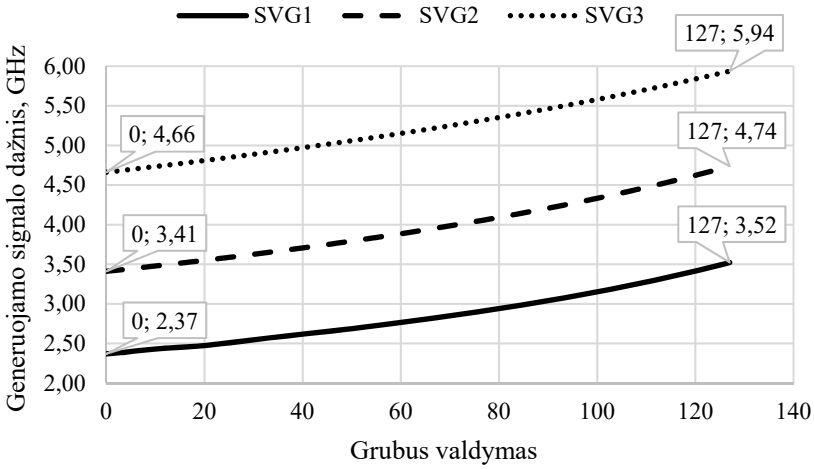
Trikontūrinis LC-SVG suprojektuotas naudojant 65 nm technologinio žingsnio aukštadažnę, septynių metalų KMOP integrinių grandynų gamybos technologiją. Projektuoti ir modeliuoti naudotas „Cadence IC“ integrinių grandynų projektavimo ir kompiuterinio modeliavimo programinis paketas. Induktyvumo ritės parinktos taip, kad suprojektuotas LC-SVG veiktų plačiame dažnių valdymo ruože (2,37 GHz – 5,94 GHz). Norint pasiekti didžiausią induktyvumo ričių kokybę, kontūras suprojektuotas aukščiausiame technologiniame metale naudojant tik vieną kontūro viją. Atsižvelgiant į ankstesniame skyriuje atliktus tyrimus norint pasiekti aukščiausią kontūro kokybę parinktas maksimalus atstumas tarp induktyvumo ritės ir apsauginio žiedo. Derinamame dažnių ruože induktyvumo ričių kokybių vidurkis kinta nuo 19,15 (kai generuojamas mažiausiasis LC-SVG išėjimo dažnis) iki 29,68 (kai generuojamas didžiausiasis LC-SVG išėjimo dažnis). Aukštos kokybės induktyvumo ričių induktyvumas atitinkamai yra 161 pH, 213 pH ir 275 pH. Norint gauti kuo didesnį trikontūrinio LC-SVG generuojamo išėjimo signalo dažnį, naudojama N tipo neigiamosios pilnutinės varžos tranzistorių pora. Ši NMOP In architektūra pasirinkta dėl savo privalumų atsižvelgus į ankstesniame skyriuje analizuotą LC-SVG architektūrų analizę.

Atliekant kompiuterinį modeliavimą buvo skaičiuojami šie pagrindiniai trikontūrinio LC-SVG parametrai: generuojamo išėjimo signalo dažnis (GHz); generuojamo išėjimo signalo nešlio dažnio valdymo ruožas (GHz, %); generuojamo išėjimo signalo amplitudė (V); fazės triukšmas ties tam tikru nuokrypio dažniu nuo nešlio dažnio (dBc/Hz); vartojamoji galia (mW); induktyvumo ritės kokybė;

generatoriaus susižadinimo laikas (ns) ir kokybės funkcija $FOM_T$, (dBc/Hz). Trikontūrinio LC-SVG schemos pagrindinių parametrų modeliavimas atliktas esant šioms sąlygoms: maitinimo įtampa – 1,8 V; temperatūra – 40 °C; modeliavimo ribinės sąlygos yra nominalios.

Suprojektuoto LC-SVG nešlio dažnio v ruožas, veikiant kontūram SVG1, SVG2 ir SVG3, pateiktas 3.6 paveiksle. Iš šio paveikslo matyti, kad dažnio valdymo ruožas kinta nuo 2,37 GHz iki 5,94 GHz,

Nešlio dažnio valdymo ruožas, kai veikia skirtingi kontūrai pateiktas 3.3 lentelėje. Iš lentelės matyti, kad bendras nešlio dažnio valdymo ruožas yra nuo 2,37 GHz iki 5,94 GHz (dažnių juostos plotis – 3,57 GHz).




**3.6 pav.** Trikontūrinio LC skaitmeniniu būdu valdomo generatoriaus dažnio valdymo ruožas

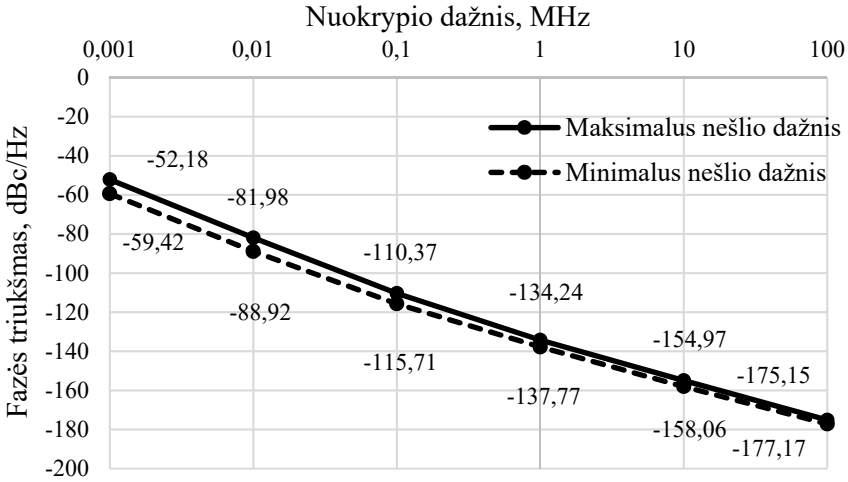
**Fig. 3.6.** Tuning range of the proposed multicore LC digitally conrtolled oscillator

**3.3 lentelė.** Bendras trikontūrinio LC-SVG dažnio valdymo ruožas

**Table 3.3.** Joint tuning range of the proposed multicore LC-DCO

| SVG Nr. | Dažnio ruožas, GHz | Dažnio juostos plotis, GHz | Bendras dažnio valdymo ruožas, GHz |
|---|---|---|---|
| 1 | 2,37–3,52 | 1,17 | 2,37–5,94 (3,57) |
| 2 | 3,41–4,74 | 1,33 | |
| 3 | 4,66–5,94 | 1,28 | |

LC-SVG fazės triukšmas, veikiant kontūrui SVG1, pateiktas 3.7 paveiksle. Dažniausiai fazės triukšmo vertė pateikiama ties 1 MHz nuokrypio dažniu nuo nešlio dažnio. Ties šiuo nuokrypiu fazės triukšmas: (−134,24) dBc/Hz, kai nešlio dažnis mažiausias (2,37 GHz) ir (−137,77) dBc/Hz, kai nešlio dažnis didžiausias (3,52 GHz).




**3.7 pav.** Trikontūrinio LC-SVG fazės triukšmas, veikiant kontūrui SVG1
**Fig. 3.7.** Phase noise of the proposed multicore LC-DCO, when core DCO1 is working

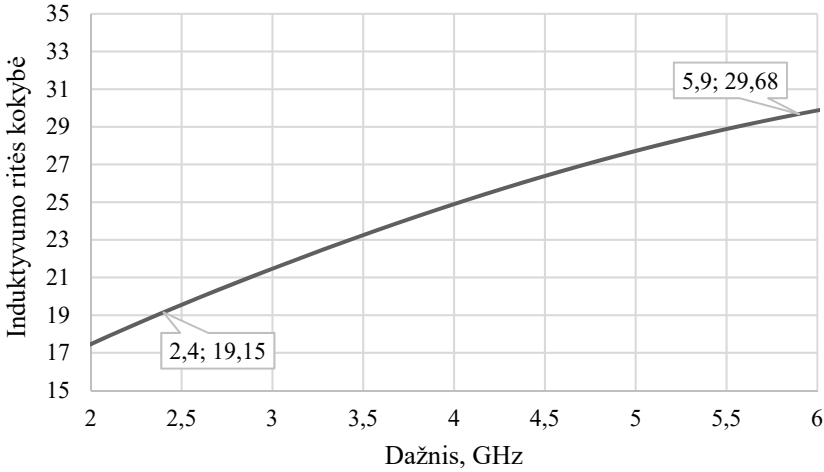
LC-SVG fazės triukšmas, kai veikia skirtingi kontūrai esant mažiausiam ir didžiausiam veikimo dažniui $F_{min}$ ir $F_{max}$, pateiktas 3.4 lentelėje. Lentelėje matoma, kad geriausias rezultatas gautas, kai veikia kontūras SVG1, esant mažiausiam nešlio dažniui (2,37 GHz) fazės triukšmas −137,8 dBc/Hz ties 1 MHz nuokrypio dažniu nuo nešlio dažnio.

**3.4 lentelė.** Bendras trikontūrinio LC-SVG fazės triukšmas
**Table 3.4.** Joint phase noise of the proposed multicore LC-DCO

| Kontūro Nr. | Dažnio ruožas, GHz | Fazės triukšmas, dBc/Hz | | Nuokrypio dažnis, MHz |
|---|---|---|---|---|
| | | $F_{min}$ | $F_{max}$ | |
| 1 | 2,37–3,52 | −137,8; −134,4 | | 1 |
| 2 | 3,41–4,74 | −136,2; −133,1 | | 1 |
| 3 | 4,66–5,94 | −135,7; −132,5 | | 1 |

LC-SVG induktyvumo ritės vidutinė kokybė Q pateikta 3.8 paveiksle, kuriame matomas ritės kokybės kitimas visame LC-SVG nešlio dažnio valdymo ruože nuo 2,37 GHz iki 5,94 GHz. Vidutinė kokybė apskaičiuota suvidurkinant induktyvumo ričių kokybes gautas iš skirtingu LC-SVG kontūrų. Didžiausia ritės kokybė (29,68) gaunama esant didžiausiam nešlio dažniui (5,94 GHz).

LC-SVG generuojamo išėjimo signalo amplitudės vidurkis, esant mažiausiam ir didžiausiam dažniui, kinta nuo 1,67 V iki 1,87 V; startavimo laiko vidurkis – nuo 1,53 ns iki 7,51 ns; vartojamosios galios vidurkis kinta nuo 23,91 mW iki 26,22 mW. Apskaičiuota trikontūrinio LC-SVG $FOM_T$ kokybė yra −212,27 dBc/Hz.



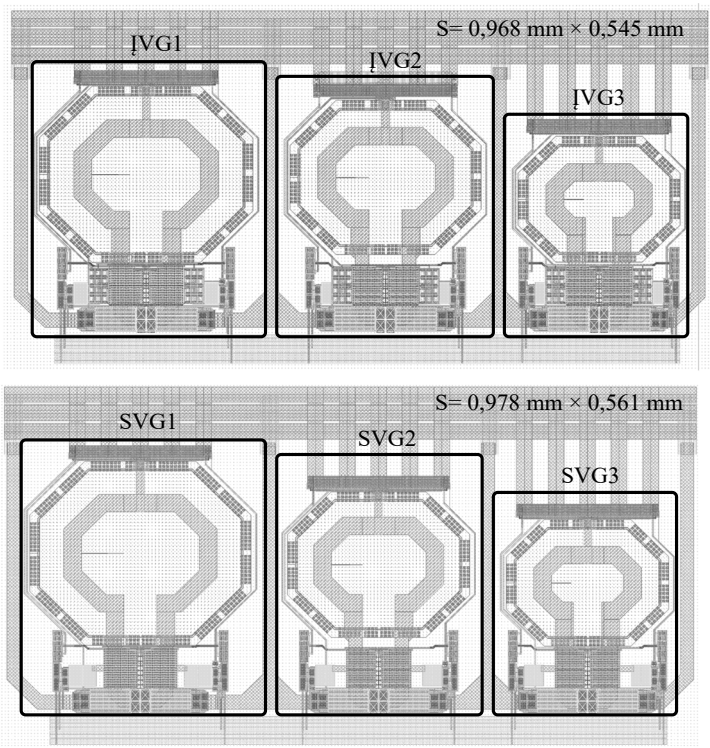

**3.8 pav.** Trikontūrinio LC-SVG vidutinė induktyvumo ričių kokybė Q
**Fig. 3.8.** Average inductors quality the proposed multicore LC-DCO

Apibendrintai integrinio grandyno kompiuterinio modeliavimo metu gauti rezultatai pateikti toliau. Trikontūrinis, plačiajuostis, mažatriukšmis LC-SVG sudarytas iš trijų atskirų SVG, kurie su induktyvinėmis ritėmis ir talpiniais blokais sudaro tris atskirus LC kontūrus. Naudojant šią struktūrą gaunamas platus dažnio valdymo ruožas ir taip išsprendžiama plačiajuostiškumo problema. LC-SVG suprojektuotas naudojant 65 nm technologinio žingsnio aukštadažnę 7 metalų KMOP integrinių grandynų gamybos technologiją. Suprojektuotame LC-SVG dažnio valdymo ruožas kinta ribose nuo 2,37 GHz iki 5,94 GHz; fazės triukšmas kinta ribose nuo −132,5 dBc/Hz iki −137,8 dBc/Hz, kai nuokrypio dažnis 1 MHz; vartojamoji galia kinta nuo 23,9 mW iki 26,2 mW; susižadinimo laikas kinta nuo 1,53 ns iki 7,51 ns; išėjimo signalo amplitudė kinta nuo 1,67 V iki 1,87 V; iduktyvumo ričių

kokybių vidurkis 19,15 (mažiausiuose dažniuose) ir 29,68 (didžiausiuose dažniuose). Apskaičiuotas $FOM_T$ rezultatas – (−212,27) dBc/Hz, kurį įtakojo mažas fazės triukšmas (fazės triukšmo vidurkis (−135,2) dBc/Hz) bei platus dažnio valdymo ruožas (2,37 – 5,94 GHz). Mažas fazės triukšmas gautas dėl suprojektuotų aukštos kokybės induktyvumo ričių.

### 3.1.3 Trikontūrinių plačiajuosčių LC įtampa ir skaitmeniniu būdu valdomų generatorių palyginimas

Trikontūrinio LC-SVG pagrindiniai blokai yra tokie patys kaip LC-ĮVG. Pagrindinis skirtumas yra tas, kad LC-SVG tikslus dažnio valdymas yra nenaudojamas. Dėl šios priežasties eliminuojamas įtampa valdomų varaktorių blokas. Dažnis valdomas naudojant tik perjungiamų talpų bloką. Pašalinus papildomą valdymo įtampą (kuri naudojama ĮVG), visas SVG valdymas tampa paprastesnis. Norint išplėsti dažnių valdymo ruožą, abiem generatoriams suprojektuoti trys atskiri rezonansiniai kontūrai. Suprojektuotų LC-ĮVG ir LC-SVG topologija pateikta 3.9 paveiksle.




**3.9 pav.** Trikontūrinių LC įtampa ir skaitmeniniu būdu valdomų generatorių topologija
**Fig. 3.9.** Layout of multicore LC voltage and digitally controlled oscillators

Iš čia matoma, kad bendras LC-ĮVG topologijos užimamas plotas yra 0,968 mm × 0,545 mm. LC-SVG topologijos užimamas plotas yra 0,978 mm × 0,561 mm. LC-ĮVG atskiri kontūrai pažymėti ĮVG1, ĮVG2, ĮVG3, o LC-SVG – SVG1, SVG2, SVG3. Trikontūrinių LC-ĮVG ir LC-SVG topologijų kompiuterinio modeliavimo metu gauti pagrindiniai parametrai pateikti 3.5 lentelėje.

**3.5 lentelė.** LC įtampa ir skaitmeniniu būdu valdomų generatorių topologijų kompiuterinio modeliavimo rezultatai
**Table 3.5.** Performance summary (layout simulation) of the LC voltage and digitally controlled oscillators

| Parametras | LC-ĮVG topologija | LC-SVG topologija |
|---|---|---|
| Technologija, nm | 65 KMOP | |
| Maitinimo įtampa, V | 1,8 | 1,8 |
| Vartojamoji galia, mW | 21,15 | 26,39 |
| Centrinis dažnis, GHz | 4,17 | 3,73 |
| Dažnio valdymo ruožas, GHz | 2,13–6,21 | 1,98–5,49 |
| Fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio, dBc/Hz | −131,8 | −136,1 |
| Susižadinimo laikas, ns | 1,82 | 3,51 |
| Išėjimo signalo amplitude, V | 1,63–1,85 | 1,31–2,13 |
| Lusto užimamas plotas, $mm^2$ | 0,968 × 0,545 | 0,978 × 0,561 |
| $FOM_T$, dBc/Hz | −210,76 | −212,79 |
| $FOM_{TT}$, dBc/Hz | −210,08 | −212,11 |
| $FOM_{T2}$, dBc/Hz | −177,59 | −179,42 |

Iš 3.6 lentelės matoma, kad trikontūrinio LC-ĮVG dažnio valdymo ruožas kinta ribose nuo 2,13 GHz iki 6,21 GHz (dažnių juostos plotis 4,08 GHz), o trikontūrinio LC-SVG dažnio valdymo ruožas kinta ribose nuo 1,98 GHz iki 5,49 GHz (dažnių juostos plotis 3,51 GHz). Analizuojant gautus rezultatus matoma, kad trikontūrinio LC-SVG dažnio juosta yra 0,57 GHz siauresnė ir labiau pasislinkusi į žemesniuosius dažnius.

Analizuojant fazės triukšmą iš 3.6 lentelės matoma, kad trikontūrinio LC-ĮVG geriausias fazės triukšmas esant 1 MHz nuokrypio dažniui kinta yra −131,8 dBc/Hz, o trikontūriniame LC-SVG – (−136,1 dBc/Hz). Iš gautų rezultatų matoma, kad trikontūriniame LC-SVG fazės triukšmas yra 4,3 dBc/Hz mažesnis.

Lyginant vartojamosios galios vidurkį iš ankščiau pateiktų rezultatų matoma, kad trikontūrinio LC-ĮVG vartojamosios galios vidurkis yra 21,15 mW, o LC-SVG vartojamosios galios vidurkis yra 26,39 mW. Trikontūrinis LC-ĮVG vartoja 5,24 mW mažiau galios.

Lyginant susižadinimo laikus matoma, kad geriausiu atveju trikontūrinis LC-SVG susižadina greičiau (1,82 ns) nei trikontūrinis LC-ĮVG (2,76 ns).

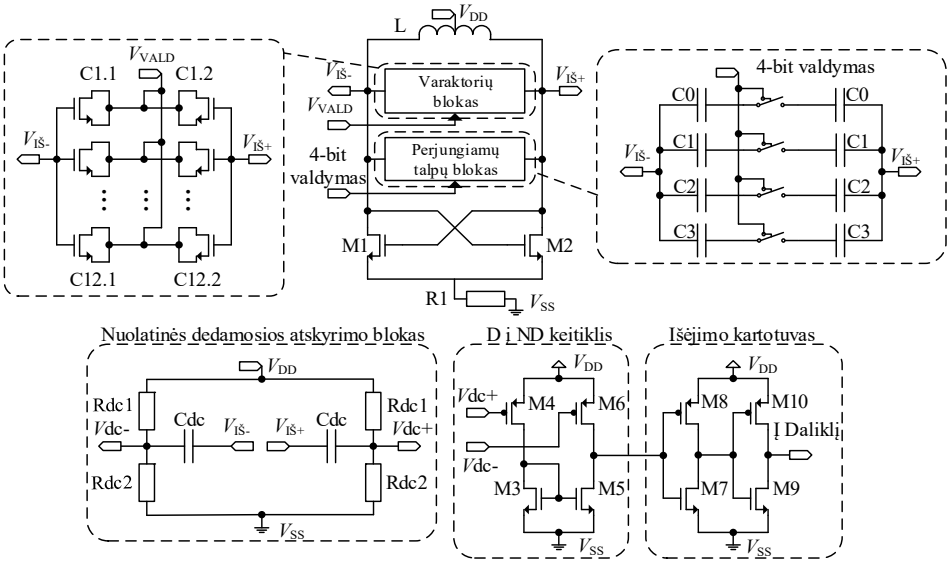
Lyginant išėjimo signalo amplitudes trikontūriniame LC-SVG gautas rezultatas yra artimesnis maitinimo įtampai (išėjimo signalo amplitudė kinta nuo 1,63 V iki 1,85 V), o trikontūriniame LC-ĮVG išėjimo signalo amplitudė yra labiau nutolusi nuo maitinimo įtampos ir kinta nuo 1,31 V iki 2,13 V.

Apibendrinant suprojektuotų trikontūrinių, plačiajuosčių, mažatriukšmių LC-ĮVG ir LC-SVG kokybę apskaičiuoti šie $FOM_{\mathrm{T}}$ $FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$ rezultatai. Trikontūriniame LC-ĮVG apskaičiuotos $FOM_{\mathrm{T}}$,$FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$ vertės atitinkamai yra −2010,76 dBc/Hz , −210,08 dBc/Hz ir −177,59 dBc/Hz, o trikontūriniame LC-SVG – (−2012,79 dBc/Hz) , −212,11 dBc/Hz ir −179,42 dBc/Hz. Iš čia matoma, kad trikontūriniame LC-SVG $FOM_{\mathrm{T}}$,$FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$ rezultatas yra atitinkamai 2,03 dBc/Hz, 2,03 dBc/Hz ir 1,83 dBc/Hz geresnis. Tai lėmė aukštos induktyvumo ričių kokybės bei varaktorių bloko eliminavimas, dėl to gaunamas mažas fazės triukšmas (−136,1 dBc/Hz) ties 1 MHz nuokrypio dažniu.

## 3.2. LC įtampa valdomo generatoriaus projektavimas ir tyrimas taikant 0,18 μm technologiją

Šiame poskyryje pateikiamas suprojektuotas, pagamintas ir ištestuotas LC-ĮVG ir ETSPC (angl. *Extended True Single Phase Clock*) dažnio daliklio integrinis grandynas. 3,0–3,6 GHz LC-ĮVG ir ETSPC dažnių daliklis, turintis dalybos vertes nuo 2 iki 256, suprojektuoti naudojant 0,18 μm aukštadažnę 7 metalų integrinių grandynų technologiją. Perkonfigūruojamas LC kontūras geba keisti ĮVG virpesių dažnį dviem būdais. Keičiant sujungimus tarp skaitmeniniu būdu valdomo perjungiamų talpų bloko, galimas grubus išėjimo dažnio valdymas, o keičiant valdymo įtampą varaktoriaus bloke, gaunamas tikslus išėjimo dažnio valdymas. Naudojama architektūra ir platus dažnių valdymo ruožas leidžia šį LC-ĮVG pritaikyti daugiastandarčiuose daugiajuosčiuose belaidžio ryšio siųstuvuose-imtuvuose.

3.10 paveiksle parodyta siūloma LC-ĮVG architektūra, kurią sudaro šie elementai: LC-ĮVG grandinė su perjungiamų talpų bloku ir varaktorių blokais, nuolatinės dedamosios atskyrimo blokas, diferencinio į nediferencinį signalą keitiklis. Toliau išsamiau aptariami visi šie blokai.




**3.10 pav.** LC įtampa valdomo generatoriaus principinė elektrinė schema
**Fig. 3.10.** Schematic of LC voltage conrtolled oscillator

LC-ĮVG principinė elektrinė schema sudaryta iš toliau išvardintų komponentų: M1 ir M2 NMOP neigiamos pilnutinės varžos tranzistorių, kurie lemia greitesnį veikimą bei geresnį fazės triukšmą; aukštos kokybės induktyvumo ritės L; perjungiamų talpų bloko; varaktorių bloko ir srovės valdymo bloko (Kytonaki & Papananos, 2011; Moghavvemi & Attaran, 2011). Šiame LC-ĮVG induktyvumo ritė realizuota aukščiausiame metale naudojant dvi vijas.

Kaip minėta ankščiau, dažnio valdymas atliekamas dviem etapais: grubiam valdymui naudojamas perjungiamų talpų blokas, o tiksliam valdymui – varaktorių blokas keičiant prijungtą įtampą $V_{VALD}$. Šioje architektūroje naudojamas 4 bitais valdomas perjungiamų talpų blokas. Šis blokas sudarytas iš 4 lygiagrečiai prijungtų talpų matricų, kurias atskirai galima įjungti arba išjungti, priklausomai nuo reikalingos talpos. Taigi, keičiant sujungimus tarp blokų bendrai gaunama šešiolika valdymo reikšmių, kurios apima platų dažnių valdymo ruožą.

Norint pasiekti tikslesnį dažnio valdymą naudojamas varaktorių blokas. Šis blokas susideda iš 12 × 2 lygiagrečiai sujungtų pirštinės struktūros varaktorių matricų. Ši struktūra naudojama didesnei kokybei Q pasiekti bei maksimaliam siūlomo LC-ĮVG valdymo ruožui užtikrinti. Išorinė įtampa $V_{VALD}$ naudojama tiksliam ir tiesiškam NMOP varaktorių talpos kitimui.

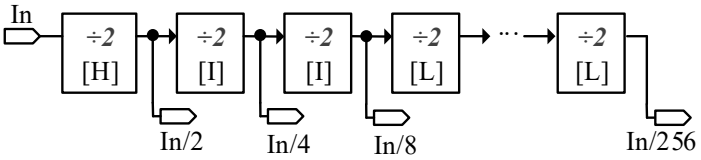
Nuolatinės dedamosios atskyrimo bloko aprašymas pateikiamas toliau. Iš LC-ĮVG išeinančio signalo amplitudės lygis gali būti lygus dvigubai maitinimo įtampai, todėl norint atskirti signalo nuolatinę dedamąją naudojamas šis blokas.

Atskyrimo kondensatoriai $C_{dc}$ atskiria nuolatinę įtampos dedamąją, siūlomo LC-ĮVG išėjime, o rezistoriai $R_{dc}$ nulemia reikalingą signalo nuolatinės dedamosios lygį, kuris yra artimas maitinimo įtampai.

Diferencinio signalo į nediferencinį keitiklio aprašymas pateikiamas toliau. LC-ĮVG grandinėje yra suprojektuotas diferencinio signalo į nediferencinį keitiklis, kuris yra naudojamas kaip sąsaja tarp LC-ĮVG ir dažnio daliklio. Kadangi dažnio daliklio įėjime yra reikalingas nediferencinis signalas, reikalingas šis keitiklis. Ši keitiklio grandinė konvertuoja diferencinį signalą į vieną išėjimą ir sukuria sinusinės formos signalą, kurio amplitudė yra artima maitinimo įtampai.

Kartotuvo blokas naudojamas tam, kad būtų galimybė prijungti didelės talpinės apkrovos blokus, kurie neturėtų įtakos LC-ĮVG veikimui. Taip pat šis blokas įgalina didelę įvesties-išvesties signalo izoliaciją ir pastovios išėjimo signalo amplitudės palaikymą.

Dažnio daliklis geba palaikyti aukštą dažnį, kuris yra lygus maksimaliam generuojamam LC-ĮVG dažniui. Tačiau papildomų blokų naudojimas padidina bendras integrinio grandyno galios sąnaudas, taigi reikia optimizuoti reikiamo dažnio kitimą bei galios suvartojimą. Dažnio daliklio struktūra paremta frontu valdomais trigeriais.




**3.11 pav.** Dažnio daliklio struktūra. ÷ 2 [H] – dalybos iš 2 daliklis, veikiantis didžiausiuose dažniuose, ÷ 2 [I] – dalybos iš 2 daliklis, veikiantis vidutiniuose dažniuose, ÷ 2 [L] – dalybos iš 2 daliklis, veikiantis žemuose dažniuose. In / N– įvesties signalas padalintas iš N, kur N = 2, 4, 8, 16, 32, 64, 128, 256

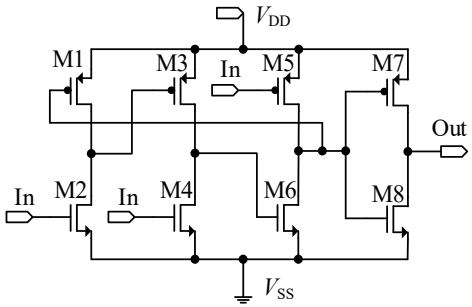
**Fig. 3.11.** Structure of divide-by-N frequency divider. ÷2 [H]– divide by 2 divider working at highest frequency, ÷2 [I]– divide by 2 divider working at intermediate frequency, ÷2 [L]– divide by 2 divider working at low frequency. In – input signal, In/N– input signal divided by N, where N = 2, 4, 8, 16, 32, 64, 128, 256

Yra keletas tinkamų KMOP frontu valdomų trigerių topologijų, kurios gali pasiekti aukštą veikimo dažnį. Dažniausiai naudojamos yra Razavi (Razavi, Lee, & Yan, 1995), Wang (HongMo Wang, 2002) ir CML (angl. *Current Mode Logic*) topologijos. Šių grandinių trūkumas yra didelis energijos suvartojimas. Pastaraisiais metais dėl KMOP integrinių grandynų technologijų mažėjimo, tarp TSPC (angl. *True Single Phase Clock*) ir išplėstinių ETSPC topologijų vis labiau populiarėja frontu valdomų trigerių, naudojamų gigahercų eilės dažniams gauti, pasi-

rinkimas. Šių frontu valdomų trigerių privalumai yra daug paprastesnės principinės elektrinės schemos bei mažos galios sąnaudos (Deng & Niknejad, 2010). Šie privalumai plačiai apima įvairias TSPC ir ETSPC struktūras.

Šis ETSPC struktūra pagrįstas dažnio daliklis įėjimo signalo dažnį geba dalinti iš koeficiento N, kuris gali būti lygus: 2, 4, 8, 16, 32, 64, 128, 256. Šio dažnio daliklio struktūra pateikta 3.11 paveiksle. Ji sudaryta iš aštuonių dalybos iš 2 blokų, sujungtų nuosekliai. Kiekviena dalybos iš 2 pakopa sumažina LC-ĮVG generuojamą dažnį dvigubai. Pateiktoje struktūroje naudojami trys skirtingi dalybos iš 2 blokai. Pirmoji pakopa (3.11 pav. [H]) naudojama didžiausio dažnio dalybai, antroji ir trečioji pakopos (3.11 pav. [I]) naudojamos vidutinio dažnio dalybai ir ketvirtoji-aštuntoji pakopos (3.11 pav. [L]) naudojamos žemiausio dažnio dalybai. Skirtingų daliklių naudojimas grandininėje grandinėje leidžia sumažinti energijos suvartojimą ir užimamą lusto plotą.

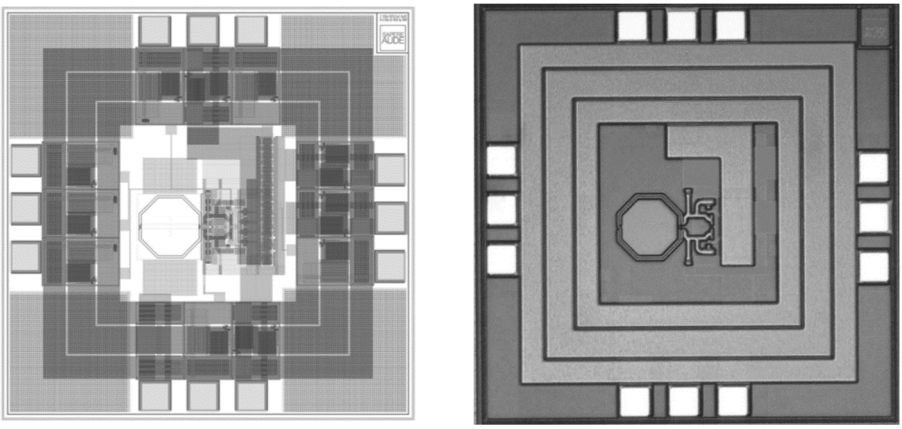
Dalybos iš 2 daliklio principinė elektrinė schema pateiktos 3.12 paveiksle. Visos dalybos iš 2 pakopos turi tą pačią struktūrą. Veikimas skirtingame įėjimo signalo dažnyje pasiekiamas naudojant skirtingus tranzistorių dydžius. Iš šio paveikslo matyti, kad principinę elektrinę schemą sudaro trys dalys, kurių kiekviena sudaryta iš dviejų tranzistorių ir išėjimo inverterio. Išėjimo inverteris naudojamas signalo atgaliniam invertavimui, nes iš trečiosios dalies gaunamas invertuotas signalas. Taip pat išėjimo inverteris naudojamas kaip išėjimo kartotuvas. Invertuotas išėjimas yra prijungtas prie M1 įėjimo tranzistoriaus, taip gaunamas įėjimo signalo dažnio padalijimas 2.




**3.12 pav.** ETSPC dalybos iš 2 dažnio daliklio principinė elektrinė schema.
In – įėjimo signalas. Out – padalintas iš 2 išėjimo signalas
**Fig. 3.12.** Schematic of ETSPC divide-by-2 frequency divider.
In – input signal. Out – divided by 2 output signal

LC-ĮVG ir ETSPC dažnio daliklis suprojektuotas ir pagamintas naudojant aukštadažnę 0,18 μm technologinio žingsnio 7 metalų KMOP integrinių grandynų

technologiją. Integrinio grandyno topologija ir mikrofotografija pateikta 3.13 paveiksle. Bendras lusto plotas, įskaitant elektrostatinės iškrovos apsaugos grandines ir išvadus, užima 1,5×1,5 mm$^2$ iš kurių aktyvi sritis užima tik 0,65×0,65 mm$^2$.



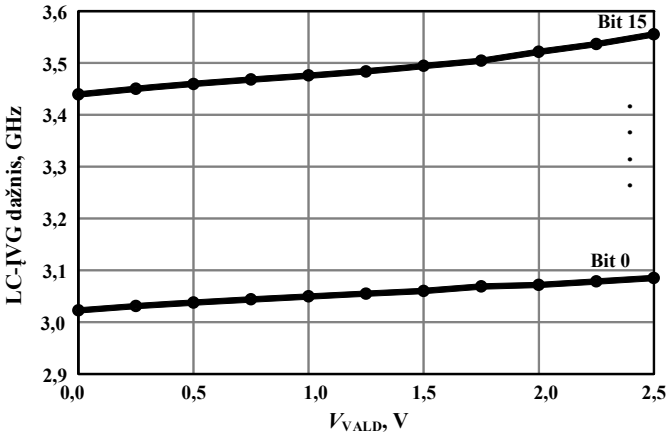
a) b)

**3.13 pav.** LC įtampa valdomo generatoriaus ir dažnio daliklio:
a) topologija ir b) mikrografija
**Fig. 3.13.** The layout a) and micro-photograph picture b) of the LC voltage conrtolled oscillator with frequency divider

Pagamintas integrinis grandynas patalpintas į 12 išvadų OCP-QFN (angl. *Open Cavity Plastic Quad Flat No-leads*) korpusą. Bandymų ir matavimų tikslais mikroschema sumontuota į spausdintinę plokštę, pagamintą iš aukšto dažnio laminato Rogers RO4000.

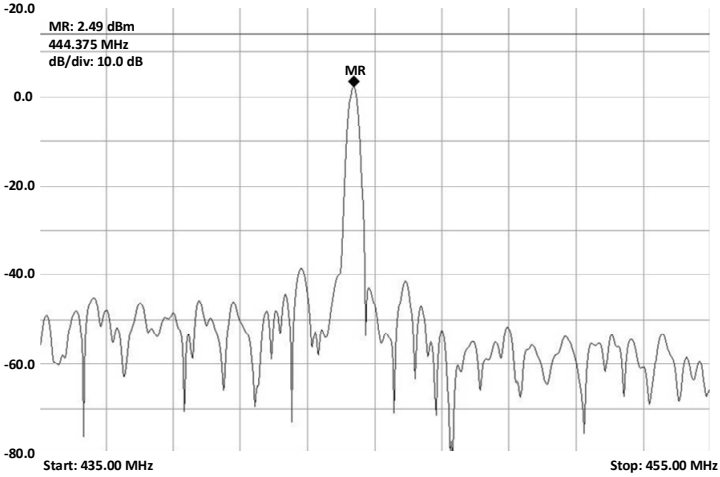
Pažymėtina, kad visi šiame dokumente pateikti matavimo rezultatai gaunami, kai ETSPC dažnio daliklio dalinimo koeficientas yra lygus 8.

Išmatuotos LC-ĮVG kartu su dažnio dalikliu dažnio ruožo valdymo charakteristikos pateiktos 3.14 paveiksle. Charakteristika gauta keičiant varaktorių valdymo įtampą $V_{\mathrm{VALD}}$ nuo 0 V iki 2,5 V bei skaitmeniniu būdu valdomo perjungiamų talpų bloko 4-bit valdymas vertes nuo 0 iki 15. Keičiant skaitmeniniu būdu valdomo perjungiamų talpų bloko 4-bit valdymas vertes dažnių valdymo ruožas kinta nuo 3,02 GHz iki 3,55, o papildomai keičiant varaktorių valdymo įtampą $V_{\mathrm{VALD}}$ viršutinius dažnio valdymo ruožo dažnius galima išplėsti nuo 3,44 GHz iki 3,55 GHz, o apatinius dažnio valdymo ruožo dažnius – nuo 3,02 GHz iki 3,09 GHz.

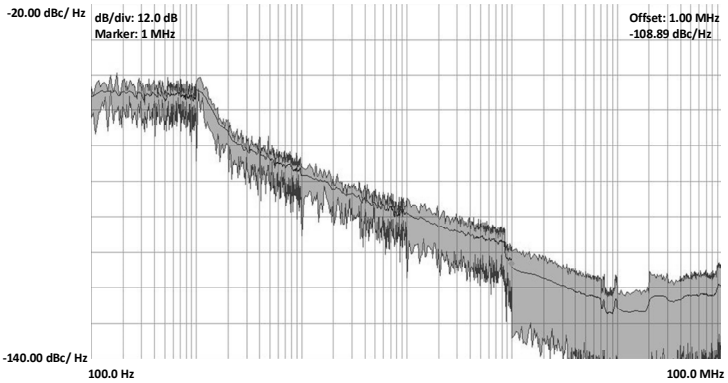



**3.14 pav.** LC įtampa valdomo generatoriaus ir dažnio daliklio išmatuotas dažnio valdymo ruožas
**Fig. 3.14.** The measured tuning range of the proposed LC voltage conrtolled oscillator with frequency divider

Suprojektuoto LC-ĮVG kartu su dažnio dalikliu išmatuotas išėjimo dažnių spektras, kai $V_{VALD}$ = 2.5 V ir perjungiamų talpų bloko vertė 4-bit valdymas = 0, pateiktas 3.15 paveiksle.




**3.15 pav.** Išmatuotas išėjimo dažnių spektras, kai $V_{VALD}$ = 2.5 V ir perjungiamų talpų bloko vertė 4-bit valdymas = 15
**Fig. 3.15.** The measured frequency spectrum, when $V_{VALD}$ = 2.5 V and the switched capacitor block 4-bit valdymas = 15




**3.16 pav.** Išmatuotas fazės triukšmas, kai $V_{VALD}$ = 2,5 V ir perjungiamų talpų bloko vertė 4-bit valdymas = 15

**Fig. 3.16.** The measured phase noise, when $V_{tune}$ = 2.5 V and the switched capacitor block 4-bit valdymas = 15

Esant tokiems parametrams, dažnio valdymo ruože, gaunamas didžiausias LC-ĮVG dažnis. Visi matavimai atlikti naudojant Tektronix RSA5126B realaus laiko spektro analizatorių. Iš paveikslo matomas, kad padalinus iš 8 gaunamas 444,38 MHz nešlio dažnis, kurio galia yra lygi 2,49 dBm.

**3.6 lentelė.** LC-ĮVG ir dažnio daliklio matavimo rezultatai
**Table 3.6.** Performance summary (measurements) of the LC-VCO with frequency divider

| Parametras | Vertė |
|---|---|
| Technologija | 0,18 µm RF KMOP |
| Maitinimo įtampa, V | 2,50 |
| ĮVG vartojamoji galia, mW | 83,24 |
| Vartojamoji galia, mW | 212,00 |
| Dažnio valdymo ruožas, GHz | 3,02–3,55 |
| Fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio, dBc/Hz | −108,89 |
| Lusto užimamas plotas, mm$^2$ | 0,65×0,65 |
| $FOM_T$, dBc/Hz | −165,16 |
| $FOM_{TT}$, dBc/Hz | −158,63 |
| $FOM_{T2}$, dBc/Hz | −144,35 |

Išmatuotas fazės triukšmas, kai $V_{VALD}$ = 2,5 V ir perjungiamų talpų bloko vertė 4-bit valdymas = 15, pateiktas 3.16 paveiksle. Fazės triukšmas yra lygus −108,89 dBc/Hz esant 1 MHz nuokrypio dažniui nuo 3,6 GHz nešlio dažnio. Matavimo metu gautų rezultatų santrauka pateikta 3.6 lentelėje.

Apibendrinant pateikiamos šios išvados. 3,0 – 3,6 GHz LC-ĮVG ir ETSPC dažnio daliklio integrinis grandynas yra suprojektuotas ir pagamintas 0,18 µm IBM 7RF CMOS integrinių grandynų technologijoje. Bendras lusto plotas, įskaitant elektrostatinės iškrovos apsaugos grandines ir išvadus, užima 1,5×1,5 mm$^2$. Aktyvi šio pagaminto integrinio grandyno dalis užima tik 0,65 × 0,65 mm$^2$. Naudojant 4-bitų perjungiamų talpų bloką ir įtampa tiesiškai valdomus varaktorius, LC-ĮVG dažnio valdymo ruožas kinta nuo 3,02 GHz iki 3,55 GHz. LC-ĮVG išėjimo signalo dažnis, naudojant ETSPC dažnio daliklį, yra padalinamas. Dažnių daliklyje dalybos vertės gali kisti nuo 2 iki 256. Suprojektuoto ir pagaminto LC-ĮVG ir ETSPC dažnio daliklio matavimai rodo, kad fazės triukšmas yra −108,89 dBc/Hz esant 1 MHz nuokrypio dažniui nuo 3,6 GHz nešlio dažnio. Bendras energijos suvartojimas yra apie 212 mW, kai signalo išėjimo galia yra lygi 2,49 dBm.

Apskaičiuotos siūlomo LC-ĮVG $FOM_T$, $FOM_{TT}$, ir $FOM_{T2}$ vertės atitinkamai yra −165,16 dBc/Hz, −158,63 dBc/Hz ir −144,35 dBc/Hz.

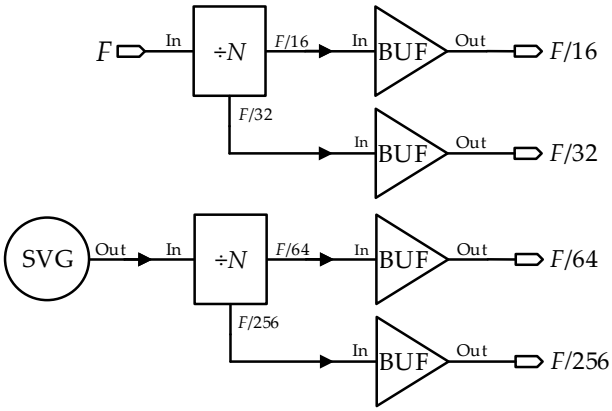
## 3.3. LC skaitmeniniu būdu valdomo generatoriaus projektavimas ir tyrimas taikant 0,13 µm technologiją

Šiame poskyryje pateikiamas suprojektuotas, pagamintas ir ištestuotas LC-SVG ir ETSPC (angl. *Extended True Single Phase Clock*) dažnio daliklio integrinis grandynas. 9,5–10,78 GHz LC-SVG ir ETSPC dažnių daliklis, turintis dalybos vertes nuo 2 iki 256, suprojektuoti naudojant 0,13 µm aukštadažnę integrinių grandynų technologiją.

Suprojektuoto LC-SVG ir dažnio daliklio blokinė diagrama pateikta 3.17 paveiksle. Blokinė diagrama sudaryta iš šių komponentų: LC-SVG, dažnio daliklio ir išėjimo kartotuvo. Suprojektuotas integrinis grandynas sudarytas iš dviejų dalių: LC-SVG išėjimo signalo dažnio generavimo ir dažnio daliklio grandinės bei nepriklausomos dažnio daliklio grandinės. Dėl riboto integrinio grandyno korpuso išvadų skaičiaus, tik du daliklio išėjimai (dalyba iš 64 ir 256) buvo prijungti tolimesniam testavimui (Macaitis & Navickas, 2017c).

Suprojektuoto LC-SVG principinė elektrinė schema pateikta 3.18 paveiksle. Siūlomą LC-SVG sudaro šie pagrindiniai blokai: didžiausios galimos kokybės Q induktyvumo ritė L (kuri priklauso nuo integrinių grandynų technologijos); perjungiamų talpų blokas; neigiamos pilnutinės varžos tranzistoriai M1, M2 ir srovės

valdymo blokas. Induktyvumo ritė su perjungiamų talpų bloku sudaro LC rezonansinį kontūrą. Naudojant tik LC rezonansinį kontūrą, realiomis sąlygomis generuojamasis signalas šioje grandinėje nusloptų. Norint to išvengti, NMOP M1 ir M2 tranzistoriai yra prijungti prie grandinės. Jie sukuria neigiamą pilnutinę varžą, todėl LC kontūro nuostoliai yra kompensuojami. Tokių būdu LC rezonansinė grandinė gali generuoti pastovaus dažnio, neslopstančius virpesius.




**3.17 pav.** Suprojektuoto LC skaitmeniniu būdu valdomo generatoriaus ir dažnio daliklio blokinė diagrama. SVG− skaitmeniniu būdu valdomas generatorius, ÷N− dažnio daliklis, BUF− išėjimo kartotuvas, F− dažnio daliklio įėjimo signalas, F/N− dažnio daliklio įėjimo signalas padalintas iš koeficiento N.

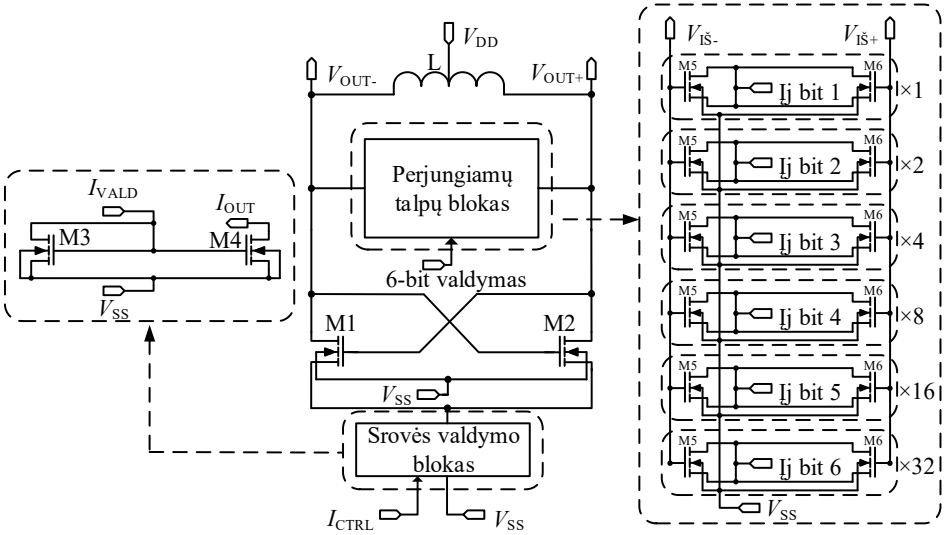
**Fig. 3.17.** Block diagram of the designed LC digitally conrtolled oscillator and frequency divider. SVG− digitally controlled oscillator, ÷N− frequency divider, BUF− output buffer, F− frequency divider input signal., F/N− frequency divider signal frequency divided by coefficient N.

Parenkant pilnutinės varžos tranzistorių M1 ir M2 dydį, atsižvelgta į tai, kad išėjimo signalo amplitudė būtų ne mažesnė nei maitinimo įtampos amplitudė. Naudojant tokį išėjimo signalo lygį, galimas tolimesnis signalo apdorojimas.

Išėjimo dažnio valdymas, atliekamas keičiant perjungiamų talpų bloko talpą. Dažnis šuoliškai keičiamas įjungiant arba išjungiant tam tikro dydžio talpų segmentus. Šioje konstrukcijoje naudojama 6-bitų perjungiamųjų talpų matrica, kurioje kiekvienas segmentas yra valdomas atskirai ir gali būti perjungtas norint pasiekti reikiamą talpą. Visiems „Įj bit“ (1–6) raktams įgyvendinti, siūlomame LC-SVG, yra panaudoti NMOP tranzistoriai.

LC-SVG dažnio valdymas priklauso ne tik nuo perjungiamų talpų bloko, dažnio valdymą apsprendžia ir parazitiniai komponentai. Pagrindiniai parazitiniai komponentai ir blokai, turintys įtakos LC-SVG dažniui yra šie: induktyvumo ritės talpa, aktyvūs elementai ir bet kokia apkrova, kuri yra prijungta prie LC-SVG

išėjimo. Tiksliai apskaičiuoti reikiamas LC-SVG talpas yra sudėtinga, todėl tiksliam perjungiamų talpų bloko tranzistorių dydžių apskaičiavimui yra naudojamas kompiuterinis modeliavimas.



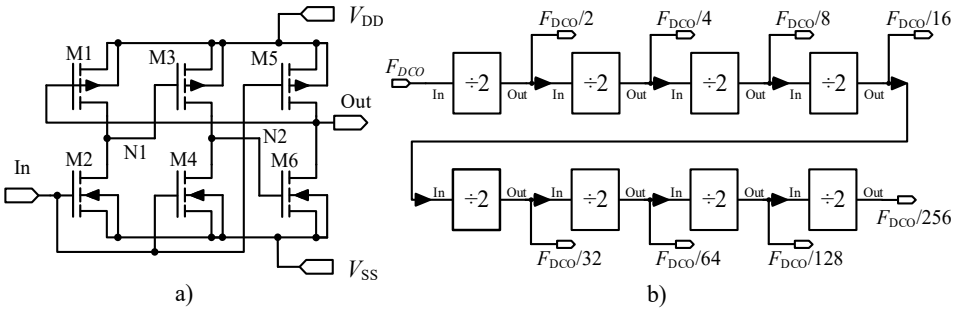

**3.18 pav.** Suprojektuoto LC skaitmeniniu būdu valdomo generatoriaus principinė elektrinė schema

**Fig. 3.18.** Schematic of the designed LC digitally conrtolled oscillator

Perjungiamų talpų bloko talpoms įgyvendinti yra naudojami NMOP tranzistoriai. Kaip matoma iš 3.17 paveikslo tranzistorių santakos ir ištakos išvadai yra sujungti ir tai atitinka vieną kondensatoriaus išvadą. Tranzistorių užtūra atitinka antrą kondensatoriaus išvadą. Esant ribotam integrinio grandyno išvadų skaičiui realizuotos 6 perjungiamų talpų bloko vertės (kiti integrinio grandyno išvadai yra prijungti prie signalų įėjimų ir išėjimų, maitinimo ir žemės). Naudojant 6-bitų valdymą gaunamos 64 skirtingos dažnio valdymo reikšmės ($2^6 = 64$). Norint dažnį valdyti dar tiksliau, galima naudoti papildomą perjungiamų talpų valdymo bloką, kuriame naudojami mažesnės talpos tranzistoriai.

LC-SVG rezonansinio kontūro srovei reguliuoti naudojamas srovės valdymo blokas. Esant skirtingoms aplinkos sąlygoms LC-SVG išėjimo signalo amplitudė gali skirtis, srovės valdymo blokas naudojamas palaikyti LC-SVG išėjimo signalo amplitudę optimaliuose rėžiuose. Taip pat šis blokas naudojamas energijos suvartojimo optimizavimui (Tzschoppe, Jorges, Richter, Lindner, & Ellinger, 2015). Srovės valdymo bloko realizavimui panaudotas srovės veidrodis. Srovės valdymo tranzistorių M3 ir M4 dydis parinktas taip, kad išėjimo srovė būtų dvigubai didesnė už valdymo srovę.

Nagrinėjant FDK vartojamąją galią pastebima, kad didelis galios suvartojimas yra dažnių daliklyje. TSPC dalikliai vartoja mažiau galios nei CML (angl. *Current Mode Logic*), tačiau pagrindinis TSPC dažnio daliklių trūkumas buvo labiau ribotas veikimo dažnis. Tobulėjant KMOP integrinių grandynų technologijoms TSPC dažnio daliklių dažnis ženkliai padidėjo. Išplėstinis ETSPC dažnio daliklų tipas yra dar labiau pranašesnis nei TSPC, nes ETSPC dažnio dalikliuose, naudojama struktūra užtikrina dar didesnį veikimo dažnį bei mažesnę vartojamąją galią (Heydarzadeh, Torkzadeh, & Pourmina, 2013).




**3.19 pav.** ETSPC dažnio daliklio: a) dalybos iš dviejų pakopos principinė elektrinė schema, b) blokinė diagrama

**Fig. 3.19.** E-TSPC frequency divider: a) divide by two stage schematic, b) block diagram

Dažnio dalybos iš dviejų pakopos principinė elektrinė schema pateikta 3.19 a) paveiksle. Dažnių dalybos iš dviejų pakopą sudaro trys tranzistorių šakos. Kiekvienos šakos išėjimo signalo lygis yra priklausomas nuo PMOP ir NMOP tranzistorių dydžių santykio. Tranzistorių dydžiai parinkti taip, kad daliklis naudotų kuo mažiau galios, nedarant neigiamos įtakos savo veikimui. Suprojektuoto ETSPC dažnių daliklio principinė elektrinė schema pateikta 3.19 b) paveiksle. Dažnių daliklis sudarytas iš aštuonių nuosekliai sujungtų blokų (kiekvienas blokas padidina dalijimo koeficientą dviem). Siūlomas dažnių daliklis leidžia padalinti įėjimo signalo dažnį nuo 2 iki 256 kartų (Jurgo, Kiela, & Navickas, 2013; Nemitha & Pradeep Kumar, 2014).

LC-SVG ir ETSPC dažnio daliklis suprojektuoti naudojant KMOP 0,13 μm integrinių grandynų technologiją. Projektavimui ir kompiuteriniam modeliavimui naudota Cadence integrinių grandynų programinės įrangos paketas. Projektavimo ir kompiuterinio modeliavimo procesas pateiktas toliau. Pirmiausiai, sukurta pagrindinė principinė elektrinė schema ir atliktas jos kompiuterinis modeliavimas. Atlikus kompiuterinį modeliavimą ir išanalizavus gautus rezultatus, schema buvo pakoreguota. Gavus reikiamus rezultatus, pradėtas topologijos projektavimas. Iš

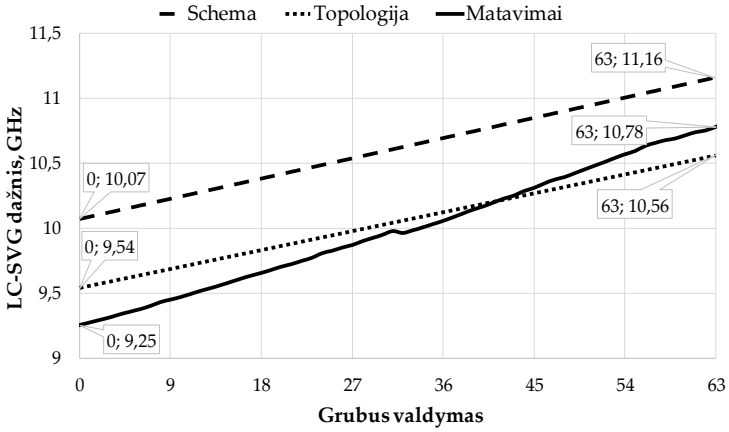
topologijos ekstraktavus papildomus parazitus buvo atliekamas papildomas kompiuterinis modeliavimas. Negaunant reikiamų rezultatų, elektrinė principinė schema ir jos komponentai dar kartą buvo patobulinti, patobulinta topologija ir atlikti kompiuteriniai modeliavimai. Kompiuterinio modeliavimo metu gavus reikiamus rezultatus, buvo sujungti pagrindiniai blokai, kurie buvo prijungti prie integrinio grandyno išvadų. Po šių veiksmų visa struktūra buvo dar kartą patikrinta atliekant kompiuterinius modeliavimus. Pagaminus lustą, pagrindiniai parametrai buvo išmatuoti ir palyginti su kompiuterinio modeliavimo metu gautais parametrais. Kompiuterinis modeliavimas buvo atliktas esant nominalioms sąlygoms, naudojant 1,8 V maitinimo įtampą ir 40 °C temperatūrą. Pagrindiniai kompiuterinio modeliavimo ir matavimo parametrai pateikti 3.7 lentelėje.

**3.7 lentelė.** LC skaitmeniniu būdu valdomo generatoriaus ir dažnio daliklio kompiuterinio modeliavimo ir matavimo rezultatai
**Table 3.7.** Performance summary (simulation and measurements) of the LC digitally conrtolled oscillator with frequency divider

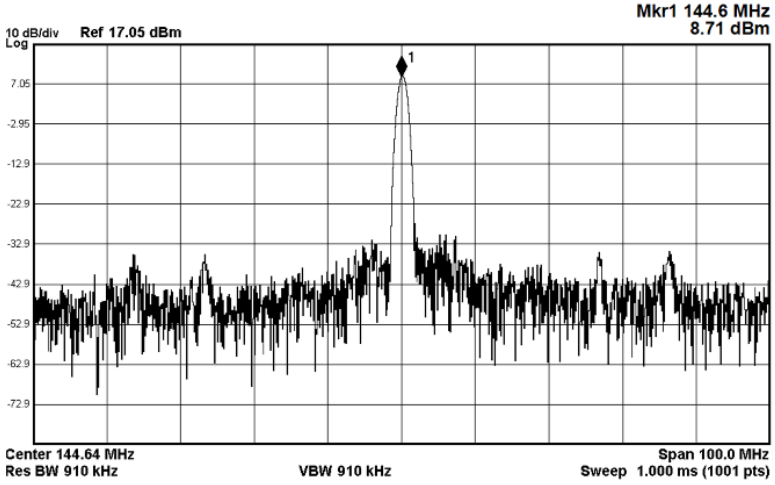
| Parametras | Schema | Topologija | Matavimai |
|---|---|---|---|
| Technologija | 0,13 μm RF KMOP | | |
| Maitinimo įtampa, V | 1,8 | 1,8 | 2,0 |
| Vartojamoji galia (SVG), mW | 8,73 | 9,15 | 10,02 |
| Vartojamoji galia (daliklis), mW | 90,50 | 93,21 | 97,52 |
| Dažnio valdymo ruožas, GHz | 10,70–11,60 | 9,54–10,56 | 9,5–10,78 |
| Fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio, dBc/Hz | −116,21 | −114,79 | −113,42 |
| Lusto užimamas plotas, $mm^2$ | | 1,5×1,5 | 1,5×1,5 |
| $FOM_T$, dBc/Hz | | | −187,20 |
| $FOM_{TT}$, dBc/Hz | | | –183,34 |
| $FOM_{T2}$, dBc/Hz | | | −167,33 |

Išmatuotas LC-SVG dažnio valdymo ruožas pateiktas 3.20 paveiksle. Atliekant schemos kompiuterinį modeliavimą gaunamas platus dažnio valdymo ruožas, kuris yra nuo 10,07 GHz to 11,16 GHz. Atliekant topologijos kompiuterinį modeliavimą dažnio valdymo ruožas – nuo 9,54 GHz iki 10,56 GHz. Išmatuotas dažnio valdymo ruožas – nuo 9,25 GHz iki 10,78 GHz. Matavimų metu gauto dažnio valdymo ruožo, dažnių juostos plotis yra 1,53 GHz ir jis yra 0,51 GHz platesnis nei

dažnių juostos plotis gautas topologijos kompiuteriniame modeliavime. Šį padidėjimą lėmė, matavimų metu naudota, 0,2 V didesnė maitinimo įtampa.




**3.20 pav.** LC skaitmeniniu būdu valdomo generatoriaus dažnio valdymo ruožas
**Fig. 3.20.** Tuning range of the proposed LC digitally controlled oscillator

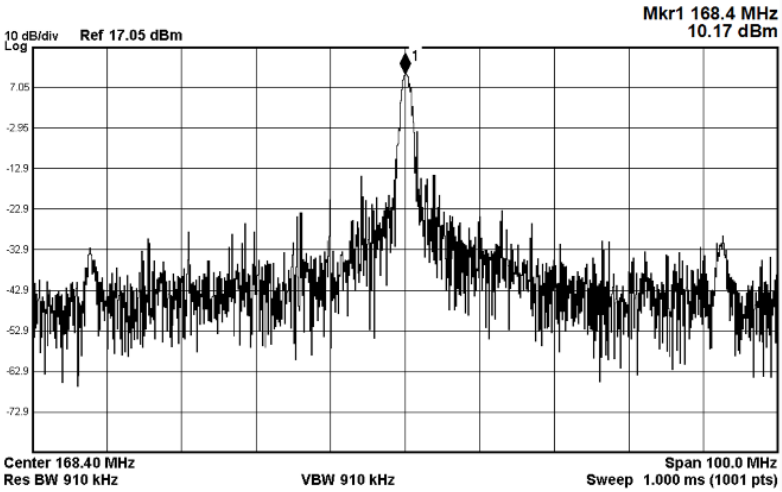



**3.21 pav.** Išmatuotas išėjimo dažnių spektras, kai išėjimo signalo minimalus dažnis padalintas iš 64
**Fig. 3.21.** Frequency spectrum measurements results divide-by-64 output, when operating at lowest frequency

Suprojektuoto LC-SVG ir ETSPC dažnio daliklio išėjimo signalo spektrinė diagrama kai generuojamas minimalus LC-SVG išėjimo signalo dažnis pateiktas 3.21 paveiksle. Iš šio paveikslo matoma, kad mažiausias ETSPC dažnio daliklio

dalybos iš 64 išėjimo signalo dažnis yra 144,6 MHz. Iš čia galima apskaičiuoti, kad tik LC-SVG generuojamo signalo dažnis yra: 144,6 MHz × 64 = 9,25 GHz.

Suprojektuoto LC-SVG ir ETSPC dažnio daliklio išėjimo signalo spektrinė diagrama kai generuojamas maksimalus LC-SVG išėjimo signalo dažnis pateiktas 3.22 paveiksle. Iš šio paveikslo matoma, kad mažiausias ETSPC dažnio daliklio dalybos iš 64 išėjimo signalo dažnis yra 168,4 MHz. Iš čia galima apskaičiuoti, kad tik LC-SVG generuojamo signalo dažnis yra: 168,4 MHz × 64 = 10,78 GHz.



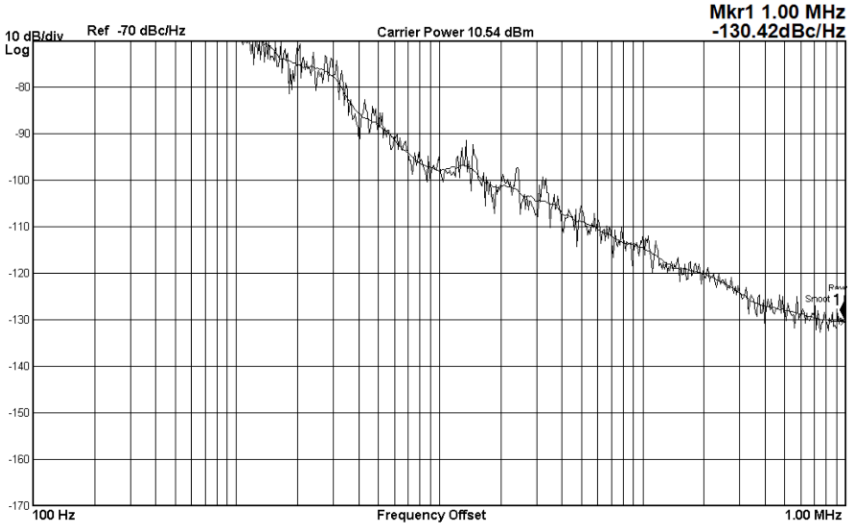

**3.22 pav.** Išmatuotas išėjimo dažnių spektras, kai išėjimo signalo maksimalus dažnis padalintas iš 64

**Fig. 3.22.** Frequency spectrum measurements results divide-by-64 output, when operating at highest frequency

Suprojektuotų LC-SVG ir ETSPC dažnio daliklio fazės triukšmas ties 1 MHz nuokrypio dažniu nuo minimalaus nešlio dažnio, kai LC-SVG išėjimo signalo dažnis padalintas iš 64 pateiktas 3.23 paveiksle. Iš čia matoma, išmatuotas fazės triukšmas yra −130,42 dBc/Hz ties 1 MHz nuokrypio dažniu nuo minimalaus nešlio dažnio. Fazės triukšmas ties 1 MHz nuokrypio dažniu nuo maksimalaus nešlio dažnio, matuojamas dažnio daliklio dalybos iš 64 išėjime yra −128,13 dBc/Hz.

Pažymėtina, kad fazės triukšmo matavimai yra gauti matuojant dažnio daliklio dalybos iš 64 išėjimą. Teoriškai kiekviena daliklio dalybos iš 2 kaskoda pagerina fazės triukšmą 3 dBc/Hz (Apostolidou, 2018). Iš čia galima apskaičiuoti LC-SVG išėjime esantį fazės triukšmą. LC-SVG fazės triukšmas ties 1 MHz nuokrypio dažniu nuo minimalaus nešlio dažnio, esantis LC-SVG išėjime: −130,42 +

(3 × 6) = −113,42 dBc/Hz. LC-SVG fazės triukšmas ties 1 MHz nuokrypio dažniu nuo maksimalaus nešlio dažnio, esantis LC-SVG išėjime: −128,41 + (3 × 6) = −110.51 dBc/Hz.




**3.23 pav.** Išmatuotas LC skaitmeniniu būdu valdomo generatoriaus fazes triukšmas, kai išėjimo signalo minimalus dažnis padalintas iš 64

**Fig. 3.23.** Measurements results of phase noise of LC digitally conrtolled oscillator at divide-by-64 output, when operating at lowest frequency

Apskaičiuotas suprojektuoto LC-SVG kokybės funkcijų FOM ir FOMT rezultatas yra −183,52 dBc/Hz ir −187.20 dBc/Hz. Suprojektuoto LC-SVG parametrų palyginimas su kitais LC-SVG pateiktas 3.8 lentelėje.

Kaip matoma iš 3.9 lentelės, joje pateiktas, suprojektuoto LC-SVG, parametrų palyginimas su kituose šaltiniuose paskelbtais SVG. Palyginimui naudojami SVG buvo parinkti panašiame dažnio valdymo ruože. Visi lyginamieji SVG yra suprojektuoti naudojant 65 nm integrinių grandynų technologijas, siūlomas LC-SVG suprojektuotas naudojant 0,13 µm technologiją, kuri yra pigesnė. Mažiausia maitinimo įtampa buvo naudojama (Da Dalt, Kropf, Burian, Hartig, & Eul, 2006) šaltinyje ir ji yra lygi 1,1 V, tai lėmė mažiausią SVG vartojamosios galios suvartojimą – 3,3 mW. Plačiausias dažnio valdymo ruožas gautas siūlomame SVG ir jis yra lygus 15,12 %. Mažiausias fazės triukšmo rezultatas yra siūlomame LC-SVG, −113,42 dBc/Hz esant 1 MHz nuokrypio dažniui nuo mažiausio nešlio dažnio. Tokį žemą fazės triukšmą galima pasiekti dėl aukštos kokybės induktyvumo ritės. Siūlomo LC-SVG FOM ir FOMT vertės yra −183,52 dBc/Hz ir −187,20 dBc/Hz. Šis rezultatas pasiekiamas dėl labai žemo fazės triukšmo (−113,52 dBc/Hz) ir plataus dažnio valdymo ruožo (15,28 %).

**3.8 lentelė.** Suprojektuoto skaitmeniniu būdu valdomo generatoriaus parametrų palyginimas su kitais skaitmeniniu būdu valdomais generatoriais
**Table 3.8.** Comparison of designed digitally controlled oscillator parameters with other digitally controlled oscillators

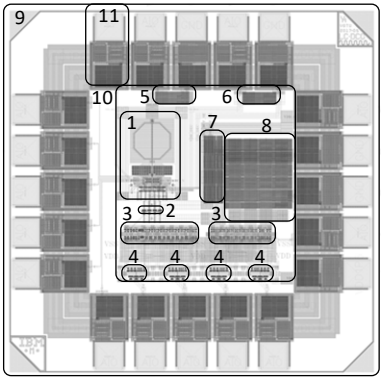
| Šaltinis | (Da Dalt et al., 2006) | (Lou, Bo, Kai, & Yuanjin, 2016) | (Seller et al., 2007) | Šis darbas** |
|---|---|---|---|---|
| Maitinimo įtampa, V | 1,1 | 1,2 | 2,0 | 1,8 |
| Technologija | 65 nm | 65 nm | 65 nm | 0,13 µm |
| $f_{MIN}$, GHz | 9,87 | 13,69 | 10,60 | 9,25 |
| $f_{MAX}$, GHz | 10,92 | 15,93 | 11,70 | 10,78 |
| $f_0$, GHz | 10,40 | 14,81 | 11,15 | 10,01 |
| $\Delta f$, % | 10,10 | 15,12 | 9,87 | 15,28 |
| $\mathcal{L}$*, dBc/Hz | −102,00 | −99,00 | −116,00 | −113,42 |
| Vartojamoji galia, mW | 3,30 | 19,80 | 36,00 | 10,02 |
| *FOM*, dBc/Hz | −177,15 | −169,44 | −181,38 | −183,52 |
| $FOM_T$, dBc/Hz | −177,24 | −173,04 | −181,26 | −187,20 |

** Stulpelyje pateikti suprojektuoto LC-SVG matavomo rezultatai.
* Fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio.
$f_{MIN}$ – minimalus generatoriaus dažnis; $f_{MAX}$ – maksimalus generatoriaus dažnis; $\Delta f$ – dažnio valdymo ruožas; $\mathcal{L}$ – fazės triukšmas.

Suprojektuoto LC-SVG su ETSPC dažnio dalikliu topologija pateikta 3.24 paveiksle. Bendras topologijos plotas su išvadais yra 1,5 mm × 1,5 mm. Didžiąją dalį topologijos sudaro siūlomas LC-SVG, jo užimamas plotas yra 193 µm × 311 µm, didžiausia LC-SVG dalis yra induktyvumo ritė L – 184 µm × 184 µm. ETSPC dažnio daliklio užimamas plotas yra 304 µm × 44 µm. Vienas išvadas užima – 160 µm × 324 µm. Kiti blokų matmenys taip pat pateikti 3.24 paveiksle.

Suprojektuotas LC-SVG ir ETSPC dažnio daliklis QFN (angl. *Quad Flat No Leads*) 20 išvadų korpuse, pateiktas 3.25 a) paveiksle.

Pagamintas integrinis grandynas buvo patalpintas į QFN 20 išvadų korpusą. Pagrindiniai šio korpuso privalumai lyginant su SOIC (angl. *Small Outline Integrated Circuit),* SSOP (angl. *Shrink Small Outline Package*) ir TSSOP (angl. *Thin Shrink Small Outline Package*) pateikti toliau. QFN korpusas yra fiziškai mažesnis, todėl mikroschemos gali būti naudojamos mažose spausdintinėse plokštėse, o tai sumažina įtaiso kainą ir matmenis.




IG blokų matmenys:
1. SVG 193 x 311 µm (L 184 × 184 µm).
2. SVG išėjimo kartotuvas 84 × 20 µm.
3. Dažnio daliklis 304 × 44 µm.
4. Daliklio išėjimo kartotuvas 80 × 51 µm.
5. SVG maitinimo įtampos filtravimo C 141 × 53 µm.
6. SVG maitinimo įtampos filtravimo C 141 × 53µm.
7. SVG maitinimo įtampos filtravimo C 81 × 282 µm.
8. Daliklio maitinimo įtampos filtravimo C 282 × 292 µm.
9. IG su išvadais 1,5 × 1,5 mm.
10. IG branduolys 730 × 780 µm.
11. Išvadas 160 × 324 µm.

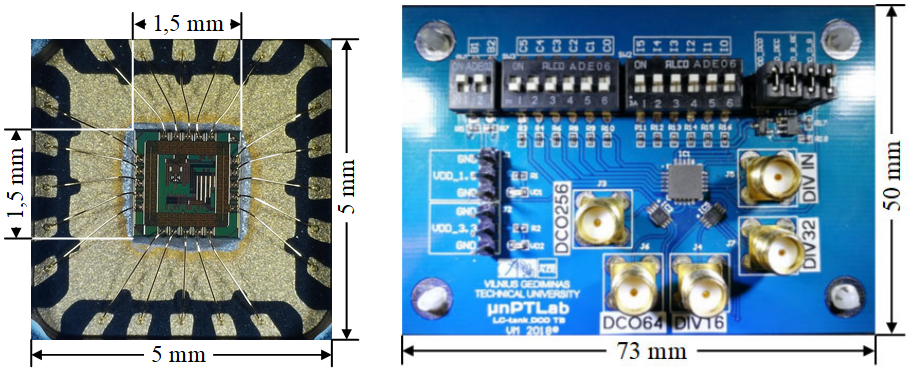
**3.24 pav.** Suprojektuoto LC skaitmeniniu būdu valdomo generatoriaus ir dažnio daliklio topologija
**Fig. 3.24.** Layout of the designed LC digitally conrtolled oscillator and frequency divider

QFN korpuso signalinių takelių plotas ir ilgis yra mažesnis, todėl sumažėja parazitinės talpos ir varžos. Šiame korpuse pagerintas šiluminio laidumo efektyvumas, todėl mikroschema geriau išsklaido šilumą. QFN korpusai turi mažą išvadų induktyvumą ir talpą, mažesni elektriniai parazitai lemia didesnį veikimo dažnį, todėl šis korpusas tinka RF sprendimams(Mortan & Wright, 2004; Xi, Xiao, & Wang, 2014).

LC-SVG ir ETSPC dažnio daliklio mikroschema, spausdintinėje testavimo plokštėje, pateika 3.25 b) paveiksle. Spausdintinės plokštės matmenys yra 73 × 50 mm. Dvisluoksnė spausdintinė plokštė yra 1,6 mm storio, dielektriniam sluoksniui naudojama FR-4, stiklo pluoštu sustiprinta epoksidinė laminuota medžiaga. Maitinimo įtampos jungtys yra išdėstytos dešinėje pusėje, valdymo jungikliai yra išdėstyti viršuje, apačioje ir kairėje išdėstytos signalinės jungtys. Suprojektuota LC-SVG ir dažnių daliklio mikroschema IC1, orientuota plokštės centre, išėjimo signalo kartotuvai IC2 ir IC5 orientuoti IC1 apačioje. Aukštadažniams signalams perduoti J3, J4, J5, J6, J7, panaudotos 50 Ω banginės varžos SMA (angl. *SubMiniature version A*) jungtys. Naudojant SMA jungtis, perduodamo signalo dažnis gali būti nuo 0 Hz iki 18 GHz („Frequency Range Chart for RF Connectors Amphenol RF“, 2018).

Pagrindinis šiame skyriuje pateikto darbo tikslas buvo suprojektuoti mažos galios, mažo fazės triukšmo, platus dažnio valdymo ruožo, mažo užimamo ploto, pigų LC-SVG bei dažnio daliklio IG, skirtą 5G tinkle veikiančioms intelektualioms transporto sistemoms. Pagrindinis sunkumas yra gauti reikiamus parametrus ir našumą naudojant 0,13 µm IG technologiją, tačiau pagrindinis šios IG technologijos privalumas yra pagamintų IG pigumas. Siūlomas LC-SVG yra skirtas JAV ir Japonijos 5G dažnių juostoms. Siūlomo LC-SVG išėjimo signalo dažnį,

padalintą iš keturių ir šešiolikos, galima pritaikyti JAV 5G tinklui (2,5 GHz LTE B24 ir 600 MHz JAV 5G juostos). Išėjimo signalo dažnis padalintas iš dviejų gali būti pritaikomas Japonijos 5G dažnių juostai (4,4 GHz - 4,9 GHz) (Vasjanov & Barzdenas, 2018).




a) b)

**3.25 pav.** Suprojektuotas LC skaitmeniniu būdu valdomas generatorius ir dažnio daliklis: a) QFN20 korpuse, b) spausdintinėje testavimo plokštėje

**Fig. 3.25.** LC digitally conrtolled oscillator and frequency divider in: a) QFN20 package, b) testing printed circuit board

Suprojektuotas IG susideda iš dviejų dalių: LC-SVG dažnio generavimo ir dažnio dalinimo grandinės bei dažnio daliklio testavimo grandinės. LC-SVG dažnio generavimo ir dalinimo grandinė, dviejuose išėjimuose sukuria LC-SVG signalo dažnį, padalintą iš 64 ir 256. Dažnio daliklio testavimo grandinė dalina įėjimo signalo dažnį iš 16 ir 32. Naudojant siūlomą aukšto dažnio ETSPC dažnio daliklį, LC-SVG išėjimo dažnis gali būti padalintas nuo 2 iki 256 kartų.

Kompiuterinis modeliavimas ir matavimai atlikti nominaliomis sąlygomis, naudojant 1,8 V maitinimo įtampą ir 40 °C temperatūrą. Modeliuojant LC-SVG schemą, gautas platus dažnio valdymo ruožas: nuo 10,07 GHz iki 11,16 GHz. Topologijos kompiuteriniame modeliavime, dažnis kinta nuo 9,54 GHz iki 10,56 GHz. Atlikus pagaminto lusto matavimus, išėjimo signalo dažnis kinta nuo 9,25 GHz iki 10,78 GHz.

Išmatuotas fazės triukšmas, esant 1 MHz nuokrypio dažniui nuo LC-SVG mažiausio nešlio dažnio yra –113,42dBc / Hz. Fazės triukšmas esant 1 MHz nuokrypio dažniui nuo LC-SVG didžiausio nešlio dažnio yra −110,51 dBc/Hz. Topologijos kompiuterinio modeliavimo metu buvo gautas toks fazinis triukšmas: −114,79 dBc/Hz ties 1 MHz nuokrypio dažniu nuo mažiausio LC-SVG nešlio dažnio ir −113,62 dBc/Hz ties 1 MHz nuokrypio dažniu nuo didžiausio LC-SVG nešlio dažnio.

Išmatuotas LC-SVG IG branduolio vidutinis galios suvartojimas yra 10,02 mW. Atliekant LC-SVG schemos ir topologijos kompiuterinį modeliavimą, vartojamoji galia yra mažesnė ir yra lygi 8,73 mW ir 9,15 mW. Siūlomo ETSPC dažnio daliklio IG išmatuotas galios suvartojimo vidurkis yra 97,52 mW. Atliekant dažnio daliklio schemos ir topologijos kompiuterinį modeliavimą, vartojamoji galia yra mažesnė ir yra lygi 90,05 mW ir 93,21 mW. Norint optimizuoti energijos suvartojimą, srovės valdymo bloko pagalba, galima apriboti srovę.

Apskaičiuotos siūlomo LC-SVG $FOM_{\mathrm{T}}$, $FOM_{\mathrm{TT}}$, ir $FOM_{\mathrm{T2}}$ vertės atitinkamai yra −187,20 dBc/Hz, –183,34 dBc/Hz ir −167,33 dBc/Hz. Šis rezultatas gaunamas dėl mažo fazės triukšmo (−113,52 dBc/Hz) ir plataus dažnio valdymo ruožo (15,28 %) bei mažos vartojamosios galios (10,2 mW).

Bendras topologijos plotas su išvadais yra 1,5 mm × 1,5 mm. Didžiąją dalį topologijos užima LC-SVG, jo plotas yra 193 µm × 311 µm, didžiausią LC-SVG dalį užima induktyvumo ritė L – 184 µm × 184 µm.

## 3.4. Trečiojo skyriaus išvados

1. Taikant 65 nm technologiją suprojektuotas mažatriukšmis plačiajuostis aukštadažnis trikontūrinis LC įtampa valdomas generatorius bei atlikti principinės elektrinės schemos ir topologijos kompiuteriniai modeliavimai. Topologijos kompiuterinio modeliavimo rezultatai yra: dažnio valdymo ruožas kinta nuo 2,13 GHz iki 6,21 GHz (dažnių juostos plotis 4,08 GHz); centrinis dažnis – 4,17 GHz; geriausias fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio yra −131,8 dBc/Hz; vidutinė vartojamoji galia – 21,15 mW. Topologijos užimamas plotas yra 0,968 × 0,545 mm$^2$. Apskaičiuoti $FOM_{\mathrm{T}}$ $FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$ funkcijų rezultatai atitinkamai yra −210,76 dBc/Hz, −210,08 dBc/Hz ir −177,59 dBc/Hz.

2. Taikant 65 nm technologiją suprojektuotas mažatriukšmis plačiajuostis aukštadažnis trikontūrinis LC skaitmeniniu būdu valdomas generatorius bei atlikti principinės elektrinės schemos ir topologijos kompiuteriniai modeliavimai. Atlikus topologijos kompiuterinį modeliavimą, nustatyta, kad dažnio valdymo ruožas kinta nuo 1,98 GHz iki 5,49 GHz (dažnių juostos plotis 3,51 GHz); centrinis dažnis – 3,73 GHz; geriausias fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio yra −136,1 dBc/Hz; vidutinė vartojamoji galia – 26,39 mW. Topologijos užimamas plotas yra 0,978 × 0,561 mm$^2$. Apskaičiuoti $FOM_{\mathrm{T}}$ $FOM_{\mathrm{TT}}$ ir $FOM_{\mathrm{T2}}$ funkcijų rezultatai atitinkamai yra −2012,79 dBc/Hz, −212,11 dBc/Hz ir −179,42 dBc/Hz.

3. Taikant 0,18 μm integrinių grandynų gamybos technologiją suprojektuotas ir pagamintas mažatriukšmis plačiajuostis aukštadažnis LC įtampa valdomas generatorius ir dažnių daliklis bei atlikti principinės elektrinės schemos ir topologijos kompiuteriniai modeliavimai ir pagaminto integrinio grandyno matavimai. Atlikus pagaminto integrinio grandyno matavimus nustatyta, kad dažnio valdymo ruožas kinta nuo 3,02 GHz iki 3,55 GHz (dažnių juostos plotis 0,53 GHz); centrinis dažnis – 3,28 GHz; geriausias fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio yra −108,89 dBc/Hz; vidutinė vartojamoji galia – 83,24 mW. ĮVG topologijos užimamas plotas yra 0,292 × 0,375 mm$^2$. Apskaičiuoti $FOM_T$ $FOM_{TT}$ ir $FOM_{T2}$ funkcijų rezultatai atitinkamai yra −165,16 dBc/Hz, −158,63 dBc/Hz ir −144,35 dBc/Hz.
4. Taikant 0,13 μm integrinių grandynų gamybos technologiją suprojektuotas ir pagamintas mažatriukšmis plačiajuostis aukštadažnis LC skaitmeniniu būdu valdomas generatorius ir dažnių daliklis bei atlikti principinės elektrinės schemos ir topologijos kompiuteriniai modeliavimai ir pagaminto integrinio grandyno matavimai. Atlikus pagaminto integrinio grandyno matavimus nustatyta, kad dažnio valdymo ruožas kinta nuo 9,25 GHz iki 10,78 GHz (dažnių juostos plotis 1,53 GHz); centrinis dažnis – 10,01 GHz; geriausias fazės triukšmas esant 1 MHz nuokrypio dažniui nuo nešlio dažnio yra −113,42 dBc/Hz; vidutinė vartojamoji galia – 10,2 mW. ĮVG topologijos užimamas plotas yra 0,193 × 0,311 mm$^2$. Apskaičiuoti $FOM_T$, $FOM_{TT}$ ir $FOM_{T2}$ funkcijų rezultatai atitinkamai yra –187,20 dBc/Hz, –183,34 dBc/Hz ir –167,33 dBc/Hz.

# Bendrosios išvados

1. Atlikus LC-ĮVG ir LC-SVG pagrindinių parametrų bei architektūrų palyginamąją analizę, nustatyta, kad dažniausiai 61 % ir 58 % LC-ĮVG ir LC-SVG yra projektuojami remiantis NMOP In architektūra. Taip pat nustatyta, kad geriausi $FOM_{\mathrm{T}}$ kokybės funkcijos rezultatai gauti LC-ĮVG ir LC-SVG, suprojektuotuose remiantis NMOP In architektūra, atitinkamai šios vertės yra: −200,35 dBc/Hz (Saeidi et al., 2010) LC-ĮVG ir −200,01 dBc/Hz (Macera, 2018) LC-SVG. Nustatyta, kad LC-ĮVG yra projektuojami naudojant submikronines ir nanometrines technologijas, tuo tarpu LC-SVG yra projektuojami naudojant nanometrines technologijas.
2. Pasiūlytos naujos valdomų generatorių kokybę įvertinančios funkcijos $FOM_{\mathrm{TT}}$, $FOM_{\mathrm{T2}}$. Šios funkcijos pritaikomos išsamesnei palyginamajai analizei, nes papildomai įvertina šiuos parametrus: technologinį žingsnį; maitinimo įtampą; lusto užimamą plotą ir lusto gamybos kainą.
3. Gautos induktyvumo ritės kokybės priklausomybės nuo atstumo iki apsauginio žiedo, dažniui kintant nuo 2 GHz iki 10 GHz, taikant skirtingas 40 nm, 65 nm ir 0,18 μm KMOP integrinių grandynų technolo-

gijas įvertina induktyvumo ritės kokybės ir užimamo ploto kitimą keičiant atstumą iki apsauginio žiedo. Nustatyta, kad plačiame dažnių ruože (2–10 GHz), geriausios kokybės (16,9–37,1) yra induktyvumo ritėse nuo 200 pH iki 300 pH, taikant 65 nm technologiją. Daugiausiai plotas padidėja, didinant atstumą iki apsauginio žiedo $D_{GR}$ = 10–40 µm, 40 nm technologijoje (0,036 mm$^2$), mažiausiai – taikant 0,18 µm technologiją (0,025 mm$^2$).

4. Suprojektuoti mažatriukšmiai plačiajuosčiai aukštadažniai trikontūriniai LC įtampa ir skaitmeniniu būdu valdomi generatoriai taikant 65 nm technologiją. Iš topologijų kompiuterinio modeliavimo re-zultatų apskaičiuotos šios $FOM_T$, $FOM_{TT}$ ir $FOM_{T2}$ vertės: LC-ĮVG: −210,76 dBc/Hz, −210,08 dBc/Hz, −177,59 dBc/Hz; LC-SVG: −2012,79 dBc/Hz, −212,11 dBc/Hz, −179,42 dBc/Hz.

5. Suprojektuoti ir pagaminti mažatriukšmiai plačiajuosčiai aukštadažniai vienkontūriniai LC įtampa ir skaitmeniniu būdu valdomi generatoriai atitinkamai taikant 0,18 µm ir 0,13 µm technologijas. Iš pagamintų integrinių grandynų matavimų rezultatų apskaičiuotos šios $FOM_T$, $FOM_{TT}$ ir $FOM_{T2}$ vertės: LC-ĮVG: −165,16 dBc/Hz, −158,63 dBc/Hz, −144,35 dBc/Hz; LC-SVG: –187,20 dBc/Hz, –183,34 dBc/Hz ir –167,33 dBc/Hz.

6. Išanalizavus gautus kokybės funkcijų rezultatus galima daryti išvadą, kad geriausi rezultatai gauti LC-SVG, kuris suprojektuotas taikant 65 nm technologiją. Aukšta kokybė gauta dėl labai plataus dažnių valdymo ruožo –1,98 GHz–5,49 GHz, labai mažo geriausio fazinio triukšmo −136,1 dBc/Hz ties 1 MHz nuokrypio dažniu nuo nešlio dažnio bei mažos vartojamosios galios 83,24 mW. Mažą fazinį triukšmą lėmė aukštos kokybės induktyvumo ričių parinkimas bei varaktorių bloko eliminavimas. Didelis dažnių plačiajuostiškumas pasiektas naudojant tris kontūrus. Suprojektuoto integrinio grandyno plotas yra tik 0,978 × 0,561 mm$^2$

# Literatūra ir šaltiniai


2019 General Europractice MPW runs Schedule and Prices. (2019). Prieiga per internetą: http://europractice-ic.com/wp-content/uploads/2019/06/190517_MPW2019-general-v7.0.pdf

2019 mini@sic Europractice MPW runs Schedule and Prices. (2019). Prieiga per internetą: http://europractice-ic.com/wp-content/uploads/2019/06/190603_MPW2019-miniasic-v5.0.pdf

Aguilera, J., & Berenguer, R. (2004). *Design and Test of Integrated Inductors for RF Applications*. NEW YORK, BOSTON, DORDRECHT, LONDON, MOSCOW: Kluwer Academic Publishers.

Amer, A. G., Sameh, I. A., & Ragai, H. F. (2016). A 1-mW 12-GHz LC VCO in 65-nm CMOS technology. *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (p. 456–459). IEEE. https://doi.org/10.1109/ICECS.2016.7841237

Apostolidou, M. (2018). Phase noise in frequency divider circuits Phase Noise in Frequency Divider Circuits, (May 2008), 18–21. https://doi.org/10.1109/ISCAS.2008.4541973

Arun, A. (2011). *Design and Analysis of CMOS LC Voltage Controlled Oscillator in 32nm SOI Process*. UNIVERSITY OF MINNESOT. Prieiga per internetą: http://conservancy.umn.edu/bitstream/108796/1/Arun_Abhishek_May2011.pdf

Babaie, M., Shahmohammadi, M., & Staszewski, R. B. (2015). A 0.5V 0.5mW switching current source oscillator. *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)* (T. 2015-Novem, p. 183–186). IEEE. https://doi.org/10.1109/RFIC.2015.7337735

Bajestan, M. M., Rezaei, V. D., & Entesari, K. (2014). A 2.75-6.25GHz Low-Phase-Noise Quadrature VCO Based on a Dual-Mode Ring Resonator in 65nm CMOS. *2014 IEEE Radio Frequency Integrated Circuits Symposium* (p. 265–268). IEEE. https://doi.org/10.1109/RFIC.2014.6851715

Baran, O., & Kasal, M. (2008). Oscillator phase noise models. *2008 18th International Conference Radioelektronika* (p. 1–4). IEEE. https://doi.org/10.1109/RADIOELEK.2008.4542705

Castello, R., Erratico, P., Manzini, S., & Sveito, F. (2002). A ±30% tuning range varactor compatible with future scaled technologies. *Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.98CH36215)* (p. 34–35). IEEE. https://doi.org/10.1109/VLSIC.1998.687994

Chao, Y., & Luong, H. C. (2016). Analysis and Design of Wide-Band Millimeter-Wave Transformer-Based VCO and ILFDs. *IEEE Transactions on Circuits and Systems I: Regular Papers*, *63*(9), 1416–1425. https://doi.org/10.1109/TCSI.2016.2577683

Ching-Liang Dai, Jin-Yu Hong, & Mao-Chen Liu. (2008). High Q-factor CMOS-MEMS inductor. *2008 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS* (p. 138–141). IEEE. https://doi.org/10.1109/DTIP.2008.4752969

Da Dalt, N., Kropf, C., Burian, M., Hartig, T., & Eul, H. (2006). A 10b 10GHz digitlly controlled LC oscillator in 65nm CMOS, *51*(11), 669–678. https://doi.org/10.1109/isscc.2006.1696105

Deng, Z., & Niknejad, A. M. (2010). The Speed–Power Trade-Off in the Design of CMOS True-Single-Phase-Clock Dividers. *IEEE Journal of Solid-State Circuits*, *45*(11), 2457–2465. https://doi.org/10.1109/JSSC.2010.2074290

EP activity report 2018-2019. (2018). Prieiga per internetą: http://www.europractice.stfc.ac.uk/EPactivity2018.pdf

Fanori, L., Liscidini, A., & Castello, R. (2010). Capacitive Degeneration in LC-Tank Oscillator for DCO Fine-Frequency Tuning. *IEEE Journal of Solid-State Circuits*, *45*(12), 2737–2745. https://doi.org/10.1109/JSSC.2010.2077190

Farhabakhshian, F., Brown, T., Mayaram, K., & Fiez, T. (2010). A 475 mV, 4.9 GHz enhanced swing differential Colpitts VCO in 130 nm CMOS with an FoM of 196.2 dBc/Hz. *IEEE Custom Integrated Circuits Conference 2010* (T. 2, p. 1–4). IEEE. https://doi.org/10.1109/CICC.2010.5617435

Frequency Range Chart for RF Connectors Amphenol RF. (2018). Prieiga per internetą: https://www.amphenolrf.com/frequency-range-chart/

Haase, M., Subramanian, V., Zhang, T., & Hamidian, A. (2010). Comparison of CMOS VCO Topologies. *6th Conference on Ph.D. Research in Microelectronics & Electronics* (p. 1–4). IEEE.

Heydarzadeh, S., Torkzadeh, P., & Pourmina, M. (2013). A 12GHz programmable fractional-n frequency divider with 0.18um CMOS technology. *2013 5th Computer Science and Electronic Engineering Conference (CEEC)* (T. 26, p. 29–33). IEEE. https://doi.org/10.1109/CEEC.2013.6659440

Hong, J. P., & Lee, S. G. (2011). Gm-boosted differential drain-to-source feedback colpitts CMOS VCO. *IEEE Transactions on Microwave Theory and Techniques*, *59*(7), 1811–1821. https://doi.org/10.1109/TMTT.2011.2138712

HongMo Wang. (2002). A 1.8 V 3 mW 16.8 GHz frequency divider in 0.25 μm CMOS. *2000 IEEE International Solid-State Circuits Conference. Digest of Technical Papers (Cat. No.00CH37056)* (T. 25, p. 196–197). IEEE. https://doi.org/10.1109/ISSCC.2000.839746

Hou, J.-A., & Wang, Y.-H. (2010). A 7.9 GHz Low-Power PMOS Colpitts VCO Using the Gate Inductive Feedback. *IEEE Microwave and Wireless Components Letters*, *20*(4), 223–225. https://doi.org/10.1109/LMWC.2010.2042559

Huang, J.-F., Lai, W.-C., & Yang, J.-L. (2014). Chip design of a 5.6-GHz 1-V wide tuning range frequency synthesizer with Gm-boosting Colpitts VCO for biomedical application. *2014 IEEE International Symposium on Bioelectronics and Bioinformatics (IEEE ISBB 2014)* (T. 2, p. 1–5). IEEE. https://doi.org/10.1109/ISBB.2014.6820899

Irving, M., & Gottlieb, P. (2004). *Practical Oscillator Handbook*. Lightning Source UK.

Issakov, V., Wojnowski, M., Knoblinger, G., Fulde, M., Pressel, K., & Sommer, G. (2011). A 5.9-to-7.8 GHz VCO in 65 nm CMOS using high-Q inductor in an embedded Wafer Level BGA package. *2011 IEEE MTT-S International Microwave Symposium* (p. 1–4). IEEE. https://doi.org/10.1109/MWSYM.2011.5972817

Jeong, Y. J., Kim, Y. M., Chang, H. J., & Yun, T. Y. (2012). Low-power CMOS VCO with a low-current, high-Q active inductor. *IET Microwaves, Antennas & Propagation*, *6*(7), 788. https://doi.org/10.1049/iet-map.2011.0332

Jerng, A., & Sodini, C. G. (2005). The impact of device type and sizing on phase noise mechanisms. *IEEE Journal of Solid-State Circuits*, *40*(2), 360–369. https://doi.org/10.1109/JSSC.2004.841035

Jia, L., Choi, Y. B., & Yeoh, W. G. (2007). A 5.8-GHz VCO with Precision Gain Control. *2007 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium* (p. 701–704). IEEE. https://doi.org/10.1109/RFIC.2007.380979

Jurgo, M., Kiela, K., & Navickas, R. (2013). Design of Low Noise 10 GHz divide by 16…511 Frequency Divider. *Electronics and Electrical Engineering*, *19*(6), 87–90. https://doi.org/10.5755/j01.eee.19.6.4570

Jurgo, M., & Navickas, R. (2016). Dažnio sintezatorių daugiastandarčiams bevielio ryšio siųstuvams ir imtuvams analizė. *Mokslas – Lietuvos ateitis*, *8*(3), 302–307. https://doi.org/10.3846/mla.2016.931

Kester, W. (2009). Converting Oscillator Phase Noise to Time Jitter. Prieiga per internetą: https://www.analog.com/media/en/training-seminars/tutorials/mt-008.pdf

Kim, T., Son, J., Kim, H., & Shin, H. (2013). A Two-Point Tuning LC VCO with Minimum Variation of KVCO2 for Quad-Band GSM/GPRS/EDGE Polar Transmitter in 65-nm CMOS. *2013 International SoC Design Conference (ISOCC)* (p. 130–133). IEEE. https://doi.org/10.1109/ISOCC.2013.6864004

Kinget, P. (1999). Integrated GHz Voltage Controlled Oscillators. *Analog Circuit Design* (p. 29). Boston, MA: Springer US. https://doi.org/10.1007/978-1-4757-3047-0_17

Kytonaki, E.-S. A., & Papananos, Y. (2011). A Low-Voltage Differentially Tuned Current-Adjusted 5.5-GHz Quadrature VCO in 65-nm CMOS Technology. *IEEE Transactions on Circuits and Systems II: Express Briefs*, *58*(5), 254–258. https://doi.org/10.1109/TCSII.2011.2149010

Lee, J., Park, S., Kim, H. C., & Chun, K. (2009). Substrates and dimension dependence of MEMS inductors. *Journal of Micromechanics and Microengineering*, *19*(8), 085014. https://doi.org/10.1088/0960-1317/19/8/085014

Lee, J. W., Gul, M. T., & Nguyen, T. N. (2014). A new class of low phase noise vackar VCO in CMOS technology. *2014 International Conference on Advanced Technologies for Communications (ATC 2014)* (T. 2015-Febru, p. 23–26). IEEE. https://doi.org/10.1109/ATC.2014.7043349

Lee, T. H. (2003). *The Design of CMOS Radio-Frequency Integrated Circuits, Second Edition*. Cambridge University Press.

Lee, T. H., & Hajimiri, A. (2000). Oscillator phase noise: a tutorial. *IEEE Journal of Solid-State Circuits*, *35*(3), 326–336. https://doi.org/10.1109/4.826814

Levantino, S., Samori, C., Bonfanti, A., Gierkink, S. L. J., Lacaita, A. L., & Boccuzzi, V. (2002). Frequency dependence on bias current in 5-GHz CMOS VCOs: Impact on tuning range and flicker noise upconversion. *IEEE Journal of Solid-State Circuits*, *37*(8), 1003–1011. https://doi.org/10.1109/JSSC.2002.800969

Levinger, R., Levi, R., Shumaker, E., Levin, S., & Horovitz, G. (2018). A 3.9-4.7 GHz 0.35 mW DCO with −187.4 dBc FoM in 28nm CMOS. *2018 13th European Microwave Integrated Circuits Conference (EuMIC)* (p. 194–197). IEEE. https://doi.org/10.23919/EuMIC.2018.8539952

Li, W. T., Cheng, J. H., Wu, Y. M., & Huang, T. W. (2013). A 23.67-to-45-GHz wide tuning range dual VCO with phase noise enhancement in 90-nm CMOS technology. *IEEE MTT-S International Microwave Symposium Digest*, *1*, 1–3. https://doi.org/10.1109/MWSYM.2013.6697478

Lim, C.-C., Ramiah, H., Yin, J., Mak, P.-I., & Martins, R. P. (2016). A high-Q spiral inductor with dual-layer patterned floating shield in a class-B VCO achieving a 190.5-dBc/Hz FoM. *2016 IEEE International Symposium on Circuits and Systems (ISCAS)* (T. 2016-July, p. 2759–2762). IEEE. https://doi.org/10.1109/ISCAS.2016.7539164

Lin, J., Zuluaga, S., Yu, P., Liu, Z., Pantelides, S. T., & Suenaga, K. (2017). Modeling and layout optimization techniques for silicon-based symmetrical spiral inductors. *Physical Review Letters*, *119*(1), 016101. https://doi.org/10.1103/PhysRevLett.119.016101

Liu, S., Wang, X., Chen, X., Fan, X., & Zhang, H. (2012). A low-power low-noise VCO with nearly constant Kvcofor UHF RFID transceivers. *2012 IEEE International Conference on Electron Devices and Solid State Circuit, EDSSC 2012*, 1–2. https://doi.org/10.1109/EDSSC.2012.6482799

Liu, Y. H., Purushothaman, V. K., Bachmann, C., & Staszewski, R. B. (2019). Design and Analysis of a DCO-Based Phase-Tracking RF Receiver for IoT Applications. *IEEE Journal of Solid-State Circuits*, *54*(3), 1–11. https://doi.org/10.1109/JSSC.2018.2883398

Long, H., Shengyue, Y., Runxi, Z., & Wei, L. (2011). A 15 GHz CMOS low phase noise VCO using coupled coplanar waveguide. *2011 3rd International Conference on Computer Research and Development* (T. 3, p. 310–313). IEEE. https://doi.org/10.1109/ICCRD.2011.5764202

Lou, L., Bo, C., Kai, T., & Yuanjin, Z. (2016). A CMOS digital-controlled oscillator for All-digital PLL frequency synthesizer. *2016 International Symposium on Integrated Circuits (ISIC)* (p. 1–4). IEEE. https://doi.org/10.1109/ISICIR.2016.7829720

Lou, L., Sun, L., Gao, H., & Wen, J. (2011). A 0.68-1.65GHz CMOS LC Voltage-Controlled Oscillator with Small VCO-Gain and Step Variation. *2011 International Symposium on Integrated Circuits* (T. 1, p. 79–82). IEEE. https://doi.org/10.1109/ISICir.2011.6131884

Macaitis, V., Barzdenas, V., & Navickas, R. (2014). Design of 4.48–5.89 GHz LC-VCO in 65 nm RF CMOS Technology. *Electronics and Electrical Engineering*, *20*(2), 296–298. https://doi.org/10.5755/j01.eee.20.2.6383

Macaitis, V., Jurgo, M., Charlamov, J., & Barzdenas, V. (2016). A 3.0 – 3.6 GHz LC-VCO with ETSPC Frequency Divider in 0.18-micron CMOS technology. *Journal of Microelectronics, Electronic Components and Materials* (T. 46, p. 36–41). IEEE. https://doi.org/10.1109/ISCAS.2007.378051

Macaitis, V., & Navickas, R. (2017a). Comparison of LC-VCO and LC-DCO parameters in 65 nm CMOS technology. *2017 5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)* (T. 2018, p. 1–4). IEEE. https://doi.org/10.1109/AIEEE.2017.8270549

Macaitis, V., & Navickas, R. (2017b). Daugiastandarčių siųstuvų-imtuvų LC įtampa valdomų generatorių pagrindinių parametrų analizė. *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika = Science – future of Lithuania: Electronics and electrical engineering*, *9*(3), 324–328. https://doi.org/10.3846/mla.2017.1043

Macaitis, V., & Navickas, R. (2017c). Design of multicore digitally controlled oscillator in 65 nm CMOS technology. *2017 Open Conference of Electrical, Electronic and Information Sciences (eStream)* (p. 1–4). Vilnius, Lithuania: IEEE. https://doi.org/10.1109/eStream.2017.7950310

Macaitis, V., & Navickas, R. (2018). Trikontūrio lc įtampa valdomo generatoriaus projektavimas ir modeliavimas / design and simulation of multicore LC-VCO. *Mokslas - Lietuvos ateitis*, *10*, 1–4. https://doi.org/10.3846/mla.2018.3080

Macaitis, V., & Navickas, R. (2019). Design of High Frequency, Low Phase Noise LC Digitally Controlled Oscillator for 5G Intelligent Transport Systems. *Electronics*, *8*(1), 72. https://doi.org/10.3390/electronics8010072

Macera, G. (2018). A 28nm CMOS 1.3-GHz Low Phase Noise Gm-Boosted Cross-Coupled DCO for Automotive Radar. *2018 29th Irish Signals and Systems Conference (ISSC)* (p. 1–5). IEEE. https://doi.org/10.1109/ISSC.2018.8585347

Moghadami, S., JalaliBidgoli, F., & Ahmadi, A. (2013). Analysis and design LC cross coupled VCO regarding different phase noise approaches. *2013 IEEE International RF and Microwave Conference (RFM)* (p. 278–282). IEEE. https://doi.org/10.1109/RFM.2013.6757266

Moghavvemi, M., & Attaran, A. (2011). Performance Review of High-Quality-Factor, Low-Noise, and Wideband Radio-Frequency LC-VCO for Wireless Communication [Application Notes]. *IEEE Microwave Magazine*, *12*(4), 130–146. https://doi.org/10.1109/MMM.2011.940602

Mohan, S., del Mar Hershenson, M., Boyd, S., & Lee, T. (1999). *Simple accurate expressions for planar spiral inductances*. *IEEE Journal of Solid-State Circuits* (T. 34). https://doi.org/10.1109/4.792620

Molaei, H., & Hajsadeghi, K. (2016). A low power high resolution time to digital converter for ADPLL application. *2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)* (p. 1–4). IEEE. https://doi.org/10.1109/MWSCAS.2016.7870107

Mortan, F., & Wright, L. (2004). Quad Flatpack No-Lead Logic Packages. Prieiga per internetą: http://www.ti.com/lit/an/scba017d/scba017d. pdf

Nakamura, T., Masuda, T., Washio, K., & Kondoh, H. (2012). A push-push VCO with 13.9-GHz wide tuning range using loop-ground transmission line for full-band 60-GHz transceiver. *IEEE Journal of Solid-State Circuits*, *47*(6), 1267–1277. https://doi.org/10.1109/JSSC.2012.2187470

Nakamura, T., Norimatsu, T., Uozumi, T., Ueda, K., & Yamawaki, T. (2012). A Δ∑-Modulator-Less Digitally-Controlled Oscillator using Fractional Capacitors for GSM/EDGE Transmitter. *2012 Proceedings of the ESSCIRC (ESSCIRC)* (p. 410–413). IEEE. https://doi.org/10.1109/ESSCIRC.2012.6341342

Nemitha, B., & Pradeep Kumar, B. (2014). Speed Analysis of Body Biased TSPC and ETSCPC Flip Flops. *International Journal of Science and Research (IJSR)*, *3*(6), 847–850.

Neog, P., & Bera, R. (2017). Multi-standard radio for 2G to 5G. *2017 2nd International Conference on Telecommunication and Networks (TEL-NET)* (T. 2018-Janua, p. 1–5). IEEE. https://doi.org/10.1109/TEL-NET.2017.8343496

Nguyen, T. N., & Lee, J. W. (2010). A new transformer-coupled differential Armstrong VCO for very low power operation. *2010 IEEE Asian Solid-State Circuits Conference* (p. 1–4). IEEE. https://doi.org/10.1109/ASSCC.2010.5716590

Nguyen, T. N., & Lee, J. W. (2012). Ultralow-power Ku-band dual-feedback Armstrong VCO with a wide tuning range. *IEEE Transactions on Circuits and Systems II: Express Briefs*, *59*(7), 394–398. https://doi.org/10.1109/TCSII.2012.2198979

Numerical Methods of Approximation. (2018). Prieiga per internetą: https://ask.fxplus.ac.uk/tools/HELM/pages/workbooks_1_50_jan2008/Workbook31/31_1_plynml_approx.pdf

Pan, S. J., Li, L. W., & Yin, W. Y. (2004). Performance trends of on-chip spiral inductors for RFICs. *Progress In Electromagnetics Research*, *45*, 123–151.

Peng, K. C., & Lee, C. H. (2012). A 5 GHz CMOS quadrature VCO with precise quadrature phase. *2012 Asia Pacific Microwave Conference Proceedings* (p. 1211–1213). IEEE. https://doi.org/10.1109/APMC.2012.6421872

Razavi, B. (2011). *RF MICROELECTRONICS Second Edition* (2-asis leid.). New York: Hamilton Printing Company.

Razavi, B., Lee, K. F., & Yan, R. H. (1995). Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicron CMOS. *IEEE Journal of Solid-State Circuits*, *30*(2), 101–109. https://doi.org/10.1109/4.341736

Sadr, M. S., Ghafoorifard, H., Yavari, M., & Sheikhaei, S. (2016). A novel low phase noise and low power DCO in 90 nm CMOS technology for ADPLL application. *2016 24th Iranian Conference on Electrical Engineering (ICEE)* (p. 810–815). IEEE. https://doi.org/10.1109/IranianCEE.2016.7585631

Saeedi, S., & Emami, A. (2014). An 8GHz first-order frequency synthesizer based on phase interpolation and quadrature frequency detection in 65nm CMOS. *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference* (p. 1–4). IEEE. https://doi.org/10.1109/CICC.2014.6946021

Saeidi, B., Cho, J., Taskov, G., & Paff, A. (2010). A wide-range VCO with optimum temperature adaptive tuning. *2010 IEEE Radio Frequency Integrated Circuits Symposium* (p. 337–340). IEEE. https://doi.org/10.1109/RFIC.2010.5477264

Seller, N., Cathelin, A., Lapuyade, H., Begueret, J.-B., Chataigner, E., & Belot, D. (2007). A 10GHz Distributed Voltage Controlled Oscillator for WLAN Application in a VLSI 65nm CMOS Process. *2007 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium* (p. 115–118). IEEE. https://doi.org/10.1109/RFIC.2007.380845

Shimao, X., Chengyan, M., & Tianchun, Y. (2009). A novel 2.95–3.65 GHz CMOS LC-VCO using tuning curve compensation. *Journal of Semiconductors*, *30*(10), 1–5. https://doi.org/10.1088/1674-4926/30/10/105001

Soltanian, B., Ainspan, H., Rhee, W., Friedman, D., & Kinget, P. (2006). An Ultra Compact Differentially Tuned 6 GHz CMOS LC VCO with Dynamic Common-Mode Feedback. *IEEE Custom Integrated Circuits Conference 2006* (T. 42, p. 671–674). IEEE. https://doi.org/10.1109/CICC.2006.320877

Soorapanth, T., Yue, C. P., Shaeffer, D. K., Lee, T. I., & Wong, S. S. (2002). Analysis and optimization of accumulation-mode varactor for RF ICs. *Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.98CH36215)* (p. 32–33). IEEE. https://doi.org/10.1109/VLSIC.1998.687993

Su, Y.-P., Hu, W.-Y., Lin, J.-W., Chen, Y.-C., Sezer, S., & Chen, S.-J. (2011). Low power Gm-boosted differential Colpitts VCO. *2011 IEEE International SOC Conference* (p. 247–250). IEEE. https://doi.org/10.1109/SOCC.2011.6085109

Sun, Y., Yu, X., Rhee, W., Ko, S., Choo, W., Park, B.-H., & Wang, Z. (2010). Dual-Path LC VCO Design With Partitioned Coarse-Tuning Control in 65 nm CMOS. *IEEE Microwave and Wireless Components Letters*, *20*(3), 169–171. https://doi.org/10.1109/LMWC.2010.2040221

Tiebout, M. (2006). *Low Power VCO Design in CMOS*. (K. Itoh, T. Lee, T. Sakurai, W. M. C. Sansen, & D. Schmitt-Landsiedel, Sud.) (T. 20). Berlin/Heidelberg: Springer-Verlag. https://doi.org/10.1007/3-540-29256-X

Tzschoppe, C., Jorges, U., Richter, A., Lindner, B., & Ellinger, F. (2015). Theory and design of advanced CMOS current mirrors. *2015 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC)* (p. 1–5). IEEE. https://doi.org/10.1109/IMOC.2015.7369125

Vasjanov, A., & Barzdenas, V. (2018). A Review of Advanced CMOS RF Power Amplifier Architecture Trends for Low Power 5G Wireless Networks. *Electronics*, *7*(11), 271. https://doi.org/10.3390/electronics7110271

Venerus, C., & Galton, I. (2015). A TDC-Free Mostly-Digital FDC-PLL Frequency Synthesizer With a 2.8-3.5 GHz DCO. *IEEE Journal of Solid-State Circuits*, *50*(2), 450–463. https://doi.org/10.1109/JSSC.2014.2361523

Wang, T. P. (2011). A CMOS Colpitts VCO Using Negative-Conductance Boosted Technology. *IEEE Transactions on Circuits and Systems I: Regular Papers*, *58*(11), 2623–2635. https://doi.org/10.1109/TCSI.2011.2143270

Wang, T. P., & Li, C.-C. (2012). A 0.4-V 1.08-mW 12-GHz high-performance VCO in 0.18-um CMOS. *2012 IEEE Radio and Wireless Symposium* (T. 1, p. 207–210). IEEE. https://doi.org/10.1109/RWS.2012.6175356

Wang, T. P., & Wang, S. Y. (2013). A low-voltage low-power low-phase-noise wide-tuning-range 0.18-um CMOS VCO with high-performance FOMT of -196.3 dBc/Hz. *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)* (T. 1, p. 1–4). IEEE. https://doi.org/10.1109/MWSYM.2013.6697472

Wang, T. P., & Yan, Y. M. (2014). A low-voltage low-power wide-tuning-range hybrid class-AB/class-B VCO with robust start-up and high-performance FOMT. *IEEE Transactions on Microwave Theory and Techniques*, *62*(3), 521–531. https://doi.org/10.1109/TMTT.2014.2300443

Wang, W., Li, W., Li, N., & Ren, J. (2014). An 8 to 9 GHz LC-VCO and harmonic-suppressed CML divider with low supply voltage for FMCW synthesizer. *2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)* (p. 1–3). IEEE. https://doi.org/10.1109/ICSICT.2014.7021251

Wang, Z., He, L., Yang, L., & Lin, F. (2015). A high-resolution tail-capacitor based tuning scheme for LC-DCO. *2015 IEEE International Wireless Symposium (IWS 2015)* (T. 2, p. 1–4). IEEE. https://doi.org/10.1109/IEEE-IWS.2015.7164625

Wojnowski, M., Issakov, V., Knoblinger, G., & Pressel, K. (2011). High-Q embedded inductors in fan-out eWLB for 6 GHz CMOS VCO. *Proceedings - Electronic Components and Technology Conference*, 1363–1370. https://doi.org/10.1109/ECTC.2011.5898689

Xi, J., Xiao, F., & Wang, H. (2014). Comparative study on the reliability of QFN and AAQFN packages. *2014 15th International Conference on Electronic Packaging Technology* (T. 96, p. 959–9620). IEEE. https://doi.org/10.1109/ICEPT.2014.6922806

Yang, J., Zhang, Z., Feng, P., Liu, L., & Wu, N. (2015). A 1-V 5.2–5.7 GHz low noise sub-sampling phase locked loop in 0.18 μm CMOS. *2015 IEEE 11th International Conference on ASIC (ASICON)* (p. 1–4). IEEE. https://doi.org/10.1109/ASICON.2015.7517130

Yang, X., Uchida, Y., Xu, K., Wang, W., & Yoshimasu, T. (2013). 2.4 GHz-band ultra-low-voltage class-C LC-VCO IC in 65 nm CMOS technology. *2013 Asia-Pacific Microwave Conference Proceedings (APMC)* (p. 325–327). IEEE. https://doi.org/10.1109/APMC.2013.6695134

Yoo, S.-S., & Yoo, H.-J. (2016). A design method of wide tuning range DCO by using aluminuim pad metals for zero revision. *2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)* (p. 1–4). IEEE. https://doi.org/10.1109/RFIT.2016.7578138

You, P.-L., & Huang, T.-H. (2013). A Switched Inductor Topology Using a Switchable Artificial Grounded Metal Guard Ring for Wide-FTR MMW VCO Applications. *IEEE Transactions on Electron Devices*, *60*(2), 759–766. https://doi.org/10.1109/TED.2012.2234750

Zhang, C., & Otto, M. (2017). A low power 4-GHz DCO with fine resolution and wide tuning range in 22 nm FDSOI CMOS technology. *2017 IEEE Radio and Wireless Symposium (RWS)* (p. 156–158). IEEE. https://doi.org/10.1109/RWS.2017.7885974

Zong, Z., Chen, P., & Staszewski, R. B. (2018). A Low-Noise Fractional-N Digital Frequency Synthesizer With Implicit Frequency Tripling for mm-Wave Applications. *IEEE Journal of Solid-State Circuits*, *54*(3), 1–13. https://doi.org/10.1109/JSSC.2018.2883397

# Autoriaus mokslinių publikacijų disertacijos tema sąrašas

### Straipsniai recenzuojamuose mokslo žurnaluose

Mačaitis, V.; Navickas, R. 2019. Design of high frequency, low phase noise LC digitally controlled oscillator for 5G intelligent transport systems, *Electronics. Basel : MDPI.* 8(72): 1–12. ISSN 2079-9292 (Clarivate Analytics Web of Science).

Mačaitis, V.; Jurgo, M.; Charlamov, J.; Barzdėnas, V. 2016. A 3.0 – 3.6 GHz LC-VCO with ETSPC Frequency Divider in 0.18-micron CMOS technology, *Informacije MIDEM – Journal of Microelectronics, Electronic Components and Materials.* 46(1): 36–41. ISSN 0352-9045 (Clarivate Analytics Web of Science).

Mačaitis, V.; Navickas, R. 2018. Trikontūrio LC įtampa valdomo generatoriaus projektavimas ir modeliavimas, *Mokslas – Lietuvos ateitis: Elektronika ir elektros inžinerija – 2018*. 10: 1–4. ISSN 2029-2341.

Mačaitis, V.; Navickas, R. 2017. Daugiastandarčių siųstuvų-imtuvų LC įtampa valdomų generatorių pagrindinių parametrų analizė, *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika.* 9(3): 324–328. ISSN 2029-2341.

### Straipsniai kituose leidiniuose

Mačaitis, V.; Navickas, R. 2017. Comparison of LC-VCO and LC-DCO parameters in 65 nm CMOS technology, *The 5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE'2017)*. 36–41. ISBN 9781538641385.

Mačaitis, V.; Navickas, R. 2017. Design of multicore digitally controlled oscillator in 65 nm CMOS technology, *2017 Open conference of Electrical, Electronic and Information Sciences (eStream): proceedings of the conference*. 1–4. ISBN 9781538639993.

Mačaitis, V.; Navickas, R. 2015. CMOS technology based LC VCO review, *Electrical, Eletronic and Information Sciences (eStream): proceedings of the 2015 Open conference*. 1–4. ISBN 9781467374453.

# Summary in English

## Introduction

### Problem formulation

With the growing development of intelligent wireless systems, a great deal of attention is paid to universal technologies that enable communication on different frequency bands and different data transmission standards. In order to achieve a lower occupied area and greater component integration, the mentioned technologies are combined in a single chip that implements a multi-standard multi-band wireless transceiver. In multi-standard multi-band transceivers, the phase locked loop is used for accurate signal generation, where the signal frequency is generated by a voltage or a digitally controlled oscillator.

Modern voltage and digitally controlled oscillators are designed and investigated using different architectures in a variety of nanometric and submicron integrated circuit design and manufacturing technologies. It is complicated to evaluate the overall quality of the designed voltage and digitally controlled oscillators due to the abundance of the main parameters of these oscillators and their non-correlation. Existing figures of merit do not evaluate all important parameters of the oscillators. Thus, in order to make the overall assessment of voltage and digitally controlled oscillators as accurate as possible, it is necessary to extend the figure of merit with additional parameters, as well as to carry out a detailed analysis of the main parameters in terms of architectures and integrated circuit technologies. Also, new ways to improve the quality of the inductor in the different integrated circuit technologies are not extensively investigated. Higher quality leads to lower phase noise, resulting in more stable wireless connection.

For this reason, the problem investigated in the dissertation is the proper choice of the architecture and integrated circuit technology for the voltage and digitally controlled oscillators, which are being designed, and the evaluation of the quality of the designed oscillators. In order to solve this problem, a hypothesis is raised and proven that the proper choise of the architecture and application of integrated circuit technology enables creation of the 2–10 GHz voltage and digitally controlled oscillators of required parameters and quality in nanometric and submicron integrated circuits.

## Relevance of the thesis

With the development of smart wireless technologies, modern society and the economy are increasingly dependent on smart wireless mobile and stationary wireless systems. Mobile data networks have evolved from first generation wireless network (1G) to fourth generation wireless network (4G) to ensure high data rates, better connectivity and assure operation. With the emerging of 4G wireless connectivity, the Internet of Things (IoT) has become more popular. As the Internet of Things continues to grow, there are more and more items on the internet that communicate with each other, so the wireless network is further expanding to announced 5 generation (5G). As the mobile connection will be upgraded to 5G, base station transmitters will be upgraded, which will further increase the use of multi-standard multi-band transceivers. Mobile wireless devices with the greatest functionality and performance across a wide tuning range that can support multi-standard systems will be needed (Neog & Bera, 2017).

In terms of the economic advantages of mass production, the implementation of smart cellular digital wireless standards in various geographical areas is expanding significantly. Because of these factors, there is a strong demand for reconfigurable wireless transceivers that can be customized as converters between different wireless communication standards. For this purpose, multi-band, multi-standard wireless transceivers can be used. Using these transceivers makes it possible to migrate between networks regardless of multi-band multi-standart wireless area. This application is very important in areas where the wireless technical market is fragmented. In order to maintain as many wireless standards as possible and ensure high quality wireless connecection in multi-band multi-standard wireless transceivers, it is necessary to improve the high frequency tuning range and low phase noise voltage and digitally controlled oscillators.

## The object of the research

The object of research – integrated circuits of 2–10 GHz, wide tuning range and low phase noise multicore and singlecore LC voltage and digitally controlled oscillators in nanometric an submicron technologies.

## The aim of the thesis

The aim of the thesis – to create blocks of 2–10 GHz, wide tuning range and low phase noise multicore and singlecore LC voltage and digitally controlled oscillators that allow to achieve its parameters required for applications in multi-band wireless transceivers up to 10 GHz implemented in nanometric and submicron integrated circuit technologies.

## The tasks of the thesis

To achieve the aim of the thesis following tasks are solved:

1. To investigate the architectures of LC voltage and digitally controlled oscillators in IC technologies from 22 nm to 0.18 μm and choose optimal architectures, which can be used for design of LC voltage and digitally controlled oscillators.
2. To propose figures of merit of LC voltage and digitally controlled oscillators for comparative analysis, as well as ways of improving the quality of the tank of the LC voltage and digitally controlled oscillators.
3. To create and investigate integrated circuits and additional blocks, used in high frequency, wide band, low noise LC voltage and digitally controlled oscillators for wireless communication from 2 GHz to 10 GHz.

## Research methodology

Analytical, mathematical and computer simulation methods for LC voltage and digitally controlled oscillators integrated circuit models were applied. 40 nm, 65 nm, 0.13 μm and 0.18 μm CMOS technologies were used for research of integrated circuits of LC voltage and digitally controlled oscillators. During investigation of blocks of the proposed integrated circuits of the LC voltage and digitally controlled oscillators computer simulation using Cadence software package was carried out. Experimental researches of manufactured prototypes of the voltage and digitally controlled oscillators were carried out.

## Scientific novelty of the thesis

These significant results for science of electrical and electronic engineering were achieved in preparation of the thesis:

1. Two new figures of merit $FOM_{TT}$ and $FOM_{T2}$ are proposed for comparative analysis of LC voltage and digitally controlled oscillators. These figures of merit evaluate: phase noise; central frequency of the oscillator; the offset frequency from the carrier at which phase noise is measured; power consumption; frequency tuning range; technology node; supply voltage; the chip area and the preliminary production cost of the chip.
2. The new dependency of quality of the inductor on the distance to the guard ring is derived when frequency is 2 GHz to 10 GHz and different 40 nm, 65 nm and 0.18 μm CMOS integrated circuit technologies are used.
3. High frequency, low phase noise, wide tuning range, multicore and singlecore, 2–10 GHz LC-VCOs in 65 nm and 0.18 μm technologies are created and LC-DCOs in 65 nm and 0.13 μm technologies are created. The main parameters of these oscillators are investigated.

## Practical value of the research findings

Results achieved during research were used to design blocks of LC-VCOs and LC-DCOs in 65 nm, 0.13 μm and 0.18 μm nanometric and submicron CMOS integrated circuit technologies. Designed models and blocks of LC-VCOs and LC-DCOs can be applied for

development of smart multistandard multiband wireless transceivers, operating at frequencies up to 10 GHz. The integrated circuits that have been designed can also be adapted to a wide range of modern communications, military, industrial and healthcare market fields.

Results of the research were used in:

- Scientific work "Design and Research a Model of Internet of Things Framework and Tools for Intelligent Transport Systems" (No. 16949, 2018).
- Scientific work "Research and modelling of nanoelectronics processes" (No. TMT 292, 2012–2016).

## The defended statements

1. Proposed new figures of merit assess the main parameters of voltage and digitally controlled oscillators designed in CMOS technologies such as: phase noise, central frequency, frequency tuning range, power dissipation, technological step, supply voltage, area and 1 $mm^2$ price. These functions allow to evaluate the quality of voltage and digitally controlled oscillators of various architectures and are used for comparative analysis.
2. The dependency of the quality of the inductor on the distance to the guard ring, when frequency is from 2 GHz to 10 GHz and different 40 nm, 65 nm and 0.18 µm CMOS integrated circuit technologies are used, enables to evaluate the optimal selection of the quality factor of the inductor and the occupied area by changing the distance to the guard ring.
3. Using 65 nm KMOP integrated circuit technology, the highest quality of the inductor at 2 GHz frequency is 18.2, with an inductance of 400 pH, and at 10 GHz frequency the highest quality is 37.1 at 250 pH inductance.
4. Low phase noise 2–10 GHz wide tuning range multicore and singlecore LC voltage controlled oscillators created and investigated in 65 nm and 0.18 µm CMOS IC technologies and LC digitally controlled oscillators created and investigated in 65 nm and 0.13 µm CMOS IC technologies can be applied for design of multistandard multiband wireless transceivers whose frequency is 2–10 GHz and phase noise at 1 MHz offset from the carrier frequency is less than −108.89 dBc/Hz.

## Approval of the research findings

Seven articles are published on the subject of dissertation: two – in scientific journals included in Clarivate Analytics Web of Science database (Macaitis, Jurgo, Charlamov, Barzdėnas 2016; Macaitis, Navickas 2019), three – in international conference publications which are referred by Clarivate Analytics Web of Science database Proceedings (Macaitis, Navickas 2017; Macaitis, Navickas 2017; Macaitis, Navickas 2015), two – in scientific journal listed in other international databases (Macaitis, Navickas 2017; Macaitis, Navickas 2018).

Research results on the subject of dissertation have been announced in twelve scientific conferences in Lithuania and abroad:

- IEEE International Conference „*Electrical, Electronic and Information Sciences 2015*“, Lithuania, Vilnius, 2015.
- IEEE 16th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*“, Lithuania, Vilnius, 2015.
- IEEE International Open Conference of „*Electrical, Electronic and Information Sciences (eStream 2016)* “, Lithuania, Vilnius, 2016.
- Doktorantų ir jaunųjų mokslininkų konferencija „*FizTech 2016*“ , Lithuania, Vilnius, 2016.
- Jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 2016.
- Doktorantų ir jaunųjų mokslininkų konferencija „*FizTech 2017*“ , Lithuania, Vilnius, 2017.
- IEEE International Conference „*Electrical, Electronic and Information Sciences 2017*“. Lithuania, Vilnius, 2017.
- IEEE 5th Workshop on „*Advances in Information, Electronic and Electrical Engineering*”. Latvia, Ryga, 2017.
- IEEE 18th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*”. Lithuania, Vilnius, 2017.
- Jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 2017.
- Jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 2018.
- Doktorantų ir jaunųjų mokslininkų konferencija „*FizTech 2018*“ , Lithuania, Vilnius, 2018.

### Structure of the dissertation

The dissertation consists of introduction, three chapters, general conclusions, lists of references and author’s publications on the subject of dissertation, summary in English and 3 annexes.

The total scope of dissertation – 124 pages (without annexes), 28 indexed equations, 55 pictures, 14 tables, and 100 references have been used.

## 1. Analysis of LC voltage and digitally controlled oscillators

In this section the architecture of frequency generators, their application and their main parameters are analyzed. The main parameters of the frequency generators and their influence on the generated signal are presented. The quality functions describing the generalized estimation of the main parameters of the frequency generators for comparative analysis are reviewed.

Figure S1.1 shows the main architectures of LC-VCO. Comparing these architectures with LC-DCO architectures, the main difference is the elimination of varactors block and compaction of switched capacitors block.

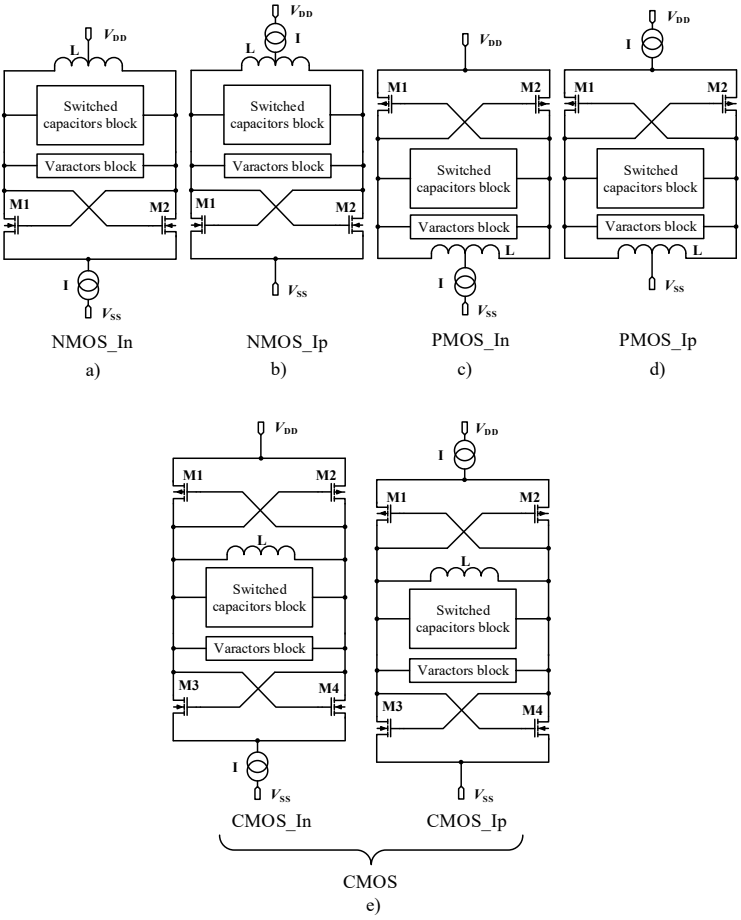



**Fig. S1.1.** LC voltage controlled oscillators architectures: a) NMOS with ground current control, b) NMOS with supply current control, c) PMOS with ground current control, d) PMOS with supply current control, e) grouped CMOS with ground or supply current control

Basic architectures of N-channel metal oxide semiconductor (NMOS) LC VCO are presented in Fig. S1.1, a-b. The architecture with current source connected to the ground (Fig. S1.1, a) has the lowest sensitivity to the noise on the ground line, but the highest sensitivity to the noise on power supply. This architecture is characterized by lower flicker noise in the output compared to architecture, shown in Fig. S1.1, b. This is achieved due to a more correct waveform of the output signal. Reduced flicker noise results in lower distortion of the output signal. Using these architectures swing of the output signal is doubled compared to supply voltage, thus it can be used for phase noise reduction (Molaei & Hajsadeghi, 2016).

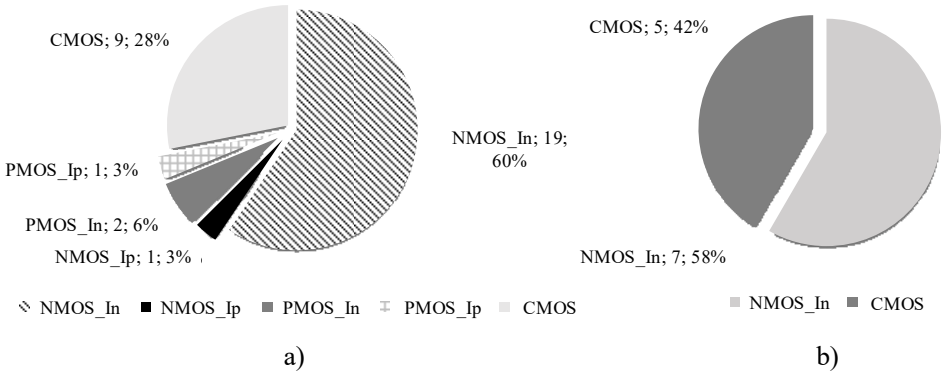
Basic architectures of P-channel metal oxide semiconductor (PMOS) LC VCO are presented in Fig. S1.1, b-c. In order to obtain the same operating frequency a PMOS-based

LC VCO core would require a transistor, which is twice the size compared to the one in an NMOS-based LC VCO core. This increases both the occupied chip area and the power consumption, but improves phase noise due to the lower flicker noise of the PMOS transistor in comparison to that of NMOS devices.

Hybrid NMOS and PMOS architectures are presented in Fig. S1.1, e. Such architectures consists of a PMOS transistor pair connected to the power supply, while an NMOS transistors pair is connected to the ground. This results in two pairs of transistors, allowing half the energy consumed by the same negative resistance. Swing of the output signal of this architecture is close to the supply voltage, so the generated signal is limited by the voltage supply, which depends on the technology of the integrated circuits. With a low output signal swing, the phase noise is getting worse and further signal processing becomes more complex.

LC-VCOs and LC-DCOs of various architectures are reviewed and their main parameters are compared. All the main parameters are collected and grouped from different articles, which are analising and presenting design of the LC-VCOs and LC-DCOs.

LC-VCOs and LC-DCOs according to the following criteria were selected. The LC-VCO and LC-DCO must be presented less than 10 years ago, must be published in a rewieved journal or in a reviewed conference proceedings. The designed LC-VCO or LC-DCO must have the results of post-layout simulations and/or practical measurement integrated circuit.




a) b)

**Fig. S1.2.** Distribution of $FOM_T$ quality function values in reviewed references of: a) LC voltage controlled oscillators, b) digitally controlled oscillators

The distribution of the architectures of the LC-VCOs in the reviewed sources is presented in Fig. S1.2, a. This figure shows that most of the LC-VCOs (60%) are designed using the CMOS In architecture. The best figure of merit $FOM_T$ results, achieved by the LC-VCOs of such architecture are: −200.35 dBc/Hz (Saeidi et al., 2010), −196.50 dBc / Hz (T. P. Wang & Wang, 2013). The second most common architecture is the CMOS and it is found in 28% of all reviewed sources. The best result of the figure of merit $FOM_T$,

achieved by using this architecture, is −200,28 dBc/Hz (Lou et al., 2011). The rest architectures of the LC-VCOs are found less in the reviewed sources frequently, they are taking between 3% and 6% of the reviewed publications.

The distribution of the architectures of the LC-DCO in the reviewed sources is presented in Fig. S1.2, b. This figure shows that most of the LC-DCOs (58%) are designed using the NMOP In architecture.

To evaluate the overall performance of the VCO, a figure-of-merit including the tuning range ($FOM_{\mathrm{T}}$) is used.

$$FOM_{\mathrm{T}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}}\right)\cdot\left(\frac{\Delta f}{\%}\right)\right) + 10\lg\left(\frac{P}{1\,\mathrm{mW}}\right), \tag{S1.1}$$

where $\mathcal{L}(f_{\mathrm{N}})$ is the phase noise at an offset frequency $f_{\mathrm{N}}$ from the carrier frequency, $f_0$ is the carrier frequency, $P$ is the power consumption in mW and $\Delta f$ is a percentage of the frequency tuning range. In this work all $FOM_{\mathrm{T}}$ values of VCOs and DCOs were recalculated by formula (S1.1)

The best figure of merit $FOM_{\mathrm{T}}$ results, achieved by the LC-DCOs of such architecture are: −200.01 dBc/Hz (Macera, 2018), −197.00 dBc/Hz (Babaie et al., 2015). The second most common architecture of LC-DCO is CMOS and is found in 42% of all reviewed sources.

Comparison of IC technology nodes used for design of LC-VCOs and LC-DCOs in the reviewed sources shows that LC-VCO are designed in submicron and nanometric technology nodes, while LC-DCO are mostly designed in nanometric technology nodes.

## 2. Research of LC voltage and digitally controlled oscillators

After comparative analysis of voltage and digitally controlled oscillators several important parameters were identified which are not assessed in the discussed figures of merit. As a result, new $FOM_{\mathrm{TT}}$ and $FOM_{\mathrm{T2}}$ figures of merit for these controlled frequency oscillators are proposed. These functions are applied for more detailed comparative analysis because they additionally evaluate the following parameters: technology node; supply voltage; the chip area and the production cost of the chip. The function $FOM_{\mathrm{TT}}$ is shown in this formula:

$$FOM_{\mathrm{TT}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}\cdot 10}\right)\cdot(\Delta f)\right) + 10\lg\left(\frac{P}{1\mathrm{mW}}\right) + 10\lg\left(\frac{hp\cdot U}{100\,\mathrm{nm}\cdot\mathrm{V}}\right), \tag{S2.1}$$

where $hp$ is the technology node and $U$ is supply voltage. According to the formula (S2.1), an overview is provided in the annexed publication (Macaitis & Navickas, 2017b).

The function $FOM_{\mathrm{T2}}$ is shown in Eq. (S2.2).

$$FOM_{\mathrm{T2}} = \mathcal{L}(f_N) - 20\lg\left(\left(\frac{f_0}{f_{\mathrm{N}}}\right)\cdot(\Delta f)\right) + 10\lg\left(\frac{P}{1\mathrm{mW}}\right) + 10\lg\left(\frac{S_{\mathrm{L}}\cdot K_{\mathrm{L}}}{\mathrm{mm}^2\cdot\mathrm{eur}}\right), \tag{S2.2}$$

where $S_{\mathrm{L}}$ is the oscillator's occupied area and $K_{\mathrm{L}}$ is the production cost of the chip.

The distribution of the values of the figures of metits $FOM_T$ and $FOM_{T2}$ of the LC-VCOs in the reviewed sources is presented in Fig. S2.1. From this figure, it can be seen that the addition the new parameters resulted in a decrease of the overall quality of the analyzed VCOs and distribution of the quality has changed. The values of the $FOM_T$ figure of merit of the LC-VCOs are in range from −155.54 dBc/Hz (Jeong et al., 2012) to −200.35 dBc/Hz (Saeidi et al., 2010). Meanwhile, the values of the $FOM_{T2}$ figure of merit of the reviewed VCOs range from −139.08 dBc/Hz (Su et al., 2011) to −172.77 dBc/Hz (Amer et al., 2016).

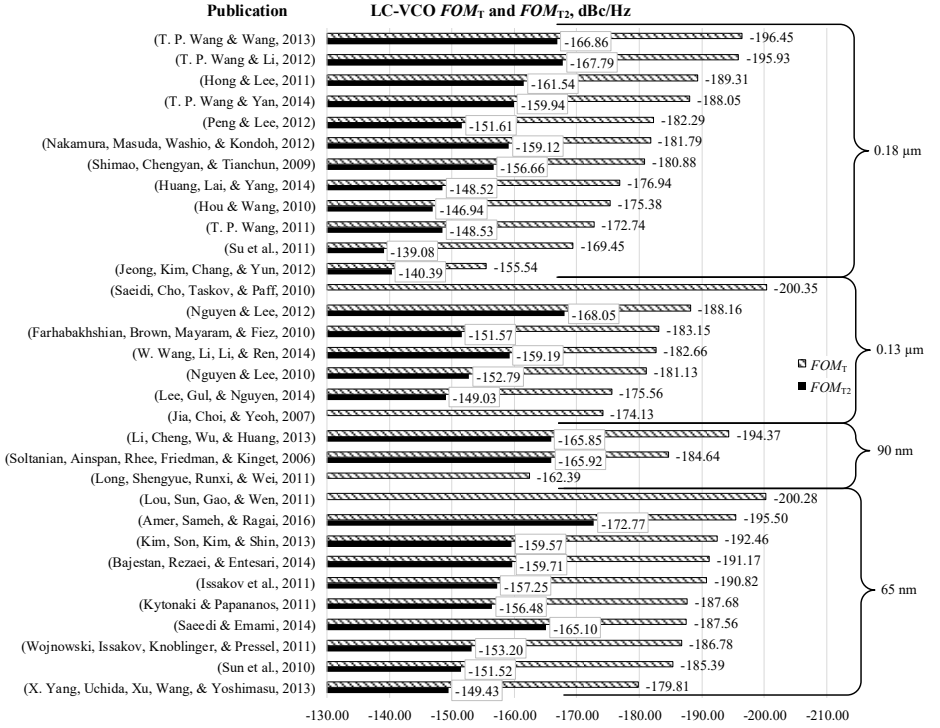



**Fig. S2.1.** Distribution of the values of the $FOM_T$ and $FOM_{T2}$ figures of merit of the reviewed LC voltage controlled oscillators

The values of the $FOM_T$ figure of merit of the reviewed LC-DCOs (Fig. S2.2) ranges from −200.01 dBc/Hz (Macera, 2018) to −175.38 dBc/Hz (Y. H. Liu et al., 2019). Meanwhile, the values of the $FOM_{T2}$ figure of merit of the reviewed LC-DCOs range from −172.34 dBc/Hz (Zhang & Otto, 2017) to −143.61 dBc/Hz (Y. H. Liu et al., 2019).

To prevent the electromagnetic field generated by the inductor from entering the adjacent IC blocks a guard ring is used (Aguilera & Berenguer, 2004). Research shows that the guard ring improves the quality of the inductor, but the exact indicator of the quality increase is not approximated by formulas (You & Huang, 2013). An increase in the quality of the inductor coil results in a higher overall quality of the LC tank, resulting in lower

phase noise. In order to evaluate the change of the quality of the inductor by changing the frequency and the distance to the guard ring $D_{GR}$, (S2.3) function is derived.

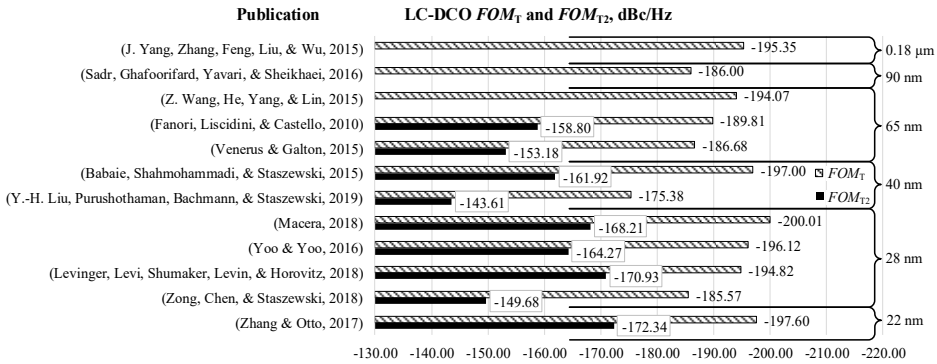



**Fig. S2.2.** Distribution of the values of the $FOM_T$ and $FOM_{T2}$ figures of merit of the reviewed LC digitally controlled oscillators

$$Q_{GR}(f) = Q_{min}(f) + \frac{Q_{max}(f) - Q_{min}(f)}{D_{GRmax}(f) - D_{GRmin}(f)} \cdot D_{GR} = Q_{min}(f) + \frac{\Delta Q(f)}{\Delta D_{GR}} \cdot D_{GR}, \quad \text{(S2.3)}$$

where $Q_{min}$ – the quality of inductor, when $D_{GR}$ is lowes $D_{GRmin}$ = 10 µm; $Q_{max}$ – the quality of the inductor, when $D_{GR}$ is highest $D_{GRmax}$ = 40 µm; $\Delta Q$ – the change of the quality of the inductor, approximated by the polynomial of fifth degree; $\Delta D_{GR}$ – difference between minimum and maximum distance of the $D_{GR}$ equal to 30 µm, $D_{GR}$ – the distance between the guard ring and the inductor at which quality is calculated.

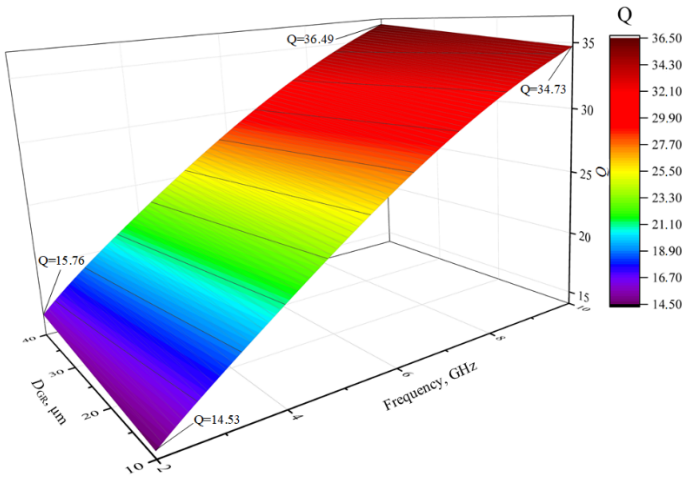



**Fig. S2.3.** Dependency of the quality of the 200 pH inductor on the distance between guard ring $D_{GR}$ and frequency $f$ in 65 nm IC technology

Approximated values of coefficients of the $\Delta Q$ polynomial in different IC technology nodes (40 nm, 65 nm, 0,18 µm) at 200 pH inductance were calculated. It should be noted that $Q_{min}$ quality using parameters of the physical inductor is calculated.

Quality $Q_{GR}$ of the 200 pH inductor with variable $D_{GR}$ distance (10 µm – 40 µm) and variable frequency (2 GHz – 10 GHz) using different IC technologies (40 nm, 65 nm, 0,18 µm) were calculated. The dependency of the quality $Q_{GR}$ of the 200 pH inductor coil on the distance between the guard ring and the frequency $f$ in 65 nm IC technology node is shown in Fig. S2.3.

It can be seen that at 2 GHz frequency when the distance $D_{GR}$ changes, the quality varies from 14.53 to 15.76 ($\Delta Q = 1.23$), while at 10 GHz quality varies from 34.73 to 36.49 ($\Delta Q = 1.76$) . Quality of the inducturs, which are designed in the 40 nm and 0.18 µm IC technologies, varies respectively from 10.21 to 10.84 ($\Delta Q = 0.63$) and from 9.79 to 10.45 ($\Delta Q = 0.66$) at 2 GHz frequency and from 29.73 to 30.93 ($\Delta Q = 1.72$) and from 17.80 to 21.95 ($\Delta Q = 4.15$) at 10 GHz frequency.

The quality of the inductor coil provided above shows that the highest qualityof the inductor $Q_{GR}$ at the highest frequencies is achieved in 65 nm technology when the $D_{GR}$ is the highest.

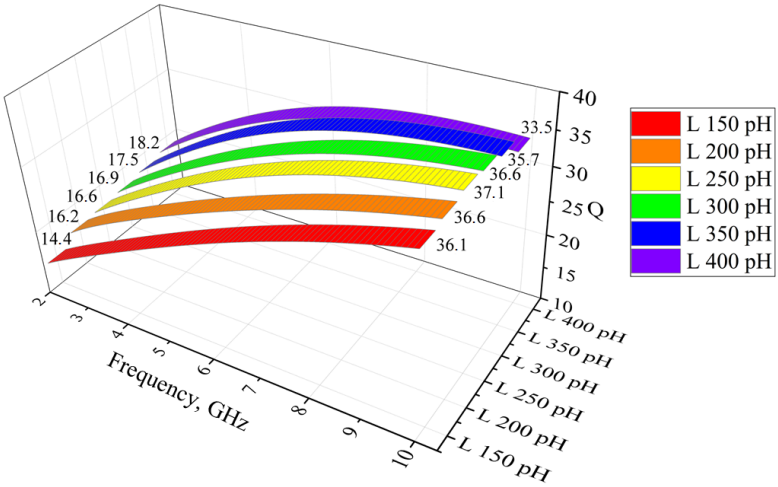



**Fig. S2.4.** Inductors quality dependence of different inductance at 65 nm IC technology

Dependency of the quality of the inductors on the inductance and frequency in 65 nm IC technology is shown in Fig. S2.4. This figure shows the quality of the 150 pH, 200 pH, 250 pH, 300 pH, 350 pH and 400 pH inductors at frequency between 2 GHz and 10 GHz, when the $D_{GR}$ is the highest (40 µm). At the lowest frequency (2 GHz), when the inductance of the inductors increases from 150 to 400 pH, Q increases from 14.4 to 18.2. At higher frequency (10 GHz) when inductance changes from 150 pH to 250 pH, increase of the quality from 36.1 to 37.1 is observed. But when the inductance rises further from 250 pH to 400 pH, quality decreases from 37.1 to 33.5. From these results it can be concluded that using 65 nm KMOP integrated circuit technology, the highest quality of the

inductor at 2 GHz frequency is 18.2, with an inductance of 400 pH, and at 10 GHz frequency the highest quality is 37.1 at 250 pH inductance.

## 3. Design and research of LC voltage and digitally controlled oscillators and additional blocks

In this chapter, LC multicore, wideband, low phase noise voltage and digitally controlled oscillators in 65 nm integrated circuit technology are designed, tested and compared. Also, LC singlecore, wideband, low phase noise voltage controlled oscillator in 0.18 µm technology and digitally controlled oscillator in 0.13 µm technology are designed, tested and compared. In total, four integrated circuits were designed and tested two of which are manufactured and measured. The operating frequency of the proposed LC-VCOs and LC-DCOs is from 2 GHz to 10 GHz.

It was decided to use NMOS In LC-VCO and LC-DCO architecture, where current source is connected to the ground due to the following requirements: reduce the occupied area but maintain a two times larger swing of the output signal, compared to the supply voltage (the signal generated by the LC DCO and VCO will be processed by other blocks).

10 GHz high Frequency LC-DCO design and research is presented below. The main goal of this work is to design a low power, low phase noise, wide tuning range, low area, and low-cost LC DCO and frequency divider IC for intelligent transportation systems ITS working on 5G network. The main difficulty is to get the required parameters and performance using 0.13 µm IC technology, since the main advantage of this IC technology is the low-cost of the ICs produced. The proposed LC DCO is designed for USA and Japan 5G frequency bands. The output signal frequency of the proposed LC DCO, divided by four and sixteen can be applied to the USA 5G network (2.5 LTE B24 and 600 MHz USA 5G bands), frequency of the output signal divided by two can be applied to the 4.4 GHz 4.9 GHz Japan 5G band.

The schematic of the proposed multicore LC-DCO is shown in Fig. S3.1. The proposed DCO consists of these main blocks: the highest available Q-factor inductor (L) (which is dependent on IC technology); switched capacitors block; varactors block; cross-coupled transistors (M1, M2) and the current control block. Inductor with switched capacitors block and varactors block forms an LC tank. Under real conditions, the generated signal in this circuit would be suppressed. To avoid this effect, the NMOS type M1 and M2 transistors are connected to the circuit. They create a negative resistance to eliminate losses in the LC tank, thus the circuit can generate constant fluctuations. The main difference from the LC-VCO is the elimination of the varactor block in the LC-DCO design. In the multicore LC-VCO and LC-DCO design three cores are used, this increases tuning range but reduces power consumption.

Frequency tuning is performed by coarse tuning of the effective capacitance of the switched capacitor block – the frequency is gradually changed by activating or deactivating arrays of a certain capacitance. In these designs, a 6-bit switched capacitor array is used, where each segment is controlled independently and can be toggled to reach the required capacity. All switches in the proposed LC-VCOs and LC-DCOs are implemented as NMOS transistors. Drain and source of the above mentioned NMOS transistors are shorted, this acts as one terminal of the capacitor and the gate acts as another terminal of the capacitor.

One of the important blocks of the proposed LC-VCO and LC-DCO is the current control block. This block is used for current regulation of the LC tank . The swing of the oscillator output signal varies, so this block is intended to optimize swing within the normal range. This block can adjust power consumption of the LC-VCO or LC-DCO to the optimum and has a current mirror or swithed resistors as the base element.

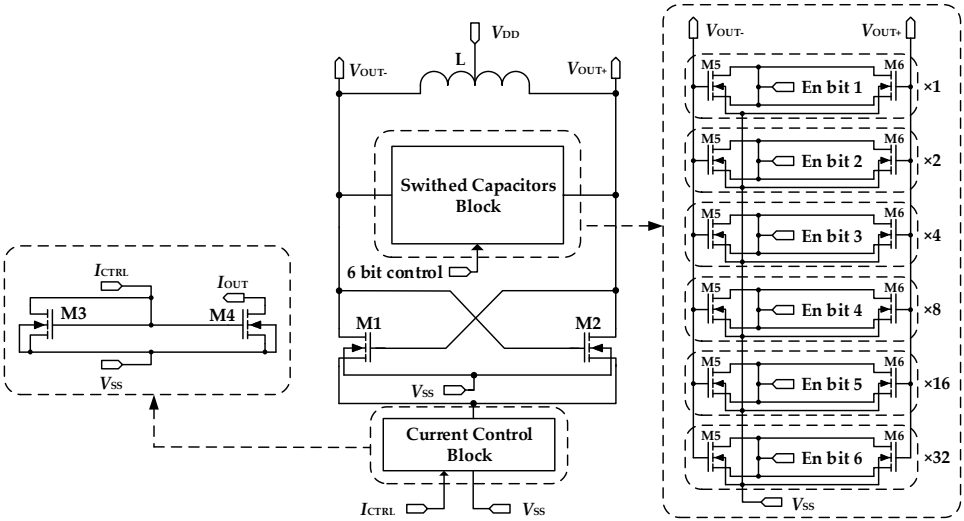



**Fig. S3.1.** Schematic of the proposed 10 GHz LC-DCO

To extend the spectrum of the generated frequencies and to improve the phase noise the frequency divider is used. In order to acheive high frequency operation with low power consumption, E-TSPC frequency divider is used (Nemitha & Pradeep Kumar, 2014).

Proposed LC-DCO and frequency divider were designed in 0.13 μm RF CMOS technology in Cadence IC. Simulations and measurements were performed in nominal conditions using 1.8 V supply voltage and 40 °C temperature. LC DCO achieves a wide tuning range from 10.07 GHz to 11.16 GHz when schematic was simulated, frequency varies from 9.54 GHz to 10.56 GHz when post layout was simulated and frequency varies from 9.25 GHz to 10.78 GHz when the chip was measured.

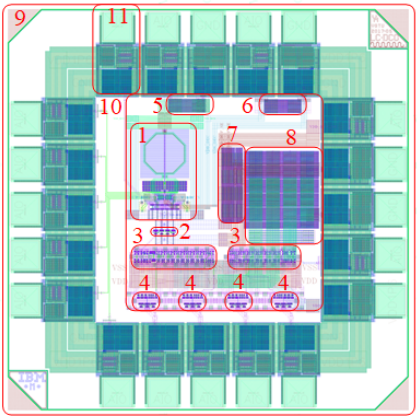
Measured phase noise at 1 MHz offset frequency from LC DCO lowest carrier frequency is −113.42dBc/Hz, phase noise at 1 MHz offset frequency from LC DCO highest carrier frequency is −110.51dBc/Hz. During post-layout simulations, the following phase noise was obtained: −114.79 dBc/Hz at 1 MHz offset from lowest LC DCO carrier frequency and −113.62 dBc/Hz at 1 MHz offset from highest LC DCO carrier frequency.

Measured average power consumption of the IC core of the proposed LC DCO is 10.02 mW, which is higher than during both schematic and post-layout simulations which are respectively equal to 8.73 mW and 9.15 mW. Measured average power consumption of the proposed E-TSPC divider IC is 97.52 mW which is higher than during both schematic and post-layout simulations which were respectively 90.05 mW and 93.21 mW. To

optimize power consumption, it is possible to limit current to optimum using the "Current control" block.

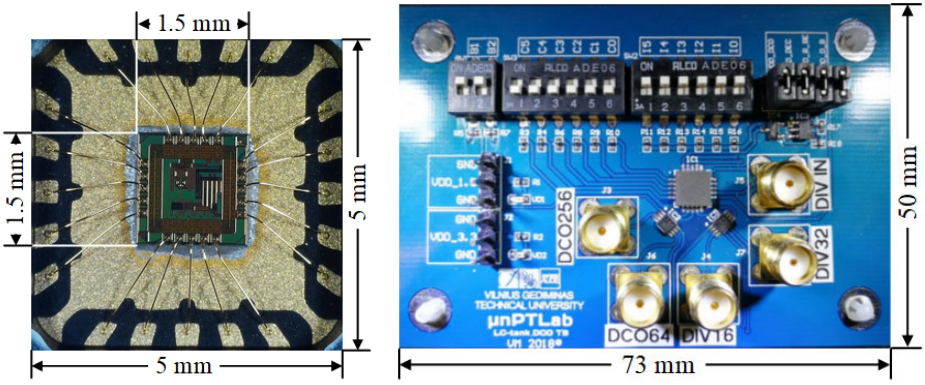
The value of the *FOM* and $FOM_T$ of the proposed LC DCO is –183.52 dBc/Hz and –187.20 dBc/Hz respectively. This result is achieved due to very low phase noise (–113.52dBc/Hz) and wide frequency tuning range (15.28%).

The layout of the proposed LC DCO with E-TSPC frequency divider is shown in Fig. S3.2. The total layout area with pads is 1.5 mm × 1.5 mm. The proposed LC DCO occupies the largest part of the layout, it's area is about 193 µm × 311 µm, the largest part of the LC DCO is taken by inductor L – 184 µm × 184 µm. The E-TSPC divider occupies 304 µm × 44 µm area of the chip. One pad occupies – 160 µm × 324 µm. Other dimensions presented in Fig. S3.2.




IC blocks dimensions:
1. DCO 193 x 311 µm (Inductor 184 x 184 µm).
2. DCO output buffer 84 x 20 µm.
3. Divider 304 x 44 µm.
4. Divider output buffer 80 x 51 µm.
5. DCO decoupling capacitors 141 x 53 µm.
6.DCO dec. decoupling capacitors 141 x 53µm.
7.Buff. s-e. decoupling capacitors 81 x 282 µm.
8. Divider decoupling capacitors 282 x 292 µm.
9. IC with pads 1.5 x 1.5 mm.
10. IC core 730 x 780 µm.
11. Pad 160 x 324 µm.

**Fig. S3.2.** Schematic of the proposed 10 GHz LC-DCO




a) b)

**Fig. S3.3.** LC DCO and frequency divider IC: a) in Quad Flat No-leads (QFN) with 20 pads package, b) in printed circuit test board

The LC DCO and frequency divider IC: In Quad Flat No-leads (QFN) with 20 pads package is presented in figure S3.3 a). The manufactured chip was packed into a QFN 20 pads package. The main benefits of this package over traditional Small Outline Integrated Circuit (SOIC), Shrink Small Outline Package (SSOP), Thin Shrink Small Outline Package (TSSOP) and Thin Very Small Outline Package (TVSOP) are as follows. The packages are physically smaller, this allows the chips to be used on small Printed Circuit Boards (PCBs), which reduces the cost and dimensions of the gadget. QFN package has a smaller area of the route this reduces the length of interconnections, which results in reduced parasitic impedances and capacities. Improved heat efficiency, in the case of high thermal conductivity, IC is better cooled. QFN packages have low inductance and capacitance, reduced electrical parasites allow higher frequencies, which is why this package is suitable for RF solutions(Mortan & Wright, 2004),(Xi et al., 2014).

IC of LC DCO and E-TSPC frequency divider on testing printed circuit board are presented in Fig. S3.3, b. The dimensions of the PCB test board are 73 × 50 mm. The PCB has two layers and is 1.6 mm thick, the dielectric layer is FR-4, fiberglass-reinforced epoxy-laminated material used in printed circuit board manufacturing. Hot Air Solder Leveling Finish (HASL) was used for PCB pads. Power supply pin headers are located on the right side of the PCB, IC control switches are placed on the top of the PCB. Input of the E-TSPC divider (DIV IN) and outputs (DIV32 and DIV16) oriented on the right side and bottom. Outputs of the presented LC DCO and E-TSPC divider (DCO64 and DCO 256) are oriented on the bottom and the left side. Designed LC DCO and E-TSPC divider IC (IC1) oriented on the center of the PCB, the output buffers (IC2 and IC5) oriented in the bottom of the IC1. SubMiniature version A (SMA) connectors are used for high frequency outputs and inputs (J3, J4, J5, J6, J7), these connectors have a 50 Ω impedance, SMA is designed for use from 0 Hz to 18 GHz („Frequency Range Chart for RF Connectors Amphenol RF“, 2018).

## General conclusions

1. From a comparative analysis of the key parameters and architectures of the LC-VCO and LC-DCO, it was determined that most often (61% and 58%) of LC-VCO and LC-DCO are designed based on the NMOP In architecture. It was also determined that the best results of figure of merit $FOM_{\mathrm{T}}$ were obtained by LC-VCO and LC-DCO designed on the basis of NMOP In architecture, respectively: −200.35 dBc/Hz (Saeidi et al., 2010) LC- VCO and −200.01 dBc/Hz (Macera, 2018) LC-DCO. It was determined that LC-VCOs are designed using submicron and nanometric technologies, while LC-DCOs are designed using nanometric technologies.

2. After comparative analysis of voltage and digitally controlled oscillators more important parameterswere identified that are not assessed in the discussed figures of merit. As a result, new $FOM_{\mathrm{TT}}$ and $FOM_{\mathrm{T2}}$ figures of merit for these controlled frequency oscillators are proposed. These functions are applied for more detailed comparative analysis because they additionally evaluate the following parameters: technology node; supply voltage; the chip area and the production cost of the chip.

3. The derived dependency of the quality of the inductor on the distance to the guard ring, at frequencies from 2 GHz to 10 GHz in different 40 nm, 65 nm and 0.18 μm CMOS integrated circuit technologies, evaluates the variation of the inductor’s quality and the

occupied area when distance to the guard ring is changed. It is determined that in the wide frequency range (2–10 GHz), the best quality (16,9–37,1) is of the inductors in the range from 200 pH to 300 pH in 65 nm technology. The highest increase of the area by increasing the distance to the guard ring ($D_{GR}$ = 10–40 μm) is in 40 nm technology (0.036 mm$^2$), the lowest – in 0.18 μm technology (0.025 mm2).

4. Low phase noise, wide tuning range, high frequency, multicore LC voltage and digitally controlled oscillators were designed using 65 nm IC technology. From the results of post-layout computer simulations , the following $FOM_T$, $FOM_{TT}$ and $FOM_{T2}$ values were calculated: LC-VCO – (−210.76 dBc/Hz), −210.08 dBc/Hz, −177.59 dBc/Hz; LC-DCO – (−2012.79 dBc/Hz), −212.11 dBc/Hz, −179.42 dBc/Hz.

5. Low phase noise, wide tuning range, high frequency, singlecore LC voltage and digitally controlled oscillators were designed using 0.18 μm and 0.18 μm IC technologies. From the measurement results of the integrated circuits the following $FOM_T$, $FOM_{TT}$ and $FOM_{T2}$ values were calculated: LC-VCO – (−165.16 dBc/Hz), −158.63 dBc/Hz, −144.35 dBc/Hz; LC-DCO – (−187.20 dBc/Hz), −183.34 dBc/Hz and −167.33 dBc/Hz.

6. After analyzing the results of the figures of merit it can be concluded that the best results were obtained by the LC-DCO, which was designed in the 65 nm technology. High quality is achieved due to the very wide frequency tuning range – 1.98–5.49 GHz, very low best phase noise −136.1 dBc/Hz at 1 MHz offset frequency from carrier frequency and low power consumption, equal to 83.24 mW. Low phase noise was achieved due to the selection of high quality inductors and the elimination of the varactor block. High frequency tuning range is achieved by using three cores. The area of the designed integrated circuit is only 0.978 × 0.561 mm$^2$.

# Priedai[3]

**A priedas.** Disertacijos autoriaus sąžiningumo deklaracija
**B priedas.** Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje
**C priedas.** Autoriaus mokslinių publikacijų disertacijos tema kopijos

[3] Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Vytautas MAČAITIS

NANOMETRINIŲ IR SUBMIKRONINIŲ INTEGRINIŲ GRANDYNŲ ĮTAMPA IR SKAITMENINIU BŪDU VALDOMIEMS GENERATORIAMS KŪRIMAS IR TYRIMAS

Daktaro disertacija

Technologijos mokslai,
elektros ir elektronikos inžinerija (T 001)

DESIGN AND INVESTIGATION OF NANOMETRIC AND SUBMICRON INTEGRATED CIRCUITS FOR VOLTAGE AND DIGITAL CONTROLLED OSCILLATORS

Doctoral Dissertation

Technological Sciences,
Electrical and Electronic Engineering (T 001)

2019 10 07. 12,0 sp. l. Tiražas 20 egz.
Vilniaus Gedimino technikos universiteto
leidykla „Technika“,
Saulėtekio al. 11, 10223 Vilnius,
*http://leidykla.vgtu.lt*
Spausdino UAB „BMK leidykla“,
A. Mickevičiaus g. 5, LT-08119 Vilnius