VILNIAUS GEDIMINO TECHNIKOS UNIVERSITETAS

Karolis KIELA

INTEGRINIŲ ANALOGINIŲ FILTRŲ BELAIDŽIO RYŠIO SISTEMOMS KŪRIMAS

DAKTARO DISERTACIJA

TECHNOLOGIJOS MOKSLAI,
ELEKTROS IR ELEKTRONIKOS INŽINERIJA (01T)

VGTU
LEIDYKLA
Vilnius TECHNIKA 2017

Disertacija rengta 2012–2017 metais Vilniaus Gedimino technikos universitete.

Vadovas

prof. habil. dr. Romualdas NAVICKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T).

Vilniaus Gedimino technikos universiteto elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo taryba:

Pirmininkas

prof. dr. Dalius NAVAKAUSKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T).

Nariai:

dr. Ali DZIRI (Nacionalinė menų ir amatų konservatorija, Prancūzija, elektros ir elektronikos inžinerija – 01T),
prof. habil. dr. Romanas MARTAVIČIUS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T),
prof. dr. Šarūnas PAULIKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T),
prof. dr. Algimantas VALINEVIČIUS (Kauno technologijos universitetas, elektros ir elektronikos inžinerija – 01T).

Disertacija bus ginama viešame Elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo tarybos posėdyje **2017 m. kovo 10 d. 9 val.** Vilniaus Gedimino technikos universiteto senato posėdžių salėje.

Adresas: Saulėtekio al. 11, LT-10223 Vilnius, Lietuva.
Tel.: (8 5) 274 4956; faksas (8 5) 270 0112; el. paštas doktor@vgtu.lt

Pranešimai apie numatomą ginti disertaciją išsiųsti 2017 m. vasario 9 d.

Disertaciją galima peržiūrėti VGTU talpykloje http://dspace.vgtu.lt/, Vilniaus Gedimino technikos universiteto bibliotekoje (Saulėtekio al. 14, LT-10223 Vilnius, Lietuva) ir Valstybinio mokslinių tyrimų instituto Fizinių ir technologijos mokslų centro bibliotekoje (Savanorių pr. 231, LT-02300 Vilnius, Lietuva).

VGTU leidyklos TECHNIKA 2017-007-M mokslo literatūros knyga
http://leidykla.vgtu.lt

ISBN 978-609-476-005-1
© VGTU leidykla TECHNIKA, 2017
© Karolis Kiela, 2017
karolis.kiela@vgtu.lt

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY

Karolis KIELA

DESIGN OF INTEGRATED ANALOG FILTERS FOR WIRELESS COMMUNICATION SYSTEMS

DOCTORAL DISSERTATION

TECHNOLOGICAL SCIENCES,
ELECTRICAL AND ELECTRONIC ENGINEERING (01T)

VGTU
LEIDYKLA
Vilnius TECHNIKA 2017

Doctoral dissertation was prepared at Vilnius Gediminas Technical University in 2012–2017.

Supervisor

Prof. Dr Habil. Romualdas NAVICKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T).

The Dissertation Defense Council of Scientific Field of Electrical and Electronic Engineering of Vilnius Gediminas Technical University:

Chairman

Prof. Dr Dalius NAVAKAUSKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T).

Members:

Dr Ali DZIRI (National Conservatory of Arts and Crafts, France, Electrical and Electronic Engineering – 01T),
Prof. Dr Habil. Romanas MARTAVIČIUS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T),
Prof. Dr Šarūnas PAULIKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T),
Prof. Dr Algimantas VALINEVIČIUS (Kaunas University of Technology, Electrical and Electronic Engineering – 01T).

The dissertation will be defended at the public meeting of the Dissertation Defense Council of Electrical and Electronic Engineering in the Senate Hall of Vilnius Gediminas Technical University at **9 a. m. on 10 March 2017**.

Address: Saulėtekio al. 11, LT-10223 Vilnius, Lithuania.

Tel.: +370 5 274 4956; fax +370 5 270 0112; e-mail: doktor@vgtu.lt

A notification on the intend defending of the dissertation was send on 9 February 2017.

A copy of the doctoral dissertation is available for review at the VGTU repository http://dspace.vgtu.lt/ and at the Library of Vilnius Gediminas Technical University (Saulėtekio al. 14, LT-10223 Vilnius, Lithuania) and State research institute Center for Physical Sciences and Technology (Savanorių pr. 231, LT-02300 Vilnius, Lithuania).

Reziumė

Disertacijoje nagrinėjami konfigūruojami analoginiai filtrai su savaiminio derinimo grandynais, jų projektavimo ir įgyvendinimo būdai, kurie pritaikomi integrinių grandynų gamybos technologijoms. Iškeliama ir įrodoma hipotezė, teigianti, kad savaiminio derinimo grandynų taikymas įgalina gauti integrinių analoginių aktyviųjų rezistorių kondensatorių (RC) filtrų parametrus reikalaujamu tikslumu. Darbo tikslas – sukurti savaiminio derinimo grandynus, skirtus konfigūruojamų integrinių analoginių aktyviųjų RC filtrų parametrų gavybai reikalaujamu tikslumu. Darbe išspręsti uždaviniai: ištirtos integrinių analoginių aktyviųjų RC filtrų struktūros ir sukurti jų derinimo grandynų modeliai, pasiūlytas integrinių analoginių aktyviųjų RC filtrų derinimo matricų projektavimo būdas, sukurtas ir ištirtas konfigūruojamas integrinis analoginis aktyvusis RC filtras su diskrečiu ir tolydžiu savaiminio derinimo grandynais.

Disertaciją sudaro įvadas, trys skyriai, bendrosios išvados, naudotos literatūros ir autoriaus publikacijų disertacijos tema sąrašai ir penki priedai.

Įvadiniame skyriuje aptariama tiriamoji problema, darbo aktualumas, aprašomas tyrimų objektas, formuluojamas darbo tikslas bei uždaviniai, aprašoma tyrimų metodika, darbo mokslinis naujumas, darbo rezultatų praktinė reikšmė, ginamieji teiginiai, disertacijos struktūra.

Pirmame skyriuje apžvelgiamos integrinių analoginių filtrų struktūros, pagrindiniai parametrai bei įvardijamos parametrų verčių svyravimo priežastys, analizuojamos savaiminio derinimosi grandynų struktūros ir jų veikimo principai. Skyriaus pabaigoje, remiantis atlikta analize ir sudarytomis išvadomis suformuluojami disertacijos uždaviniai.

Antrajame skyriuje sudaroma konfigūruojamo integrinio analoginio filtro struktūra, skirta programine įranga valdomam radijui, sudaromi diskretaus ir tolydaus derinimo matricų modeliai, juos sudarančių elementų verčių parinkimo algoritmai, atliekami modelių ir algoritmų kompiuteriniai skaičiavimai.

Trečiajame skyriuje, pasinaudojus sukurtais modeliais ir algoritmais, suprojektuojamas filtras su diskrečiu ir tolydžių savaiminio derinimo grandynais, naudojant eksperimentinius ir kompiuterinius skaičiavimo metodus atliekamas suprojektuotų diskrečiai ir tolydžiai valdomų integrinių analoginių RC filtrų parametrų bei jų savaiminio derinimo grandynų tyrimas.

Disertacijos tema yra atspausdinti 7 moksliniai straipsniai: du – mokslo žurnaluose, įtrauktuose į Thomson Reuters Web of Science duomenų bazę, vienas – tarptautinių konferencijų medžiagoje, įtrauktoje į Thomson Reuters Proceedings duomenų bazę, keturi – mokslo žurnaluose, referuojamose kitose tarptautinėse duomenų bazėse. Disertacijoje atliktų tyrimų rezultatai buvo pristatyti septyniose mokslinėse konferencijose Lietuvoje ir užsienyje.

Abstract

In this dissertation, the design of configurable analog filters with self-tuning circuits and their implementation methods, adapted for manufacturing process of integrated circuits are examined. The following hypothesis is proved – use of self-tuning circuits allows achieving parameters of integrated analog active RC filters with needed accuracy. Goal of the thesis – create new methods for design of configurable integrated analog active resistor capacitor (RC) filters with paramaters that achieve required precision. The work approaches the following tasks: analyze structures of analog active RC filters and create models of their self-carlibration circuits; create and examine design method of resistors' arrays of integrated analog active RC filters, which compensates manufacturing variations and environmental impact; create and examine integrated analog active RC filters, which employ discrete and continuous self-tuning circuits.

The dissertation consists of introduction, three chapters, general conclusions, list of references, author‘s publications on the subject of dissertation, summary in English and 5 annexes.

The introduction reveals the investigated problem, importance of the thesis and the object of research and describes the purpose and tasks of the dissertation, research methodology, scientific novelty, and the practical significance of results examined in the paper and defended statements.

Chapter 1 reviews continuous-time analog filter structures, their main parameters along with issues regarding their variation in integrated circuits, tuning methods, self-tuning circuits and their types, principles of operation. At the end of the chapter, conclusions and the tasks for the dissertation are drawn.

Chapter 2 describes the proposed reconfigurable filter structure for software-defined radios, along with models of tuning circuits with discrete and continiuous tune steps. The presented models and algorithms are evaluated using computer modelling.

Chapter 3 presents the simulations results of the reconfigurable continuous-time filter structure that uses both discrete and proposed continuous parameter tuning structure along with their self-tuning circuits.

Seven articles are published on the subject of dissertation: two – in scientific journals included in Thomson Reuters Web of Science database, one – in international conference publications which are assessed by Thomson Reuters database Proceedings, four – in scientific journal listed in other international databases. 7 presentations on the subject have been given in conferences at national and international level. Seven presentations on the subject have been given in conferences at national and international level.

Žymėjimai

Simboliai

A – uždaros grandinės stiprinimas
A_0 – atviros grandinės stiprinimas
AF – mirgėjimo triukšmo eksponentė
afn – rezistoriaus mirgėjimo triukšmo modelio parametras
bfn – rezistoriaus mirgėjimo triukšmo modelio parametras
C_{oks} – tranzistoriaus užtūros oksido talpa
DnD – dinaminis diapazonas
EF – mirgėjimo triukšmo dažnio eksponentė
f_0 – savasis dažnis
f_{k} – praleidžiamų dažnių juosta
i – srovės triukšmo vidutinė kvadratinė vertė
i^2 – srovės triukšmo energetinio spektro tankis
k_{B} – Bolcmano konstanta
KF – mirgėjimo triukšmo koeficientas
$K_{\mathrm{FN}}(T)$ – rezistoriaus mirgėjimo triukšmo modelio parametras
L – tranzistoriaus kanalo arba rezistoriaus ilgis
L_{eff} – tranzistoriaus kanalo efektyvusis ilgis

$L_{valdymas}[n{:}0]$ – n skilčių diskretus lygiagrečiai jungtos rezistorių matricos valdymo signalas

MAS – minimalus aptinkamas signalas

$N_{valdymas}[n{:}0]$ – n skilčių diskretus nuosekliai jungtos rezistorių matricos valdymo signalas

P – vartojamoji galia

P_{IP} – pirminio signalo įėjimo galia

P_{O2} – antros eilės abipusio moduliavimo komponentės galia

P_{O3} – trečios eilės abipusio moduliavimo komponentės galia

P_{OP} – pirminio signalo galia išėjime

Q – kokybės faktorius

R_{0M} – MOP tranzistoriaus kanalo varža

STS – signalas-triukšmas santykis

T – signalo periodas

$t_{derinimo}$ – laikas, per kurį surandama galutinė savaiminio derinimo grandyno valdymo signalo vertė

TF – triukšmo faktorius

U_{atr} – atraminė įtampa

U_{in} – įtampa grandinės įėjime

U_{out} – įtampa grandinės įėjime

U_{SI} – įtampa tarp santakos-ištakos kontaktų

U_{sl} – tranzistoriaus slenkstinė įtampa

U_{UI} – įtampa tarp užtūros-ištakos kontaktų

U_{vald} – tranzistoriaus valdymo įtampa

U_{VDD} – maitinimo įtampa

$v^2_{šiluminis}$ – šiluminio triukšmo energetinio spektro tanki

S^{Y}_{x} – reliatyvus jautris

$|H(j\omega)|$ – perdavimo funkcijos amplitudės priklausomybė

μ_n – elektronų judris

v – įtampos triukšmo vidutinė kvadratinė vertė

v^2 – įtampos triukšmo energetinio spektro tankis

W – tranzistoriaus kanalo arba reszistoriaus plotis

Z – efektyvi varža

δ – didžiausi leistini raibulai praleidžiamų dažnių juostoje

$\Delta\omega$ – filtro derinimo ruožas

ζ – slopinimo santykis

σ – kvadratinis nuokrypis

τ_g – grupinis vėlinimas

$\phi(\omega)$ – perdavimo funkcijos dažnio priklausomybė

$\varphi_{žingsnis}$ – maksimali derinimo grandyno žingsnio vertė visame derinimo diapazone

Santrumpos

ADF – aukštųjų dažnių filtras

ASK – analoginis-skaitmeninis keitiklis

BiF – bikvadratinis filtras

DACh – dažninė amplitudės charakteristika

DDBS – dinaminis diapazonas be šalutinių signalų

DDJ – draudžiamųjų dažnių juosta

DDJF – draudžiamųjų dažnių juostinis filtras

DGR – daugelio grįžtamų ryšių filtrai

DIDI – daugelio įėjimų ir išėjimų sistema

DKF – diskrečiai konfigūruojamas kanalų juostos išrinkimo filtras

DSI – daugiastandartis siųstuvas-imtuvas

DTT2 – draudžiamųjų dažnių juostoje esančių signalų antros eilės tiesiškumo taškas

DTT3 – draudžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taškas

GT1dB – 1 dB glaudinimo taškas

ID-MOP – derinimo struktūra su impedanso daugintuvais

IG – integrinis grandynas

IJTT3 – įėjimo atžvilgiu išreikštas praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taškas

IVT – įtampa valdomas tranzistorius

IVTGR – įtampa valdomas tranzistorius su grįžtamuoju ryšiu

JTT2 – praleidžiamųjų dažnių juostoje esančių signalų antros eilės tiesiškumo taškas

JTT3 – praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taškas

KAM – kvadratūrinė amplitudės moduliacija

KF – kokybės faktorius

KJIF – kanalų juostos išrinkimo filtras

KMOP – komplimentarus metalas oksidas puslaidininkis

KVA – klaidos vektoriaus amplitudė

LDD – labai dideli dažniai

LRM – lygiagrečiai sujungtų rezistorių matrica

MAS – minimalus aptinkamas signalas

MFB – daugelio grįžtamųjų ryšių filtro struktūra

MOP – metalas oksidas puslaidininkis

NLRM – nuosekliai ir lygiagrečiai sujungtų rezistorių matrica

NRM – nuosekliai sujungtų rezistorių matrica

Nuoseklus TAGR – tolydžiai valdoma derinimo struktūra su aktyviuoju grįžtamuoju ryšiu, kada įtampa valdomas tranzistorius jungiamas nuosekliai į signalo kelią

OJTT3– išėjimo atžvilgiu išreikštas praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taškas

OPLS – operacinis pereigos laidžio stiprintuvas

OS – operacinis stiprintuvas

PDJ – praleidžiamųjų dažnių juosta

PDJF – praleidžiamųjų dažnių juostinis filtras

PIVR – programine įranga valdomas radijas

RC – grandynas iš rezistorių kondensatorių

RIR – ribotos impulsinės reakcijos

SAD – super aukšti dažniai

SAK – skaitmeninis-analoginis keitiklis

SFG – signalų formavimo grandinė

SK-MOP – derinimo struktūra su sukryžiuotais MOP tranzistoriais

SSP – skaitmeninis signalų procesorius

STS – signalas-triukšmas santykis

ŠGR – šokinėjančių grįžtamų ryšių

TAGR – tolydžiai valdoma derinimo struktūra su aktyviuoju grįžtamuoju ryšiu

TAGR1 – tolydžiai valdoma derinimo struktūra su aktyviuoju grįžtamuoju ryšiu ir vienu aktyviuoju elementu

TAGR2 – tolydžiai valdoma derinimo struktūra su aktyviuoju grįžtamuoju ryšiu ir dviem aktyviaisiais elementais

TF – triukšmo faktorius

TKF – tolydžiai konfigūruojamas kanalų juostos išrinkimo filtras

UAD – ultra aukšti dažniai

VIVI – vieno įėjimo ir išėjimo sistema

VPF – viską praleidžiantis filtras

ŽDF – žemųjų dažnių filtras

Turinys

ĮVADAS 1
Problemos formulavimas 1
Darbo aktualumas 2
Tyrimo objektas 3
Darbo tikslas 3
Darbo uždaviniai 3
Tyrimų metodika 4
Darbo mokslinis naujumas 4
Darbo rezultatų praktinė reikšmė 4
Ginamieji teiginiai 5
Darbo rezultatų aprobavimas 6
Disertacijos struktūra 7
Padėka 7

1. INTEGRINIŲ ANALOGINIŲ FILTRŲ IR JŲ SAVAIMINIO DERINIMO BŪDŲ ANALIZĖ 9
1.1. Integriniai analoginiai filtrai moderniuose siųstuvuose-imtuvuose 9
1.1.1. Siųstuvų-imtuvų architektūros 12
1.1.2. Integrinių analoginių filtrų struktūrų analizė 18
1.2. Integrinių analoginių filtrų pagrindiniai parametrai 29
1.3. Integrinių analoginių filtrų derinimas 37
1.3.1. Derinimo būdai 37
1.3.2. Savaiminio derinimo grandynai 43
1.4. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas 49

2. INTEGRINIŲ ANALOGINIŲ FILTRŲ IR JŲ SAVAIMINIO DERINIMO GRANDYNŲ MODELIŲ KŪRIMAS IR TYRIMAS 51
2.1. Konfigūruojamos integrinio analoginio filtro struktūros tyrimas 52
2.1.1. Integrinių analoginių filtrų nuokrypių tyrimas 53
2.1.2. Konfigūruojamos integrinio analoginio filtro struktūros kūrimas 59
2.2. Integrinių analoginių filtrų derinimo matricos modelio kūrimas 72
2.2.1. Diskrečiai valdomų elementų matricos modelis 73
2.2.2. Tolydžiai valdomų elementų matricos modelis 77
2.3. Integrinių analoginių filtrų derinimo grandyno kūrimas 86
2.3.1. Diskrečiai valdomų integrinių analoginių filtrų derinimas 87
2.3.2. Tolydžiai valdomų integrinių analoginių filtrų derinimas 91
2.4. Antrojo skyriaus išvados 93

3. INTEGRINIŲ ANALOGINIŲ FILTRŲ SU DISKREČIU IR TOLYDŽIU DERINIMO GRANDYNAIS PROJEKTAVIMAS IR TYRIMAS 95
3.1. Integrinių analoginių filtrų struktūrų projektavimas.....96
3.1.1. Konfigūruojamų analoginių filtrų projektavimas 96
3.1.2. Operacinio stiprintuvo projektavimas..... 98
3.1.3. Derinimo matricų projektavimas 104
3.2. Diskrečiai valdomo integrinio analoginio filtro struktūros tyrimai 113
3.2.1. Integrinio analoginio filtro parametrų tyrimas..... 113
3.2.2. Integrinio analoginio filtro savaiminio derinimo grandyno kompiuterinis modeliavimas 119
3.3. Tolydžiai valdomo integrinio analoginio filtro struktūros tyrimai 124
3.3.1. Integrinio analoginio filtro parametrų tyrimas..... 124
3.3.2. Integrinio analoginio filtro savaiminio derinimo grandyno eksperimentinis tyrimas..... 134
3.4. Integrinio analoginio filtro lusto eksperimentiniai tyrimai 138
3.5. Trečiojo skyriaus išvados 144

BENDROSIOS IŠVADOS 147

LITERATŪRA IR ŠALTINIAI..... 149

AUTORIAUS MOKSLINIŲ PUBLIKACIJŲ DISERTACIJOS TEMA SĄRAŠAS ... 159

SUMMARY IN ENGLISH..... 161

PRIEDAI[1] 177
A priedas. Suprojektuotų struktūrų topologijos.....179
B priedas. Papildomi kompiuterinio modeliavimo rezultatai 182
C priedas. Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje.....189
D priedas. Disertacijos autoriaus sąžiningumo deklaracija 193
E priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos 194

[1] Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Contents

INTRODUCTION 1
Problem formulation 1
Relevance of the thesis 2
The object of the research 3
The aim of the thesis 3
The objectives of the thesis 3
Research methodology 4
Scientific novelty of the thesis 4
Practival value of the research findings 4
The defended statements 5
Aproval of the research findings 6
Structure of the dissertation 7
Acknowledgements 7

1. ANALYSIS OF INTEGRATED CONTINUOUS-TIME ANALOG FILTERS AND THEIR TUNING CIRCUITS 9
1.1. Integrated continuous-time analog filter in modern transceivers 9
1.1.1. Transceiver architectures 12
1.1.2. Continuous-time analog filter structures 18
1.2. Main parameters of continuous-time integrated analog filters 29
1.3. Tuning of integrated continuous-time analog filters 37
1.3.1. Tuning methods 37
1.3.2. Self-tuning circuits 43
1.4. Conclusions of the 1st chapter and formulation of the thesis objectives 49

2. DEVELOPEMENT AND INVESTIGATION OF MODELS FOR INTEGRATED CONTINUOUS-TIME ANALOG FILTERS AND THEIR TUNING CIRCUITS ... 51
2.1. Reconfigurable integrated continuous-time filter structure analysis 52
2.1.1. Integrated analog filter parameter deviations 53
2.1.2. Design of a reconfigurable integrated analog filter structure 59
2.2. Design of integrated analog filter tuning bank model 72
2.2.1. Discrete control tuning bank model.... 73
2.2.2. Continiuous tuning band model.... 77
2.3. Design of integrated analog filter auto-tuning circuits 86
2.3.1. Discrete step auto-tuning circuit.... 87
2.3.2. Continuous step auto-tuning method.... 91
2.4. Conclusions of the 2nd chapter 93

3. DESIGN AND INVESTIGATION OF INTEGRATED CONTINUOUS-TIME ANALOG FILTERS WITH DISCRETE AND CONTINUOUS SELF-TUNING CIRCUITS 95
3.1. Design of the continuous-time filter....96
3.1.1. Reconfigurable analog filter design.... 96
3.1.2. Operational amplifier design 98
3.1.3. Disscrete and continuous tuning structure design.... 104
3.2. Research on the discretely controled continuous-time analog filter....113
3.2.1. Simulation results of filter parameters.... 113
3.2.2. Simulation results for the proposed auto-tuning circuit.... 119
3.3. Research on the continuouslų tunable continuous-time analog filter 124
3.3.1. Simulation results of filter parameters.... 124
3.3.2. Experimental results for the proposed auto-tuning circuit.... 134
3.4. Experimental results of manufactured integrated analog filter....138
3.5. Conclusions of the 3rd chapter 144

GENERAL CONCLUSIONS 147

REFERENCES 149

AUTHOR'S LIST OF PUBLICATIONS ON THE TOPIC OF THE DISSERTATION159

SUMMARY IN ENGLISH.... 161

ANNEXES[2] 177
Annex A. Topologies of the design structures 179
Annex B. Additional simulation and measurement results....182
Annex C. Co-author agreements to present publications material in the doctoral dissertation....189
Annex D. Author declaration of dissertation work integrity 193
Annex E. Copies of scientific publications by the author on the topic of the disertation 194

[2] The annexes are supplied in the enclosed compact disc.

Įvadas

Problemos formulavimas

Pastovus telekomunikacijų rinkos augimas ir vystymasis nustatė naujus reikalavimus radijo ryšio įtaisams. Vienas iš pagrindinių reikalavimų – nauja įranga turi turėti galimybę būti lengvai, greitai ir pigiai atnaujinama, kad atitiktų ir palaikytų naujas ar dar tik besivystančias technologijas. Viena iš plačiai vystomų technologijų yra programine įranga valdomas radijas. Šios technologijos pagrindinė idėja – platus skirtingų fizinio lygmens funkcijų palaikymas gali būti įgyvendintas panaudojant tą pačią įrangą. Šiuo atveju, skirtingas fizinio lygmens funkcijų palaikymas yra nustatomas ir valdomas naudojant programinę įrangą.

Pagrindinė programine įranga valdomo radijo sprendžiama užduotis – suprojektuoti įrangą, kuri gali siųsti ir priimti duomenis plačiame dažnių ruože. Už šios techninės problemos slypi ir ne mažiau svarbi ekonominė problema – suprojektuota įranga turi turėti konkurencingą kainą ir patekimo į rinką laiką, kuris neatsilieka nuo telekomunikacijų rinkos standartų. Konkurencinga kaina pasiekiama mažinant atskirų elementų kiekį, reikalingą įgyvendinti programine įranga valdomo radijo įrangai – didinant integracijos laipsnį. Integracijos laipsnis didinamas apjungiant skirtingus įrangos elementus į vieną lustą panaudojant sparčiai besivystančias puslaidininkių integrines gamybos technologijas. Patekimo į rinką laikas mažinamas projektuojant lanksčios

architektūros įtaisus, kuriuos galima panaudoti esamiems ir būsimiems telekomunikacijų rinkos standartams.

Vienas iš svarbiausių programine įranga valdomo radijo grandynų yra integrinis analoginis aktyvusis RC filtras, kurio praleidžiamų dažnių juosta, aproksimacija ir (arba) filtro eilė turi būti valdomi. Tokie filtrai atlieka duomenų kanalo išrinkimo, triukšmo ir nepageidaujamų signalų slopinimo funkcijas. Jų parametrai gali kisti dėl integrinių grandynų gamybos procesų netolydumo, aplinkos temperatūros ir senėjimo, dėl ko būtina numatyti papildomus grandynus, kurie kompensuotų tokius pokyčius.

Dėl šios priežasties, disertacijoje nagrinėjama problema yra integrinių analoginių aktyviųjų RC filtrų grandynų savaiminis derinimas. Iš problemos iškeliama ir įrodoma darbinė hipotezė, teigianti, kad savaiminio derinimo grandynų taikymas įgalina gauti integrinių analoginių aktyviųjų RC filtrų parametrus reikalaujamu tikslumu.

Darbo aktualumas

Inovatyvių elektronikos įtaisų ir elektroninių paslaugų pažanga buvo pasiekta dėl sparčiai besivystančios nanoelektronikos pramonės (ENIAC 2013). Nanoelektronikos pažangos strateginės kryptys, vizijos ir planai Europoje yra koordinuojami nanoelektronikos Europos technologijos platformos ENIAC (angl. *European Nanoelectronics Initiative Advisory Council*) ir CARTENA (angl. *Cluster for Application and Technology Research in Europe on NanoElectronics*). Su nanoleketronikos sritimi susietų tyrimų ir projektavimo centrų yra ir Lietuvoje. Šiuo metu Vilniuje duris jau atvėrė Nacionalinių fizinių ir technologijos mokslų centras, kuriame įsikūrusi Mikro ir nanoelektroninių sistemų projektavimo ir tyrimo laboratorija.

Analoginių integrinių grandynų sudėtingėjimas tampa viena iš didžiausių kliūčių projektuojant nanoelektronines vienlustes ar korpusuotas sistemas. Vienos iš sudėtingiausių vienlusčių sistemų yra daugiastandarčiai siųstuvai-imtuvai, kuriuose kartu integruojami tiek analoginiai tiek skaitmeniniai blokai. Daugiastandarčiai siųstuvai-imtuvai naudojami moderniuose belaidžio ryšio priėmimo-perdavimo stotyse kurios geba dirbti su keliais belaidžio ryšio standartais, tokiais kaip LTE, GSM, GPS, WCDMA, Wi-Fi, WiMax, Bluetooth ir kitais. Pastaruoju metu, daugiastandarčai siųstuvai-imtuvai susilaukė daug dėmesio dėl galimybės juos panaudoti programine įranga valdomame radijuje. Belaidžio ryšio operatoriai vis dažniau diegia programine įranga valdomo radijo technologiją belaidžio ryšio priėmimo-perdavimo stotyse, nors ji dar neseniai buvo laikyta per brangia ir sudėtinga kad būtų plačiai panaudojama. 2016 metais, didžiausias Anglijos 4G operatorius įsitraukė į atviros prieigos

programine įranga valdomo radijo diegimą Didžiojoje Britanijoje ir jos universitetuose. Šiuo žingsniu tikimasi padidinti mobiliojo ryšio skvarbą sunkiai pasiekiamuose regionuose (pvz.: Škotijos kalnuose) ir paspartinti naujų standartų, tokių kaip 5G, vystymasi ir diegimą (Anon 2016).

Augant belaidžio ryšio standartų skaičiui, kinta reikalavimai ir analoginiams RC filtrams. Didėjant eterio dažnių juostos užimtumui, siunčiami duomenų kanalai artinami arčiau vienas kito dažnio srityje, jų užimamos dažnių juostos plotis gali būti keičiamas priklausomai nuo poreikių. Dėl šio priežasties, daugiastandarčių siųstuvų-imtuvuose esančių analoginių RC filtrų parametrai turi būti konfigūruojami ir tiksliai valdomi. Tokių vienlusčių sistemų taikymas šiuolaikinėse belaidžio ryšio priėmimo-perdavimo stotyse sumažiną jų kainą, spartina naujų belaidžio ryšio technologijų diegimą besivystančiose šalyse ar naujai kuriamuose tinkluose ir taip pat suteikia galimybę dirbti su esamais ir būsimais belaidžio ryšio standartais. Iki disertacinio darbo pradžios žinomos integrinių analoginių RC filtrų bei jų savaiminio derinimo grandynų struktūros, kurios naudojamos programine įranga valdomame radijo įrangoje, nebuvo pakankamai ištirtos, jų derinimo grandynų struktūrų modeliai bei tokių filtrų komponentų verčių apskaičiavimo algoritmai mažai aprašyti, todėl darbe vykdomi tyrimai yra aktualūs.

Tyrimo objektas

Darbo tyrimų objektas – integrinių analoginių aktyviųjų RC filtrų savaiminio derinimo grandynai belaidžio ryšio sistemoms.

Darbo tikslas

Darbo tikslas – sukurti savaiminio derinimo grandynus, skirtus konfigūruojamų integrinių analoginių aktyviųjų RC filtrų parametrų gavybai reikalaujamu tikslumu.

Darbo uždaviniai

Darbo tikslui pasiekti sprendžiami tokie uždaviniai:

1. Sukurti konfigūruojamų integrinių analoginių aktyviųjų RC filtrų ir jų savaiminio derinimo grandynų struktūras, naudotinas programine

įranga valdomame radijuje, bei ištirti tokių filtrų triukšmo ir tiesiškumo parametrų kitimą taikant skirtingus derinimo būdus.

2. Sukurti ir ištirti integrinių analoginių aktyviųjų RC filtrų savaiminio derinimo grandynų modelius ir tokių grandynų projektavimo būdus, kompensuojančius jų gamybos technologinius nuokrypius ir aplinkos temperatūros įtaką.
3. Sukurti integrinius analoginius aktyviuosius RC filtrus su diskrečiu ir tolydžiu savaiminio derinimo grandynais ir ištirti tokių grandynų poveikį filtro dažninės amplitudės, fazės ir tiesiškumo parametrams.

Tyrimų metodika

Integrinių analoginių filtrų ir jų savaiminio derinimo grandynų modelių tyrimams taikyti analitiniai, matematiniai ir kompiuterinio modeliavimo metodai. Integrinių analoginių filtrų nuokrypių tyrimui buvo naudotos dvejos integrinių grandynų technologijos (TSMC 65 nm ir IBM 0,18 μm). Sukurtų konfigūruojamų integrinių analoginių filtrų struktūrų, jų derinimo matricų ir savaiminio derinimo grandynų tyrimo metu taikyti kompiuterinio modeliavimo metodai naudojant CADENCE programinį paketą. Pagaminto integrinio analoginio aktyviojo RC filtro parametrų verifikacijai buvo taikomi eksperimentiniai tyrimo metodai. Eksperimentinių tyrimų metu buvo naudojama signalų generacija ir spektro analizė 0,1–1 GHz dažnių ruože.

Darbo mokslinis naujumas

Rengiant disertaciją buvo gauti šie elektronikos inžinerijos mokslui reikšmingi rezultatai:

1. Sukurti integrinių analoginių aktyviųjų RC filtrų tolydžiai ir diskrečiai valdomi savaiminio derinimo grandynai bei jų modeliai, kompensuojantys technologinių ir aplinkos įtakotų parametrų nuokrypius reikalaujamu tikslumu, bei ištirtas tokių grandynų poveikis filtrų triukšmo ir tiesiškumo parametrams.
2. Pasiūlytas naujas būdas, leidžiantis valdyti pilnai diferencinių bikvadratinių integrinių analoginių aktyviųjų RC filtrų struktūrų su dviem operaciniais stiprintuvais dažninę amplitudės ir fazės charakteristikas.

3. Pasiūlytas savaiminio derinimo struktūrų su lygiagrečiai ir nuosekliai sujungtų rezistorių matricomis skaičiavimo būdas, leidžiantis optimaliai parinkti matricų rezistorių skaičių ir jų vertes pagal derinimo ribos ir minimalaus žingsnio reikalavimus.
4. Netiesioginiame savaiminio derinimo grandyne, matuojančiame laiko konstantos pokytį, pasiūlyta taikyti papildomą vėlinimo liniją, kuri pagerina praleidžiamųjų dažnių juostos derinimo tikslumą.

Darbo rezultatų praktinė reikšmė

Disertacijoje gauti rezultatai panaudoti projektuojant integrinius analoginius aktyviuosius RC filtrus moderniose 65 ir 180 nm integrinėse technologijose. Darbo rezultatai panaudoti UAB „Lime Microsystems" kuriamose belaidžio ryšio daugiastandarčiuose siųstuvų-imtuvų lustuose ir programine įranga valdomame radijuje. Suprojektuotas ir pagamintas integrinis belaidžio ryšio sistemos lustas, kurį projektuojant buvo taikomi tyrimo metu sukurti ir ištirti integriniai analoginiai aktyvieji RC filtrai su savaiminio derinimo grandynais. Pasiūlyti būdai ir algoritmai leido apskaičiuoti savaiminio derinimo grandynus, skirtus integrinių analoginių aktyviųjų RC filtrų praleidžiamųjų dažnių juostos derinimui reikalaujamu tikslumu. Suprojektuoti integriniai analoginiai aktyvieji RC filtrai buvo tiriami ir taikomi vykdant:

- Mokslo darbą „Nanoelektronikos procesų modeliavimas ir tyrimas" (Nr. TMT 292, 2012–2016).
- Mokslo darbą „Integriniai siųstuvai-imtuvai bevieliam radijo ryšiui" (Nr. 4572-M, 2013).
- Mokslo darbą „Aukštadažnių integrinių grandynų išmaniojo bevielio ryšio sistemoms kūrimas ir tyrimas" (Nr. 10124, 2014).

Ginamieji teiginiai

1. Diskrečiai valdoma NLRM struktūra su varžos mažinimo koeficientu, lygiu $k \geq 2$, visada turės ne mažiau nei 4 kartus mažesnę ją sudarančių rezistorių suminę varžų vertę, o jos maksimalus derinimo žingsnis bus ne didesnis, lyginant su LRM struktūra, turinčią tokią pačią maksimalaus derinimo žingsnio vertę.
2. Netiesioginio savaiminio derinimo grandynas, matuojantis laiko konstantos pokyčius, įvedus papildomą vėlinimo liniją, sumažina diskrečiai valdomų bikvadratinių filtrų su LRM ir NLRM derinimo

struktūromis praleidžiamųjų dažnių juostos nuokrypio vidurkį daugiau nei 10 % visose IG ribinėse sąlygose, kai diskrečiai valdomos derinimo rezistorių matricos sudarytos pasiūlytu projektavimo būdu, atraminio signalo dažnis yra lygus 10 MHz, derinimo žingsnis – 1,5 %, o maksimali derinimo riba pasiekia 40 % visose IG ribinėse sąlygose.

3. Pasiūlytos derinimo struktūros TAGR2 dinaminis diapazonas be šalutinių signalų yra ne mažiau nei 9 dB didesnis, lyginant su impedanso daugintuvo ir sukryžiuotų MOP derinimo struktūromis, kai tolydžiai konfigūruojamo filtro praleidžiamųjų dažnių juosta tolydžiai derinama 40 % ribose, o įėjimo atžvilgiu išreikšto praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taško matavimui naudojamų tonų dažnis ne didesnis nei 1 MHz.
4. Pasiūlytas konfigūruojamas integrinis analoginis aktyvusis RC filtras, sudarytas iš pirmos ir antros eilės bikvadratinių filtrų su dviem operaciniais stiprintuvais struktūrų ir naudojantis sukurtą derinimo grandyną su aktyviuoju elementu tranzistoriaus darbo charakteristikai ištiesinti, leidžia tolydžiai keisti filtro dažninę amplitudės ir fazės charakteristikas bei filtro eilę ir kokybės faktorių.

Darbo rezultatų aprobavimas

Disertacijos tema yra atspausdinti 7 moksliniai straipsniai: du – mokslo žurnaluose, įtrauktuose į Thomson Reuters Web of Science duomenų bazę (Kiela, Jurgo, Navickas 2013; Kiela, Navickas 2016), vienas – tarptautinių konferencijų medžiagoje, įtrauktoje į Thomson Reuters Proceedings duomenų bazę (Kiela, Navickas 2015), keturi – mokslo žurnaluose, referuojamose kitose tarptautinėse duomenų bazėse (Kiela, Navickas 2014; Kiela, Jurgo, Kladovščikov 2016; Kiela, Mamajev, Navickas 2016; Kiela, Jurgo, Navickas 2017).

Disertacijoje atliktų tyrimų rezultatai buvo pristatyti septyniose mokslinėse konferencijose Lietuvoje ir užsienyje:

- IEEE 3rd Workshop on „*Advances in Information, Electronic and Electrical Engineering*”. Latvija, Ryga, 2015 m. lapkričio 13–14 d.
- IEEE 16th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*”. Lietuva, Vilnius, 2015 m. gruodžio 4 d.
- Trečioji tarptautinė konferencija „eStream 2016“. Lietuva, Vilnius, 2016 m. balandžio 19 d.

- Šešioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 2013 m. kovo 15 d.
- Septynioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 2014 m. kovo 21 d.
- Aštuonioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 2015 m. kovo 20 d.
- Devynioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 2016 m. kovo 18 d.

Disertacijos struktūra

Disertaciją sudaro įvadas, trys skyriai ir bendrosios išvados. Taip pat yra penki priedai.

Darbo apimtis 176 puslapiai (be priedų), tekste panaudotos 95 numeruotos formulės, 87 paveikslai ir 14 lentelių. Rašant disertaciją panaudota 130 literatūros šaltinių.

Padėka

Disertacijos autorius nuoširdžiai dėkoja savo moksliniam vadovui prof. habil. dr. Romualdui Navickui už gerą vadovavimą, konsultacijas, suteiktas galimybes tobulėti mokslinėje ir darbinėje veikloje ir svarbiausią – kantrybę.

Autorius dėkingas disertacijos ekspertams prof. dr. Daliui Navakauskui ir prof. habil. dr. Romanui Martavičiui už itin vertingas pastabas, komentarus ir suteiktą pagalbą.

Už visokeriopą pagalbą ir palaikymą doktorantūros studijų metu autorius dėkingas visam VGTU Kompiuterių inžinerijos katedros kolektyvui ir Elektronikos fakulteto doktorantūros komitetui, o Lietuvos mokslo tarybai – už skirtą paramą. Atskirai autorius norėtų padėkoti Kompiuterių inžinerijos doktorantui ir kolegai Marijan Jurgo už pagalbą rengiant disertaciją.

Didžiausia padėka skiriama gyvenimo draugei Tautvilei Džiugytei, mylimai mamai, visiems draugams ir bendradarbiams už didelį palaikymą, motyvaciją ir už tai, kad jie tiesiog yra.

1

Integrinių analoginių filtrų ir jų savaiminio derinimo būdų analizė

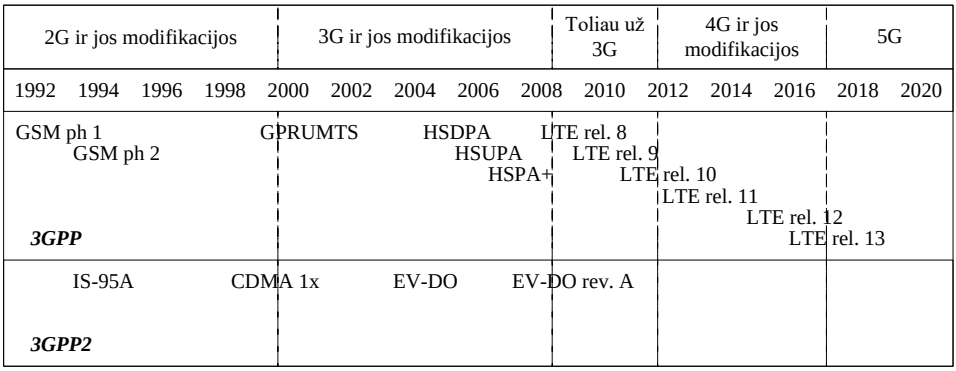
Skyriuje apžvelgiamos integrinių analoginių filtrų struktūros naudojamos moderniuose siųstuvuose-imtuvuose, pagrindiniai integrinių filtrų parametrai bei įvardijamos parametrų verčių svyravimo priežastys, analizuojami esami tokių filtrų derinimo būdai, savaiminio derinimosi grandynų struktūros ir jų veikimo principai. Skyriaus pabaigoje, remiantis atlikta analize ir sudarytomis išvadomis suformuluojami disertacijos užda)aviniai.

Skyriaus tematika paskelbti 3 moksliniai straipsniai (Kiela, Jurgo, Navickas 2013; Kiela, Navickas 2014; Kiela, Mamajev, Navickas 2016). Skyriaus tematika skaityti du pranešimai respublikinėse konferencijose (Kiela 2013, Kiela 2015) ir vienas pranešimas tarptautinėje konferencijoje (Kiela *et al.* 2015).

1.1. Integriniai analoginiai filtrai moderniuose siųstuvuose-imtuvuose

Mobiliųjų belaidžio ryšių standartų skaičius didėja. Šiuo metu, dažniausiai naudojamus belaidžio ryšio standartus prižiūri ir vysto dvi pagrindinės organizacijos: 3GPP (angl. *3rd Generation Partnership Project*) ir IEEE (angl.

Institute of Electrical and Electronics Engineers). 3GPP organizacija atsakinga už tokius standartus kaip GSM, CDMA, SDPA, LTE, kurie orientuoti į balso ir duomenų perdavimą mobiliojo ryšio prietaisams. Šios organizacijos standartų vystymosi eiga parodyta 1.1 paveiksle. Nors šiuo metu plačiai diegiama 4 kartos LTE technologija, kuriuos teorinė maksimali duomenų perdavimo sparta gali siekti 672 MB/s, plačiau paplitę yra 2 ir 3 kartos GSM, UMTS, HSDPA standartai, kurių duomenų perdavimo sparta yra kelis ar net keliolika kartų lėtesnė. Verta paminėti, kad jau pradėti eksperimentiniai bandymai diegiant 5 kartos 3GPP standartus (Wang *et al.* 2012: 182–185).

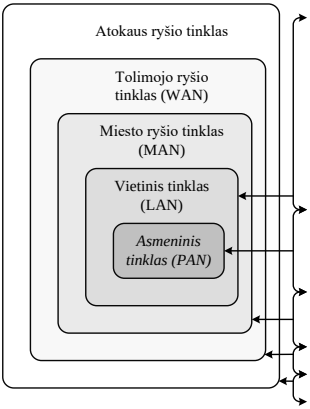


1.1 pav. 3GPP plėtojamų standartų raida (Penttinen 2015: 10)
Fig. 1.1. Evolution of the 3GPP standards (Penttinen 2015: 10)

Skirtingai nuo 3GPP, IEEE organizacijos vystomi ir prižiūrimi standartai skirti duomenų perdavimui artimo (iki kelių metrų, IEEE 802.15 standartų šeima) ir tolimo nuotolio (iki 30 km., IEEE 802.22 standartas) atstumais, tačiau nėra plačiai taikomi balso perdavimui. Šiuo metu plėtojami IEEE organizacijos belaidžio ryšio standartai pavaizduoti 1.2 paveiksle.

Viena iš modernių belaidžio ryšio priėmimo-perdavimo stočių savybių yra galimybė dirbti su keliais belaidžio ryšio standartais (Amico *et al.* 2008: 1534–1541; Alzaher *et al.* 2002: 27–37; Seth *et al.* 2016: 1096–1108). Dauguma šių standartų turi skirtingus reikalavimus siųstuvui-imtuvui, jų signalų nešliai yra pasklidę plačiame dažnių ruože (nuo dešimčių megahercų iki keliasdešimt gigahercų). Norint priimti ar išsiųsti daugiastandarčius signalus, reikalinga belaidžio ryšio technika, kurios parametrai gali būti keičiami priklausomai nuo belaidžio ryšio standarto apibrėžtų reikalavimų. Viena iš plačiai vystomų ir daug vilčių žadanti technologija yra programine įranga valdomas radijas (PIVR) (Reis *et al.* 2012: 1156–1161). Šios technologijos pagrindinė idėja – platus skirtingų fizinio lygmens funkcijų palaikymas gali būti įgyvendintas panaudojant tą pačia

įrangą. Šiuo atveju, skirtingas fizinio lygmens funkcijų palaikymas yra nustatomas ir valdomas naudojant programinę įrangą.



Pavadinimas	IEEE standartas	Dažnių juosta	Teorinė didžiausia sparta
WLAN	IEEE 802.11	2,4 GHz	1 – 2 Mb/s
WLAN (Wi-Fi)	IEEE 802.11a	5 GHz	54 Mb/s
	IEEE 802.11b	2,4 GHz	11 Mb/s
	IEEE 802.11g		54 Mb/s
	IEEE 802.11n	2,4; 5 GHz	300 Mb/s
	IEEE 802.11ac	5 GHz	1 Gb/s
WiGig	IEEE 802.11ad	2,4; 5; 60 GHz	7 Gb/s
Bluetooth	IEEE 802.15.1	2,4 GHz	1 Mb/s
UWB	IEEE 802.15.3/3a	Įvairios	10-500 Mb/s
ZigBee	IEEE 802.15.4	868; 915; 2400 MHz	250 kb/s
WiMAX	IEEE 802.16	10 – 66 GHz	120 Mb/s
	IEEE 802.16a/e	2 – 11 GHz	70 Mb/s
WMAN/WAN	IEEE 802.15.20	3,5 GHz TV juostos	1 Mb/s
WRAN	IEEE 802.15.22	LDD ir UDD TV juostose	–

1.2 pav. IEEE 802 šeimos standartai skirti belaidžio ryšiui vietinio ar plataus naudojimo tinkle
Fig. 1.2. IEEE 802 family standards dealing with wireless local area and metropolitan area networks

Pagrindinė programine įranga valdomo radijo sprendžiama užduotis – suprojektuoti įrangą, kuri gali siųsti ir priimti duomenis plačiame dažnių ruože. Už šios techninės problemos slypi ir ne mažiau svarbi ekonominė problema – suprojektuota įranga turi turėti konkurencingą kainą ir patekimo į rinką laiką, kuris neatsilieka nuo jau esamos telekomunikacijų rinkos standartų. Konkurencinga kaina pasiekiama mažinant atskirų elementų kiekį reikalingą įgyvendinti programine įranga valdomam radijui – didinant integracijos laipsnį. Integracijos laipsnis didinamas apjungiant skirtingus įrangos elementus į vieną lustą. Patekimo į rinką laikas mažinamas projektuojant lanksčią, rekonfiguruojamos architektūros įrangą, kurią galima panaudoti esamiems ir būsimiems mobiliojo ryšio standartams. Radijo ryšio įtaisas, gebantis dirbti su daugelių skirtingų mobiliojo ryšio standartų vadinamas daugiastandarčiu siųstuvu-imtuvu (DSI) (Chakraborty *et al.* 2013: C148–C149; Borremans *et al.* 2013: 146–147). Modernius DSI sudarantys analoginiai blokai vis dažniau realizuojami integriniuose grandynuose (IG). Tokiu būdu yra įgalinamas daugkartinis esamos techninės įrangos panaudojimas, sumažinama visos sistemos kaina (Ishihara *et al.* 2011: 556–567; Xu *et al.* 2012: 1–4).

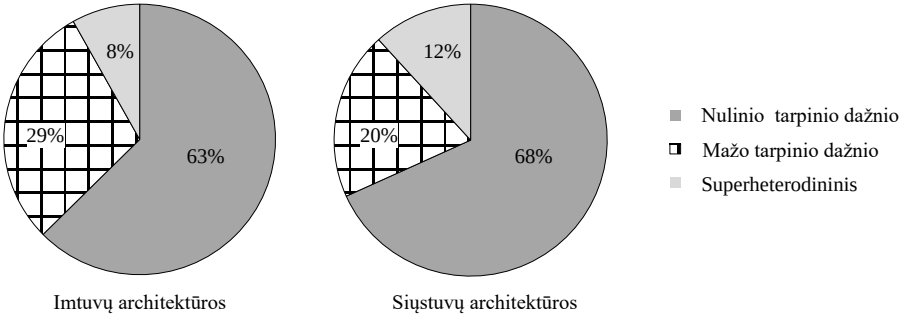
Norint palaikyti dauguma išvardintų standartų, DSI turi prisitaikyti prie skirtingų nešlio ir duomenų kanalo dažnio reikalavimų (Mak *et al.* 2007). Duomenų kanalo išrinkimo funkciją daugiastandarčiuose siųstuvuose-imtuvuose

atlieka konfigūruojami analoginiai ir skaitmeniniai filtrai (Ramasamy *et al.* 2011: 131–144; Weiwei *et al.* 2011: 45008). Tokie filtrai taip pat naudojami antžeminiuose siųstuvuose-imtuvuose, skirtuose vaizdo ir garso perdavimui. Dažniausiai naudojami antžeminiai standartai: DVB-H, DVB-C, DVB-S, DVB-T, DVB-IPTV (Li *et al.* 2012: 1–3). Panašias siųstuvų–imtuvų architektūras naudoja ir vietos nustatymo ir telemetrijos standartai kaip GPS, GALILEO, GLONASS, BeiDou/COMPASS, QZSS, IRNSS (Seth *et al.* 2016: 1096–1108). Dėl šios priežasties, konfigūruojami DSI gali būti naudojami daugeliui plačiai naudojamų standartų (Amico *et al.* 2008: 1534–1541; Heping *et al.* 2009: 95011).

1.1.1. Siųstuvų-imtuvų architektūros

Atlikus literatūrinę analizę, sudarytas modernių siųstuvų-imtuvų architektūrų naudojamų DSI grafikas pavaizduotas 1.3 paveiksle. Grafike pavaizduota informacija surinkta iš literatūroje aprašytų 123 imtuvų ir 85 siųstuvų. Skirtingų modernių siųstuvų-imtuvų architektūrų palyginamas yra pateiktas 1.1 lentelėje. Moderniuose siųstuvuose-imtuvuose naudojamos 3 pagrindinės architektūros:

1. Superheterodininė.
2. Nulinio tarpinio dažnio, dar žinoma kaip tiesioginė arba homodininė.
3. Mažo tarpinio dažnio.



1.3 pav. Apžvelgtų siųstuvų-imtuvų architektūros naudojamos skirtingiems belaidžio ryšio standartams
Fig. 1.3. Comparison of various transceiver architectures used in different wireless standards

1.1 lentelė. Siųstuvų-imtuvų architektūrų palyginamoji lentelė
Table 1.1. Comparison of transceiver architectures

Siųstuvo-imtuvo architektūra	Privalumai	Trūkumai
Superhetero dininis	1. Patikimumas. 2. Nėra nuolatinės įtampos poslinkio ir mirgėjimo triukšmo.	1. Kaina, plotas, vartojama galia. 2. Daugiastandarčiams sprendimams reikia kelių paviršinių bangų filtrų.
Nulinio tarpinio dažnio	1. Kaina. 2. Tinka daugiastandarčiams sprendimams. 3. Didelės komponentų integravimo laipsnis viename luste. 4. Nėra signalo vaizdo trukdžių.	1. Reikalingas kvadratūrinis radijo dažnių perkėlimas į moduliavimo dažnių juostą. 2. Nuolatinės įtampos poslinkis ir mirgėjimo triukšmas. 3. Aukšto dažnio signalo sintezatoriaus signalas gali iškreipti įeinantį ir išeinantį signalus.
Mažo tarpinio dažnio	1. Kaina. 2. Didelės komponentų integravimo laipsnis viename luste. 3. Mažas nuolatinės įtampos poslinkis ir mirgėjimo triukšmas.	1. Signalo vaizdo trukdžiai. 2. Kvadratūrinis radijo dažnių perkėlimas į tarpinį dažnį ir dvigubas kvadratūrinis tarpinio dažnio perkėlimas į moduliavimo dažnių juostą.

Kaip matyti iš 1.3 paveikslo, dažniausiai literatūroje minimi siųstuvai-imtuvai realizuojami naudojant tiesioginę, arba nulinio tarpinio dažnio (homodininę), siųstuvo-imtuvo architektūrą (Han *et al.* 2011: 433–441; Huang *et al.* 2013: 204–217). Dėl šios priežasties, beveik visi modernus DSI naudoją nulinio tarpinio dažnio architektūrą (Kiela, Mamajev, Navickas 2016).

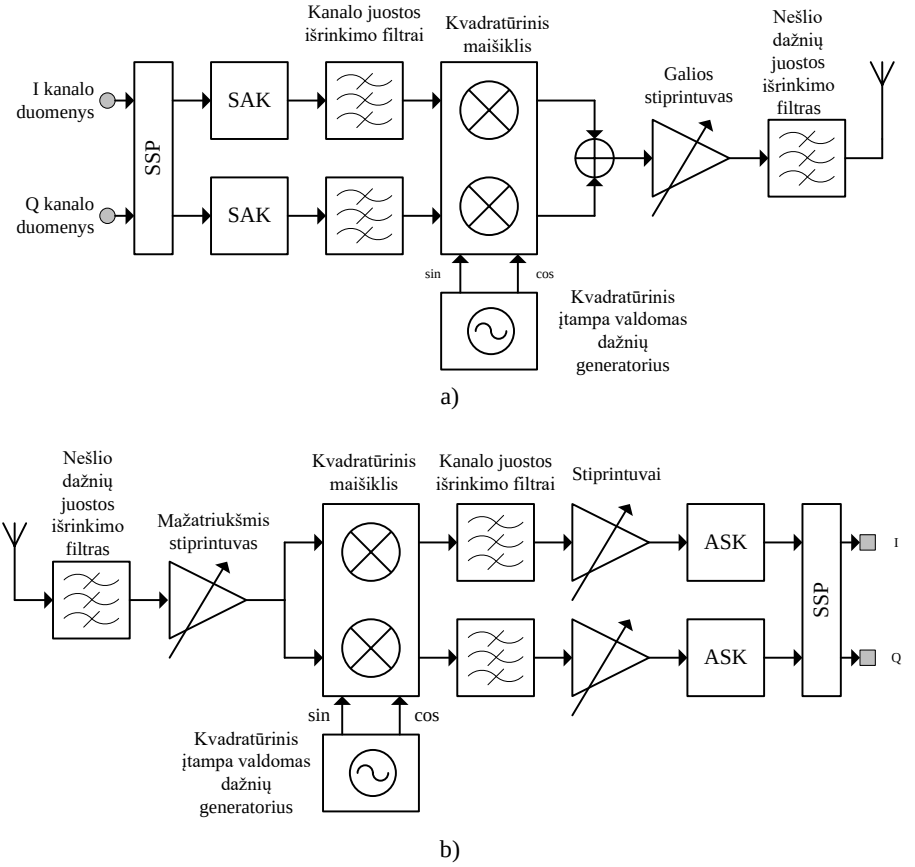
Vienas iš svarbiausių grandynų nulinio tarpinio dažnio DSI architektūroje (1.4 pav.) yra kanalo juostos išrinkimo filtras (Su 2012; Baschirotto *et al.* 2006: 131–168). Skirtingai nuo superheterodininio siųstuvo-imtuvo architektūros, tiesioginėje architektūroje aukštų dažnių signalas yra perkeliamas į žemų dažnių sritį nenaudojant tarpinio dažnio. Kadangi naudingojo signalo kanalo juosta prasideda nuo 0 Hz, dažniausiai homodininėje siųstuvo-imtuvo architektūroje naudojami kanalų juostos išrinkimo filtrai būna žemų dažnių (Lababidi *et al.* 2011: 619–622; Ma *et al.* 2009: 1–4).

1.4 paveiksle a dalyje parodyta bendra nulinio tarpinio dažnio siųstuvo struktūrine schema. Tokia siųstuvo-imtuvo struktūra gali būti realizuojama viename luste naudojant integrines technologijas. Siųstuvo grandyną sudarantys pagrindiniai blokai:

1. Skaitmeninis-analoginis keitiklis (SAK) – skirtas paversti skaitmeninį signalą į analoginį. Siųstuvuose naudojami SAK paprastai turi didesnį diskretizavimo dažnį negu imtuve naudojami analogas skaitmuo keitikliai (ASK). Didesnis diskretizavimo dažnis leidžia sumažinti diskretizavimo periodą, dėl ko didėja SAK rezoliucija ir mažėja triukšmo lygis.
2. Kanalų juostos išrinkimo filtras (KJIF) – skirtas nufiltruoti SAK triukšmams ir atvaizdams.
3. Kvadratūrinis maišiklis – skirtas perkelti žemų dažnių naudingajį signalą į aukštesnį dažnių ruožą (nešlio dažnį). Įprastai, naudingojo signalo juosta neviršiją labai didelių dažnių (LDD) ribos, o perkėlimas vykdomas į ultra aukštus dažnius (UAD) arba super aukštus dažnius (SAD).
4. Galios stiprintuvas – skirtas sustiprinti signalą prieš siunčiant jį į anteną.

Dažnai projektuojant DSI siųstuvo grandinę yra naudojami aukštesnės eilės KJIF negu imtuvo grandinėje. Šis pasirinkimas įtakojamas kelių priežasčių:

1. Signalas sugeneruotas SAK nebegali būti apdorojamas aukšto selektyvumo skaitmeniniais filtrais esančiais skaitmeniniame signalų procesoriuje (SSP).
2. Būtina nufiltruoti SAK generuojamas diskretizavimo dažnio harmonikas ir naudingojo signalo atvaizdus, taip išvengiant gretimo kanalo signalo iškraipymų. Tokiu būdu taip pat sumažinami filtrų juostos reikalavimai už galios stiprintuvo esantiems nešlio dažnių juostos išrinkimo filtrams (mažinama sistemos kaina, įneštiniai nuostoliai).
3. Jeigu naudingojo signalo kanalo maksimalus dažnis artėja prie Naikvisto dažnio ribos, naudingojo signalo ir jo atvaizdo atskirtis tampa minimali. Šiuo atveju, reikalingi itin selektyvūs žemų dažnių filtrai (ŽDF).



1.4 pav. Tiesioginio daugiastandarčio siųstuvo-imtuvo architektūra:
a) siųstuvas; b) imtuvas

Fig. 1.4. Direct conversion transceiver architecture: a) transmitter; b) receiver

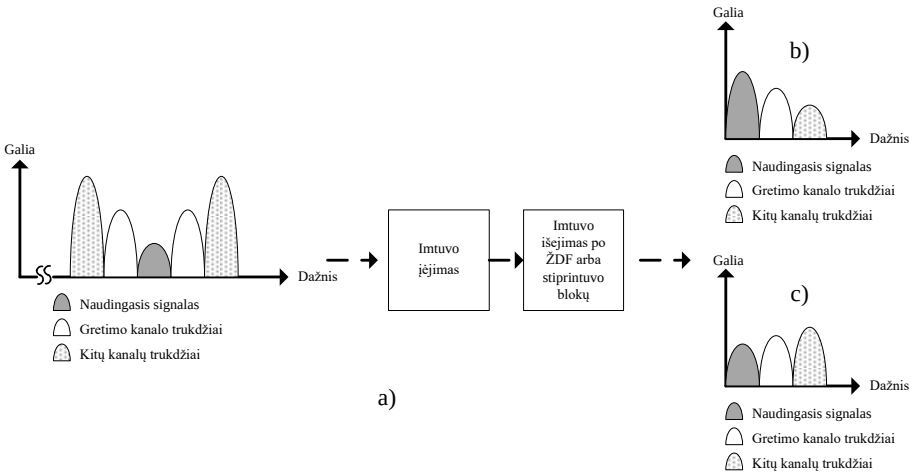
1.4 paveikslo b dalyje parodyta bendra nulinio tarpinio dažnio imtuvo struktūrinė schema. Imtuvą sudarantys pagrindiniai blokai yra:

1. Mažatriukšmis stiprintuvas – skirtas sustiprinti antenos priimtą pirminį signalą įnešant kuo mažiau pridėtinio triukšmo. Tuo atveju, kai šis stiprintuvas yra suderintas dirbti tik specifiniame dažnių diapazone (iki šimto mega hercų), prie jo įėjimo gali būti jungiami papildomi nešlio dažnių juostos išrinkimo filtrai.
2. Kvadratūrinis maišiklis – skirtas perkelti žemų dažnįų naudingajį signalą iš aukštesnių dažnių ruožą (nešlio dažnio) į nulinio dažnio

ruožą. Įprastai, naudingojo žemadažnio signalo juosta neviršiją LDD ribos, o perkėlimas vykdomas iš UAD arba SAD.

3. Kanalų juostos išrinkimo filtras – skirtas nufiltruoti greta naudingojo signalo esančius pašalinius signalus.
4. Stiprintuvas – skirtas sustiprinti nufiltruotą naudingąjį signalą. Šio bloko stiprinimas būna reguliuojamas skaitmeninių būdu, kad būtų įmanoma suderinti optimalų naudingojo signalo lygį patenkantį į analogas skaitmuo keitiklį (ASK).
5. Analogas skaitmuo keitiklis – skirtas pakeisti analoginį signalą į skaitmeninį.

Imtuvuose analoginiai ŽDF reikalingi norint sumažinti pašalinių signalų lygį, taip apsaugant ASK įėjimą nuo soties režimo, susidarančio kai į ASK įėjimą patenka signalas, viršijantis jo įėjimo dinaminį diapazoną. Signalo spektras patenkantis į imtuvo įėjimą ir jo spektras imtuvo išėjime pavaizduoti 1.5 paveiksle Greta naudingojo signalo dažnių juostos beveik visada būna nenaudingieji signalai. Šiuo atveju, nenaudingieji signalai gali būti gretimame kanale esantis signalas, atsitiktinis signalas arba specialiai suformuotas aukšto lygio signalas naudojamas atliekant imtuvo atsparumo trikdžiams patikrą konkretiems mobiliojo ryšio standartams (Kim *et al.* 2014: 20130845; Oskooei *et al.* 2010: 517–520).



1.5 pav. Signalo spektras imtuvo: a) įėjime; b) išėjime su filtravimu; c) išėjime be filtravimo

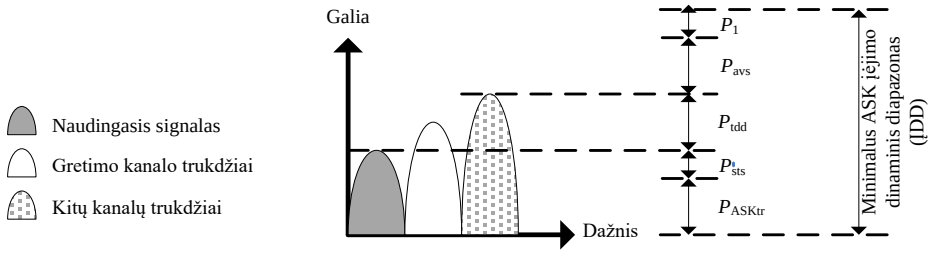
Fig. 1.5. Spectrum at receiver: a) input of the front-end; b) output with filtering; c) output without filtering

Iš nešlio dažnių juostos perkeltas naudingasis signalas yra sustiprinamas arba slopinamas iki optimalaus ASK įėjimo dinaminio diapazono lygio naudojant stiprintuvą. Dirbant realiomis sąlygomis (ne laboratorijoje), pašaliniai signalai gali būti stipresni, lyginant su norimu išskirti naudinguoju signalu. Nenufiltravus triukšmo, stiprintuvas kartu su naudinguoju signalu sustiprintų ir gretimų kanalų signalus.

1.6 paveiksle pavaizduotas minimalus ASK įėjimo dinaminis diapazonas. Jis apskaičiuojamas taip:

$$ĮDD = P_1 + P_{\text{avs}} + P_{\text{tdd}} + P_{\text{sts}} + P_{\text{ASKtr}}, \tag{1.1}$$

čia P_1 – atsarga, reikalinga kompensuoti nuolatinės dedamosios nukrypimus ir laikinius signalo pokyčius, P_{avs} – maksimalios ir vidutinės galios skirtumų kompensavimas, P_{tdd} – nenaudingo signalo dinaminis diapazonas, viršijantis naudingo signalo dinaminį diapazoną, P_{sts} – reikalingas signalas-triukšmas santykis, kad būtų tenkinamas klaidingų bitų lygis, P_{ASKtr} – papildomas reikalavimas, kad ASK bloko triukšmo lygis nepablogintų viso imtuvo triukšmo lygio.



1.6 pav. Minimalus analoginio-skaitmeninio keitiklio įėjimo dinaminis diapazonas
Fig. 1.6. The minimum analog-digital converter input range

ŽDF naudojami sumažinti P_{tdd} vertę, dėl ko galima naudoti pigesnius, didesnės spartos, mažesnės maitinimo įtampos reikalaujančius ASK. Norint sumažinti gretimų kanalų triukšmo lygį iki vertės mažesnės už naudingojo signalo lygį (1.5 pav. a dalis), reikia naudoti aukštesnės eilės ŽDF (Jin *et al.* 2012: 1187–1190; Junbo *et al.* 2012: 1–4). Tokie filtrai integriniuose lustuose užimą didelį plotą, mažiną signalas-triukšmas lygį, didiną signalo nuolatinės dedamosios nuokrypio atsiradimo tikimybę bei bendrą siųstuvo-imtuvo kainą. Dėl šios priežasties lyginant su siųstuvais, imtuvuose dažniau projektuojami mažesnės eilės ŽDF. Tokie filtrai slopiną nenaudingo signalo lygį ir užtikriną

kad ASK nedirbtų soties režime. Likę nenaudingi signalai galutinai pašalinami SSP bloke esančių skaitmeninių filtrų pagalba.

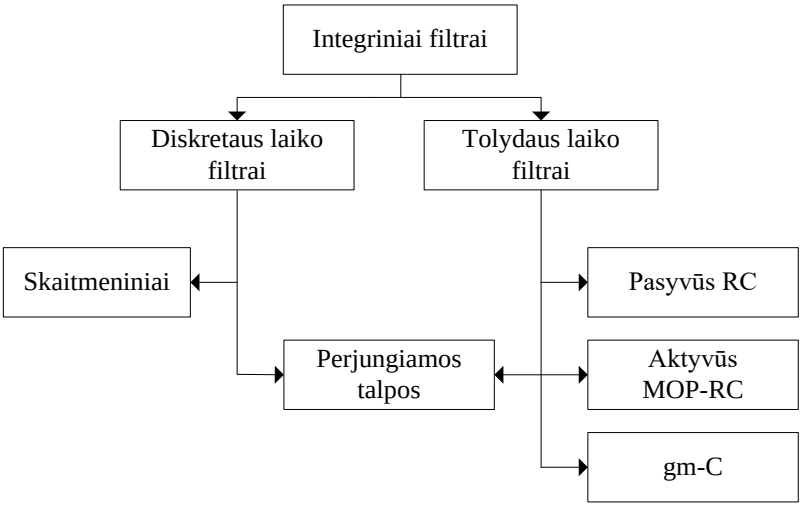
Apibendrinant galima teigti, kad analoginiai ŽDF DSI naudojami norint išskirti naudingąjį nuo nenaudingųjų signalų, slopinti naudingojo signalo atvaizdus ir SAK diskretizavimo dažnio harmonikas, apsaugoti kitus grandynus nuo per didelių amplitudžių signalų, kurie gali įnešti netiesiškumų ar visiškai sutrikdyti įtaiso darbą. Naujausiuose mobiliojo ryšio standartuose signalai koduojami vis sudėtingesniais metodais, kurie reikalauja kuo tikslesnio jų atkūrimo, ypač daug dėmesio skiriama aukštos kokybės integrinių blokų naudojamų telekomunikacijos įrangoje kūrimui. Dėl šios priežasties, ŽDF moderniuose DSI yra vieni iš svarbiausių grandynų, jų parametrai turi būti perkonfigūruojami kad tenkintu skirtingų standartų praleidžiamų dažnių juostos, aproksimacijos ir vartojamosios galios reikalavimus. KJIF grandynų tobulinimas ir optimizavimas yra svarbus uždavinys moderniuose DSI, nes šie komponentai siųstuvo-imtuvo grandinėse gali įnešti daug triukšmo ir (arba) iškraipymų, užimą didelį lusto plotą.

1.1.2. Integrinių analoginių filtrų struktūrų analizė

DSI naudojami ŽDF gali būti projektuojami naudojant skirtingas filtrų struktūras. Apibendrinta integrinius filtrų struktūras klasifikuojanti schema parodyta 1.7 paveiksle. Filtrai naudojami IG technologijose klasifikuojami į du tipus – diskretaus ir tolydaus laiko. Diskretaus laiko filtrams priskiriami skaitmeniniai filtrai, kurie įprastai realizuojami DSI SSP bloke kaip bendros paskirties programuojami ribotos impulsinės reakcijos (RIR) filtrai. Perjungiamos talpos filtrai gali būti priskiriami tiek diskretaus laiko, tiek tolydaus laiko filtrų grupei, nes šio tipo filtrai veikia su diskretiniais signalais (diskretinio laiko ir tolydinės amplitudės). Tolydaus laiko filtrų struktūroms priskiriami pasyvūs RC, aktyvieji MOP-RC ir gm-C filtrai. Išskirtinai tolydaus laiko filtrams priskiriamos struktūros apdoroja tik analoginius signalus (tolydinio laiko ir tolydinės amplitudės), todėl tokie filtrai gali būti vadinami analoginiais filtrais.

Pirmos eilės analoginių filtrų struktūros pavaizduotos 1.8 paveiksle. Pasyvūs RC filtrai yra paprasčiausios analoginių filtrų struktūros, sudaromos tik iš pasyvių elementų (1.8 pav. a dalis). Pasyvaus induktoriaus realizavimas IG užima didelį plotą, todėl šie elementai integriniuose filtruose naudojami itin retais atvejais (pvz. išėjimo grandynų derinimo filtrams (Du *et al.* 2006: 1031–1034)). Pasyvūs filtrai, priklausomai nuo filtro išėjime matomos apkrovos, slopina filtruojamo signalo amplitudės lygį, dėl ko mažėja visos sistemos signalas-triukšmas santykis. Dėl šios priežasties, moderniuose DSI KJIF pasyvūs RC filtrai yra nenaudojami, tačiau gali būti realizuoti itin kompaktiškose, mažai

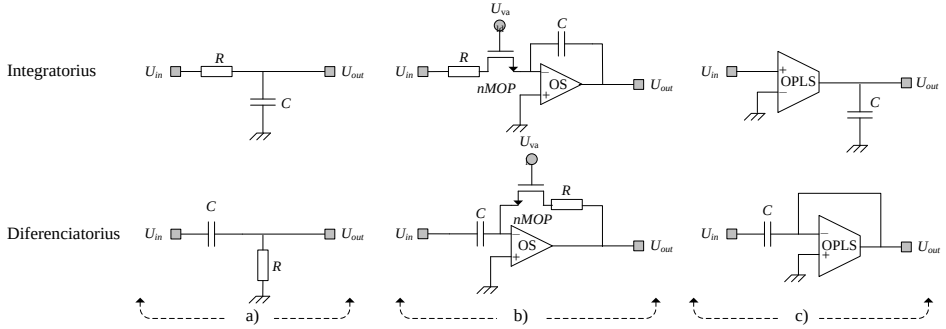
galios vartojančiuose siųstuvuose-imtuvuose (Tan *et al.* 2012: 2665–2677). Pasyvių RC filtrų signalo slopinimo trūkumas pašalinamas naudojat analoginių filtrų struktūras su aktyviaisiais elementais.



1.7 pav. Apibendrinta integrinių filtrų struktūrų klasifikavimas
Fig. 1.7. Integrated filter structure clasification

Aktyviųjų MOP-RC filtrų struktūrose (1.8 b dalis) naudojami operaciniai stiprintuvai (OS), kurie skirti sustiprinti naudingąjį signalą. Aktyviųjų MOP-RC filtrų struktūrose visada naudojami kondensatoriai ir priklausomai nuo konkretaus filtro struktūros naudojami varžai ir (arba) metalas oksidas puslaidininkis (MOP) tranzistoriai. Tokios struktūroje MOP atlieką įtampa tolydžiai valdomo varžo funkciją. Aktyvieji MOP-RC žemų dažnių filtrai pasižymi didžiausiu išėjimo dinaminiu ruožu ir žemu triukšmų lygiu lyginant juos su kitai tolydaus laiko filtrais (Lim *et al.* 2011: 1648–1658). Pagrindinis šių filtrų trūkumas yra jų parametrų jautrumas filtrą sudarančių elementų verčių nuokrypiams. Elementų nuokrypiai IG gali atsirasti dėl temperatūros, senėjimo ar IG gamybos procesų netolydumo. Analoginių blokų parametrų nuokrypiai DSI sukelia kvadratūrinių signalų (1.4 pav., I ir Q kanalai) amplitudės ir (arba) fazės postūmius vienas kito atžvilgiu, dėl ko didėja priimamo ar perduodamo signalo iškraipymai (Fan *et al.* 2009: 121–124; Debaillie *et al.* 2009: 488–498). Priklausomai nuo to kokie pasyvūs elementai naudojami ir nuo MOP tranzistoriaus paskirties, aktyviųjų MOP-RC filtrų struktūros yra skirstomos į tris grupes:

1. Aktyvieji RC – filtrų grįžtamojo ryšio grandinės sudarytos iš varžų ir kondensatorių. MOP tranzistoriai gali būti naudojami tik kaip tranzistoriniai jungikliai.
2. Aktyvieji MOP-RC – filtrų grįžtamojo ryšio grandinės sudarytos iš varžų ir kondensatorių. MOP tranzistorius naudojamas kaip įtampa valdomas varžas ir kaip tranzistorinis perjungtuvas.
3. Aktyvieji MOP-C – filtrų grįžtamojo ryšio grandinės sudarytos iš kondensatorių. Varžai pakeičiamos įtampa valdomais MOP tranzistoriais, kurie taip pat gali būti naudojami kaip tranzistoriniai perjungtuvai.



1.8 pav. Pirmos eilės tolydaus laiko filtrų struktūros: a) pasyvūs; b) naudojantys operacinius stiprintuvus; c) naudojantys operacinius pereigos laidžio stiprintuvus
Fig. 1.8. First order structures for continuous-time filters: a) pasive; b) with operational amplifiers; c) with transconductance amplifiers

Siųstuvuose-imtuvuose dažniausiai naudojamos aktyviųjų RC filtrų struktūros. Filtrų praleidžiamųjų dažnių juostos (PDJ) derinimas vykdomas naudojant diskrečiu žingsniu valdomas varžų ir kondensatorių matricas (De Matteis *et al.* 2011: 1644–1647; Abdulaziz *et al.* 2013: 217–220). Vienas iš aktyviųjų MOP-RC filtrų privalumų yra galimybė stiprinti naudingąjį signalą. De Matteis *et al.* (2011: 21–24) siūlomas DVB-T standartui skirtas 4 eilės aktyvusis RC ŽDF turi 31 dB PDJ stiprinimą, jo įėjimo trečios eilės tiesiškumo taškas (JTT3) siekia −10 dBm. Toks filtras siųstuvo grandinėje gali pakeisti stiprintuvo bloką, su sąlyga, kad prieš jį esantys blokai užtikrins tinkamą signalo lygio valdymo kontrolę. Li *et al.* (2012: 1–3) siūlomas 4 eilės ŽDF skirtas DVB-S/S2 standartams, kuris gali būti naudojamas tiesioginio priėmimo siųstuvams, jo PDJ derinimo žingsnis siekia 6 %, o įėjimo trečios eilės tiesiškumo taškas 30 dBm. Aktyvieji RC filtrai taip pat gali būti taikomi kanalo juostoms siekiančioms nuo 1 GHz iki 1,8 GHz išlaikant iki 15 dBm aukštesnį įėjimo

trečios eilės tiesiškumo taškas lyginant su gm-C filtrų struktūromis (Pezzotta *et al.* 2013: 261–264; Park *et al.* 2012: 455–457; De Matteis *et al.* 2013: 1280–1283). Tokio pločio KJIF gali būti naudojami DSI su esamais (WiGig, WiMAX) ar būsimais (pvz. 5G kartos) standartais, kurių nešlių dažniai yra dešimčių gigahercų eilės (Parsa *et al.* 2009: 751–762; Ye *et al.* 2010: 1–4). Paprastai, diskrečiu žingsniu valdomos aktyviosios RC filtrų struktūros gali būti naudojamos DSI, jeigu filtro PDJ ar kokybės reikalavimai gali svyruoti 5 % ribose.

IEEE 802.11ac standarte naudojama 256 skilčių kvadratūrinė amplitudės moduliacija (KAM). Tokiai moduliacijai keliami maksimalūs 1,8 % klaidos vektoriaus amplitudės (KVA) reikalavimai. Toks KVA pasiekiamas kada kvadratūriniuose siųstuvo-imtuvo blokuose atsiranda 0,3 dB amplitudės arba 2° fazės paklaida (Georgiadis 2004: 443–449). Esant atitinkamai 1 dB arba 7° amplitudės arba fazės nuokrypiams, KVA didėja iki 7 %. Naujai besivystančiuose standartuose jau pradėta diegti 1024 ir daugiau skilčių siekianti KAM, ko pasėkoje maksimalus leistinas KVA lygis pasiekia 1 % reikalavimą. Moderniuose DSI, projektuojant 6 eilės ŽDF su Batervorto atsaku, reikia užtikrinti PDJ deriną 0,35 % tikslumu, jeigu norima sumažinti kvadratūrinių blokų fazės paklaidą iki 1°, kada norimo signalo kanalo plotas siekia 80 % filtro PDJ.

Tokia tiksli PDJ derinimo paklaida pasiekiama tik naudojant ne diskrečiai, bet tolydžiai valdomas analoginio filtro grįžtamojoje grandinėje esančius varžus arba kondensatorius. Tolydžiai valdomą kondensatorių, tinkantį analoginių filtrų struktūroms, suprojektuoti yra sudėtinga, todėl tolydus KJIF PDJ derinimas pasiekiamas naudojant aktyviasias MOP-C arba aktyviasias MOP-RC filtrų struktūras, kur MOP tranzistoriaus kanalo varža tolydžiai keičiama valdant užtūros įtampą. Pagrindinis aktyviųjų MOP-C ir MOP-RC filtrų trūkumų – esant pakankamai aukštam (siekiančiam pusė filtro maitinimo įtampos) įėjimo signalui didėja iškraipymai dėl netiesiško MOP tranzistoriaus išėjimo charakteristikos pobūdžio. Dėl šios priežasties, didinant aktyviųjų MOP-C tranzistorių kanalo varžą yra mažinamas ominės veikos riba ištakos-santakos įtampos atžvilgiu ir bloginamas filtro įėjimo trečios eilės tiesiškumo taško parametras dėl valdančiojo MOP tranzistoriaus įnešamų iškraipymų. Yra pasiūlyti būdai, kurie gerina aktyviojo MOP-C filtro teisiškumą naudojant kryžiuotų MOP tranzistorių struktūras ar impedanso daugintuvus (Tsividis *et al.* 1986: 15–30; Aslanzadeh *et al.* 2009: 495–508). Yoshizawa (2002: 655–658) pasiūlytas būdas naudoja krūvio pompą, kuri MOP valdymo signalo lygį sustiprina 6 kartus pagerinant jo įėjimo trečios eilės tiesiškumo tašką.

Aktyviosios MOP-RC ir MOP-C filtrų struktūros gali būti naudojamos ir labai mažas (maitinimo įtampa mažesnė už 1 V) maitinimo įtampas naudojančiuose IG (Khumsat *et al.* 2012: 2751–2762; Tajalli *et al.* 2009: 593–

596). Khumsat *et al.* (2012: 2751–2762) pasiūlytas būdas naudoja varžus ir jiems lygiagrečiai jungiamus MOP tranzistorius, kurie veikia atkirtos rėžime (indukuotasis kanalas nėra susiformavęs). Metin *et al.* (2013: 985) pasiūlytas itin kompaktiškas filtras, kurio vieną pakopą sudaro 3 MOP tranzistoriai, kondensatorius ir du varžai, o OS blokas pakeistas įtampos kartotuvu. Tokių filtrų pagrindinis privalumas yra sumažėjusi vartojamoji galia ir plotas, tačiau jų PDJ yra siauros, o trečios eilės tiesiškumo taško parametrai įprastai neviršija 20 dBm. Atkirtos rėžime veikiantys filtrai dažniausiai naudojami medicinos ar kitose srityje, kur apdorojamų signalų lygiai neviršija šimto milivoltų (Li *et al.* 2012: 814–815; Tajalli *et al.* 2009: 593–596).

Skirtingai nuo OS naudojamų aktyviuose MOP-RC filtruose, gm-C struktūrose (1.8 c dalyje) aktyvieji elementai pakeičiami į operacinius pereigos laidžio stiprintuvus (OPLS). Kadangi OPLS išėjimas gali būti apkrautas nedidele talpine apkrova (įprastai iki 1 pF), jų struktūros dažniausiai sudaromos naudojant tik kondensatorius (Fu *et al.* 2010: 315–317). Pagrindinis gm-C filtrų struktūrų privalumas – didesnė praleidžiamųjų dažnių juosta, lyginant juos su aktyviaisiais MOP-RC filtrais, galimybė ją valdyti keičiant OPLS atraminę srovę, sumažėjęs užimamas lusto plotas. Pagrindinis gm-C filtrų struktūrų trūkumas – didelis jautrumas parazitinėms talpoms, varžoms, kurios susidaro sujungimuose tarp skirtingų OPLS, kondensatorių. Parazitinių elementų vertės IG kinta dėl tų pačių priežasčių, aprašytų aptariant aktyviuosius MOP-RC filtrus. Dar vienas svarbus gm-C filtrų trūkumas – sumažėjęs filtro grandinės tiesiškumas lyginant juos su aktyviaisiais MOP-RC filtrais (Palani *et al.* 2013: 373–376). Taip pat, dėl struktūrose naudojamų OPLS, praktinis tokių filtrų struktūrų panaudojimas DSI galimas tik filtro išėjime papildomai naudojant buferį (Kiela, Navickas 2014).

gm-C filtrų struktūros lengvai pritaikomos naujausiose IG technologijose, kur maitinimo įtampa neviršija 1 V. Oskooei *et al.* (2010: 517–520) siūlomas 6 eilės ŽDF filtras, kurio maitinimo įtampa yra 1 V, įėjimo JTT3 22 dBm, tačiau filtro PDJ, kuri centruota apie 10 MHz, koreguojama tik ±25 % ribose. Armagan *et al.* (2013: 1–4) autoriai aprašo PDJF filtrą skirtą GPS standartui, įgyvendintą KMOP technologijoje su 28 nm technologiniu žingsniu. Abdulaziz *et al.* (2014: 367–370) panaudojamas grįžtamasis ryšys taip pagerinant OPLS tiesiškumą. Autoriai teigia, kad jų ŽDF filtro įėjimo JTT3 parametras siekia 39 dBm. Pagrindinis siūlomo filtro trūkumas – filtro PDJ juosta fiksuota, ištiesinimui naudojama valdymo įtampa pasiekia nurodyta įėjimo JTT3 vertę tik siaurame diapazone, kuris svyruoja nuo 5 iki 10 mV ir priklauso nuo temperatūros svyravimų.

Chamla *et al.* (2004: 95–98) siūlomas ŽDF turi dinamiškai valdomą vartojamąją srovę, kuri didėja keičiant PDJ nuo 50 iki 2000 kHz. Įėjimo JTT3 siekia 30 dBm, tačiau verta paminėti, kad šis filtras suprojektuotas naudojant

silicio germanio (SiGe) bipoliarinę KMOP (BiKMOP) technologiją, o pats OPLS sudarytas naudojant bipoliarinius tranzistorius. IG gamyboje naudojant SiGe BiKMOP technologija yra brangesnė negu naudojant KMOP, jos technologinis žingsnis didesnis, todėl tokia technologija nėra tinkama modernių DSI gamybai, kuriuose iki didelę lusto ploto gali užimti skaitmeniniai grandynai.

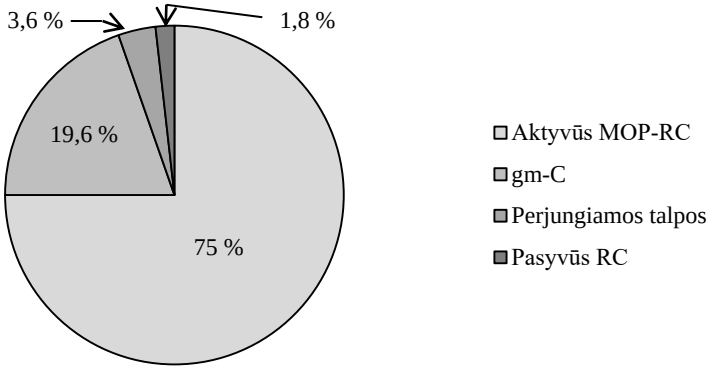
Literatūroje aprašomi gm-C filtrai, kurių PDJ siekia nuo 3,3 iki 10 GHz. Houfaf *et al.* (2012: 362–364) siūlomo filtro PDJ keičiama nuo 1 iki 10 GHz, įėjimo JTT3 siekia 11 dBm, vartojamoji galia kinta nuo 20 iki 140 mW. Penktos eilės ŽDF, kurio PDJ koreguojama nuo 0,2 iki 3,3 GHz su 3 % paklaida, aprašomas (Sabatino *et al.* 2014: 351–354). Šio filtro įėjimo JTT3 siekia 8 dBm, vartojamoji galia ties maksimalia PDJ riba yra 30 mW.

Perjungiamos talpos filtrų struktūrų pagrindinis privalumas DSI – tiksliai ir lengvai valdoma filtro dažninė amplitudės charakteristika, kuri gaunama naudojant stabilizuotą pastovaus ar kintamo dažnio taktinį signalą. Taktinis signalas gali būti įvedamas į lustą per vieną iš kontaktų arba gali būti sugeneruojamas DSI viduje esančio sintezatoriaus pagalba. Taip pat tokių filtrų struktūros, kaip ir gm-C filtrai, užima nedidelį lusto plotą. Pagrindinis tokios struktūros filtrų trūkumas – praleidžiamųjų dažnių juosta ribojama taktinio signalo dažnio, filtro išėjime reikalingas papildomas atvaizdo šalinimo filtras, dėl skirtingos taktinio signalo frontų delsos ar perjungimo raktų nevienodumo generuojami pašaliniai signalai (triukšmas).

Sawahashi *et al.* (1989: 1455–1458) pasiūlytas būdas naudoja perjungiamos talpos filtrų ir aktyviųjų MOP-C filtrų struktūras. MOP-C filtrais projektuojamos mažos Q vertės bikvadratinės struktūros, kurios yra mažiau jautrios IG komponentų svyravimams, o taip pat atlieka perjungiamos talpos filtro atvaizdų slopinimo funkciją. Aukštos kokybės filtrų blokams realizuoti panaudojami perjungiamos talpos filtrai. Tokiu būdu realizuojamas 12 eilės ŽDF su keičiamu atsaku (Batervorto arba Čebyševo). Filtro pasiekiami parametrai: įėjimo JTT3 21 dBm, PDJ yra fiksuota ties 8 kHz. Perjungiamos talpos filtrų projektavimas gali būti pilnai automatizuotas ir įgyvendinamas naudojant skaitmeninių blokų sintezavimo įrankius, analoginius komponentus keičiant skaitmeniniais (Liu *et al.* 2015: 1–4) Nenaudojant papildomų atvaizdo slopinimo filtrų, toks būdas tinkamas tik grandynuose, kur perjungiamos talpos filtrų taktavimo signalo dažnis dešimtis kartų viršija jo PDJ.

Atlikus literatūros analizę, iš 58 šaltinių buvo sudarytas grafikas (1.9 pav), kuriame pavaizduotas filtrų struktūrų pasiskirstymas įvairių mobiliojo ryšio standartų siųstuvuose-imtuvuose. Naudojantis literatūros analizės metu surinkta informacija, įvertinus reikalavimus keliamus esamiems ir besivystantiems mobiliojo ryšio standartams, galima daryti išvadą, kad moderniems DSI KJIF projektuoti labiausiai tinkamos yra aktyviųjų MOP-RC filtrų struktūros. Dėl šios

priežasties, detalesnė aukštesnės eilės filtrų struktūros analizė bus skirta šiems filtrams.



1.9 pav. Kanalų juostos išrinkimo filtrų struktūros moderniuose siųstuvuose-imtuvuose

Fig. 1.9. Channel selection filters in modern transceiver basebands

Antros eilės tolydaus laiko filtrai aprašomi antros eilės perdavimo funkcija, todėl vadinami bikvadratiniais filtrais (BiF). Galima iškirti dvi pagrindines jų grupes:

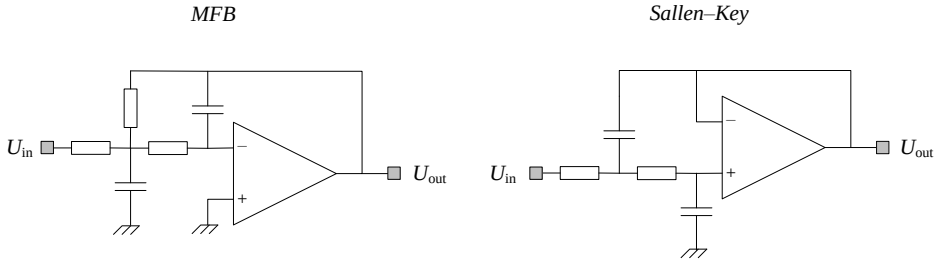
1. BiF filtrai sudaryti iš vieno aktyviojo elemento.
2. BiF sudaryti iš dviejų ir daugiau aktyviųjų elementų.

Vieno aktyviojo elemento BiF gali būti išskirti į dvi struktūras: Sallen-Key ir MFB (dar žinomi kaip Rauch filtrai, angl. *multiple feedback*). Šių ŽDF struktūros parodytos 1.10 paveiksle. Sallen-Key privalumai ir trūkumai lyginant su MFB struktūromis pateikiami 1.2 lentelėje.

Paprastai IG grandynuose viename luste suprojektuotų OS parametrai skiriasi nedaug, juos galima koreguoti naudojant atraminių įtampų ir/ar srovių valdymus. OS parametrų įtaką filtro perdavimo funkcijai tampa reikšminga tik tada, kai OS vienetinio dažnio vertė artėja prie norimos filtro perdavimo funkcijos vienetinio dažnio vertės Dėl mažesnio kieko pasyvių elementų, kurių reikia suprojektuoti filtrą, IG dažniau naudojama MFB vieno aktyviojo elemento BiF struktūra.

Nors vieno aktyviojo elemento struktūros vartoja mažiausiai galios realizuojant antros eilės BiF filtrų struktūras, vis dėl to BiF struktūros su dvejais arba daugiau aktyviųjų elementų yra dažniausiai IG naudojamos aktyviųjų filtrų struktūros. Šių struktūrų privalumai prieš Sallen-Key ir MFB struktūras yra naudingi projektuojant IG aktyviuosius filtrus:

1. Mažesnis jautrumas pasyvių elementų ir OS parametrų svyravimams lyginant su vieno aktyviojo elemento filtrų struktūromis.
2. Dauguma struktūrų yra universalios – vienu metu galima realizuoti skirtingo tipo filtrus, kurie tarpusavyje perjungiami keičiant išėjimo tašką.
3. Leidžia nepriklausomai valdyti filtro stiprinimą, savąjį dažnį ir kokybės faktorių.

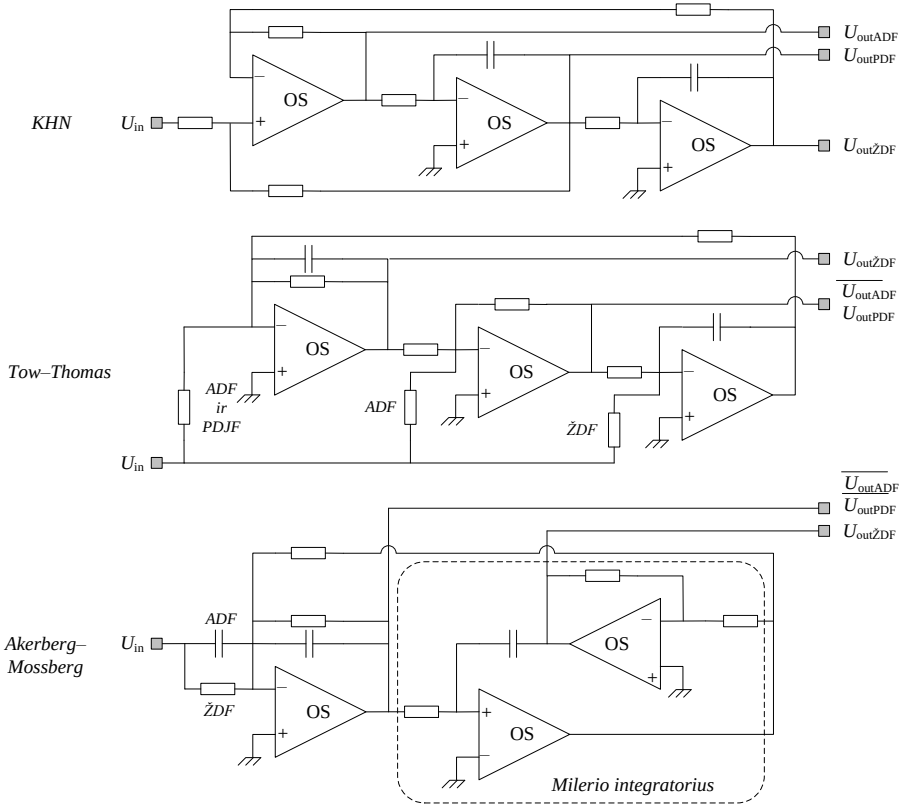


1.10 pav. Antros eilės filtrų struktūros su vienu operaciniu stiprintuvu ir žemų dažnių atsaku
Fig. 1.10. Second order biquad filter structures with one operation amplifier configured in low-pass

1.2 lentelė. Sallen-Key struktūros privalumai ir trūkumai lyginant su MFB struktūra
Table 1.2. Comparison of Sallen-Key and Multiple feedback filter structures

Privalumai	Trūkumai
Mažesnis jautrumas OS parametrų svyravimams	Didesnis jautrumas elementų parametrų svyravimams
Didesnis Q projektuojant PDJ ar draudžiamųjų dažnių juostos (DDJ) filtrus	Reikalingas didesnis pasyvių elementų skaičius, kada filtro stiprinimas nėra vienetinis

Paskutinis privalumas yra svarbiausias projektuojant IG filtrus, skirtus moderniems DSI. Dėl gamybos netolydumų, temperatūrinių svyravimų, pagaminto filtro parametrai beveik visada skiriasi nuo norimo, todėl jie yra koreguojami naudojant filtro derinimo grandynus (Jiang *et al.* 2011: 1066–1069). Tokie grandynai gali būti panaudojami tik tuo atveju, jeigu filtro parametrus galima keisti nepriklausomai vienas nuo kito. Vieno aktyviojo elemento struktūrose, filtrų kokybė, stiprinimas ir savasis dažnis yra susieti parametrai, todėl juos koreguoti yra sudėtinga.



1.11 pav. Bikvadratinių filtrų struktūros su keliais operaciniai stiprintuvais
Fig. 1.11. Biquad filtre structures with several active opamp

Yra pasiūlyta daug BiF su keliais aktyviaisiais elementais struktūrų. 3 populiariausios struktūros parodytos 1.11 paveiksle.

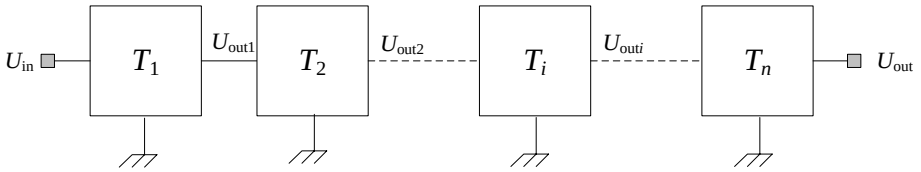
KHN filtrų unikali savybė – vienu metu galima turėti ŽDF, aukštų dažnių filtro (ADF) ir praleidžiamųjų dažnių filtro (PDJF) atsakus. Naudojant PDJF konfigūraciją, KHN filtro stiprinimas gali būti keičiamas neįtakojant savitojo dažnio (kokybės faktorius įtakojamas). Tokios struktūros trūkumas – filtro įėjimas jungiamas su dviem OS, kurių parazitiniai elementai gali įtakoti filtro perdavimo funkciją. Tow-Thomas filtrų privalumas – mažesnis filtro perdavimo funkcijos jautrumas elementų verčių svyravimams. Akerberg-Mossberg BiF jautrumas elementų verčių nuokrypiams yra panašus kaip ir Tow-Thomas struktūros, tačiau šios struktūros jautrumas OS parametrų nukrypimams yra mažesnis (Hilber *et al.* 2014). Šis privalumas gaunamas panaudojus Milerio

integratorių. Aukšto selektyvumo filtrai paprastai reikalauja perdavimo funkcijos, kurios eilė aukštesnė nei 2. Yra įmanoma sukurti aukštos eilės filtrus naudojant jau minėtas BiF struktūras su vienu aktyviųjų elementu, tačiau tiesioginis aukštesnės nei 2 eilės lygties įgyvendinimas tik su keliais aktyviaisiais elementais reikalautų daugybės pasyvių elementų. Tai tokį filtrą padarytų praktiškai nepanaudojamu DSI dėl per didelės jo parametrų priklausomybės nuo komponentų verčių svyravimų, filtro koregavimo grandyno sudėtingumo.

Galima išskirti 3 pagrindinius aukštos eilės filtrų realizavimo metodus:

1. Kaskadinimas.
2. Daugelio grįžtamų ryšių (DGR) sudarymas.
3. LC pakopų imitavimas.

Naudojant kaskadinį metodą (1.12 pav.), aukštos eilės perdavimo funkcija yra išskaidoma į pirmos arba antros eilės funkcijas, kurias galima realizuoti su jau aptartomis BiF struktūromis. Bendra perdavimo funkcija gaunama sudauginus atskirų blokų perdavimo funkcijas (paveiksluose pažymėtos *T*).



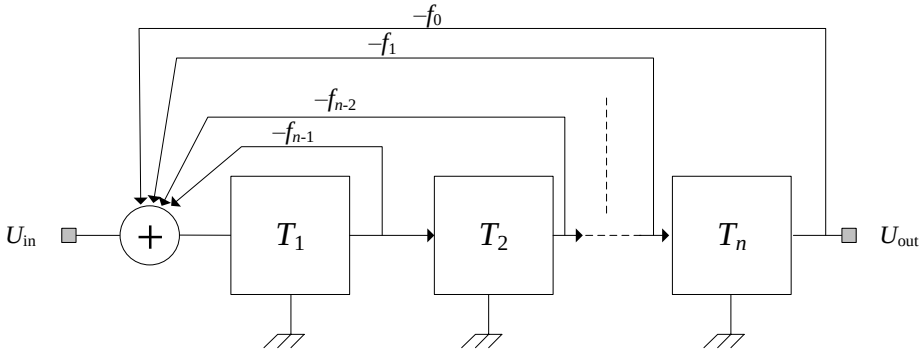
1.12 pav. Kaskadinis metodas, skirtas įgyvendinti n-tos eilės perdavimo funkciją (Chen 2009, 15-3)
Fig. 1.12. Cascading method, used to create n-th order filter transfer function (Chen 2009, 15-3)

Perdavimo funkcijas galima ne tik dauginti, bet ir sumuoti. Tokios struktūros pagrindinis privalumas yra, kad netikslumai atsiradę atskiruose blokuose nėra toliau dauginami, kas leidžia gauti mažesnį jautrumą komponentų verčių svyravimams. Pagrindinis trūkumas – filtrai reikalauja daugiau elementų.

Kaskadinis metodas yra paprastai įgyvendinamas, greitai projektuojamas, leidžiantis kiekvieną bloką koreguoti atskirai. Šio metodo pagrindinis trūkumas – jautrumas komponentų svyravimams stipriai padidėja, kai funkcijos eilė didesnė už 8.

DGR metodas, kaip ir kaskadinis, aukštos eilės perdavimo funkciją išskaido į pirmos ir antros eilės funkcijas. Tada jos sujungiamos tarpusavyje grįžtamais ryšiais, kurių išdėstymas priklauso nuo pasirinktos struktūros. 1.13 paveiksle

parodyta DGR sekimo struktūra. Be šios struktūros yra daug kitų, kurios naudojamos atsižvelgiant į poreikius ir projektuojamo filtro reikalavimus.



1.13 pav. Sekimo daugelio grįžtamų ryšių filtrų projektavimo metodas

Fig. 1.13 Multiple feedback filter deisgn flow

DGR metodas leidžia sumažinti jautrumą komponentų vertėms geriau nei kaskadinis metodas (Chen *et al.* 2010: 1–4). Šio metodo trūkumas – pasunkėjusi projektavimo procedūra ir papildomi sujungimai tarp blokų, kurie IG atveju lemia sudėtingesnę schemos topologiją.

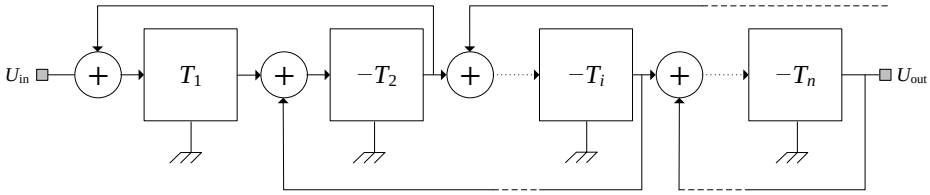
LC pakopų imitavimo metodo esmė – sukurti filtrą, kuris veiktų kaip filtras sudarytas iš L ir C grandinių. LC pakopos turi svarbią savybę – jos atsparios komponentų verčių svyravimams, todėl šiuo metodu sukurtos struktūros yra dažnai naudojamos IG filtruose (Jin *et al.* 2012: 1187–1190).

Viena iš populiariausių yra šokinėjančių grįžtamų ryšių (ŠGR) (angl. *leapfrog*) struktūra, parodyta 1.14 paveiksle. Nors jos struktūra labai panaši į DGR, procedūros pagal kurias kuriamos ŠGR struktūros filtrai yra išvestos iš LC pakopų metodo.

Aktyviųjų RC filtrų projektavimui gali būti panaudoti įvairūs metodai. Dėl šios priežasties, vienodų dažninių amplitudės charakteristikų filtrai gali būti realizuojami naudojant skirtingas struktūras. Skirtingai nuo DGR ir ŠGR, kaskadiniu metodu suprojektuotų filtrų struktūros yra lengviau konfigūruojamos, todėl šis metodas lengviau taikomas analoginiams filtrams skirtiems moderniems DSI.

Atsižvelgiant į programine įranga valdomo radijo keliamus reikalavimus, galime daryti išvadą, kad DSI analoginiams filtrams projektuoti labiausiai tinkamos yra aktyviųjų filtrų struktūros, sudarytos iš kaskadintų filtrų pakopų.

Tokių filtrų pakopų parametrus, eilę galima nepriklausomai vienas nuo kito valdyti naudojant programinę įrangą.



1.14 pav. Šokinėjančių grįžtamų ryšių struktūra (Chen 2009, 15-12)
Fig. 1.14. Leapfrog filter structure (Chen 2009, 15-12)

1.2. Integrinių analoginių filtrų pagrindiniai parametrai

Dauguma filtrų naudojamų IG yra priskiriami tiesinių sutelktųjų parametrų grandinėms. Tokių grandinių išėjimo signalo priklausomybė įėjimo signalo atžvilgiu randama sprendžiant *n*-tos eilės diferencialinę lygtį. Panaudojus Laplaso transformaciją, gaunama filtro perdavimo funkcija:

$$H(j\omega) = \left| H\left(j\omega\right) e^{j\varphi(\omega)} \right|, \tag{1.2}$$

čia $|H(j\omega)|$ – amplitudės priklausomybė, $\phi(\omega)$ – dažnio priklausomybė.

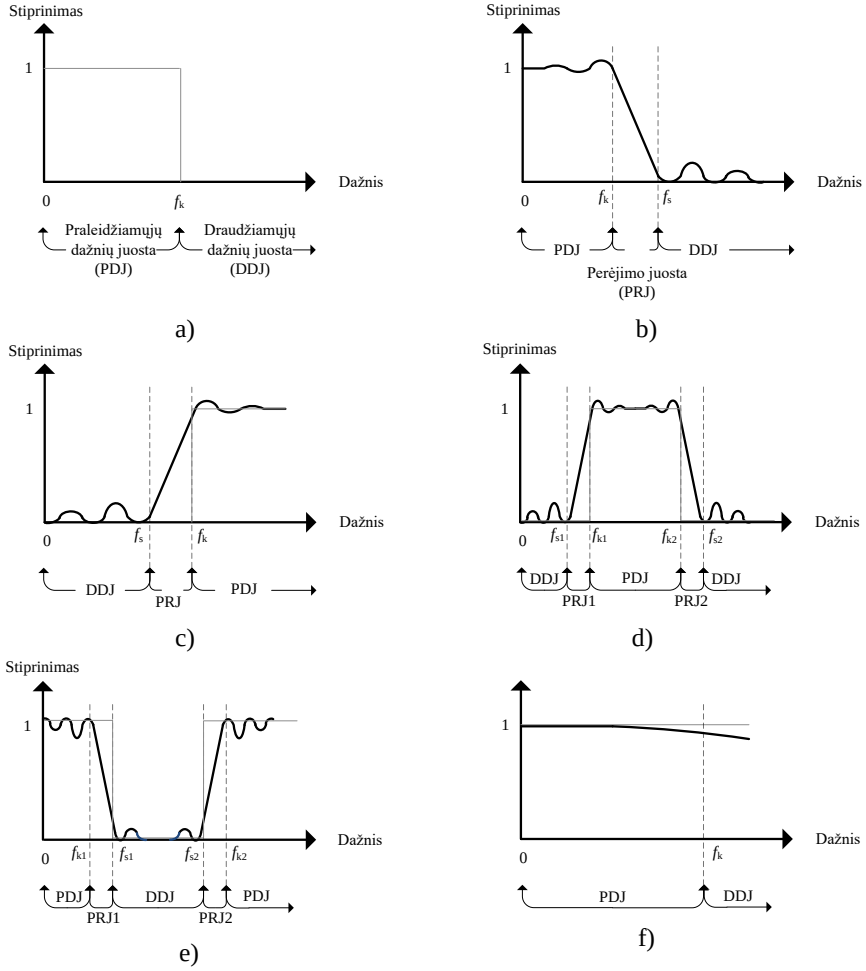
Svarbus filtrų fazės tiesiškumą apibūdinantis dydis yra grupinis vėlinimas, kuris išreiškiamas (1.3). Pastovaus grupinio vėlinimo filtras visas signalo komponentes PDJ vėlina vienodai. Ši savybė naudinga mobiliojo ryšio standartams, kurių kanalo plotis yra didelis. Galima įrodyti, kad naudojant maksimaliai tiesiškus grupinio vėlinimo filtrus, bitų klaidų dažnis gali būti sumažintas 9 dB lyginant su kitų aproksimacijų filtrais (Kikkert 2007: 1–5).

$$\tau_{\mathrm{g}} = -\frac{\mathrm{d}\varphi\left(\omega\right)}{\mathrm{d}\omega}. \tag{1.3}$$

Filtrų grandinės, pagal savo amplitudės charakteristiką skirstomos į 6 pagrindinius tipus (grafiškai atvaizduoti 1.15 pav.):

1. Idealus žemųjų dažnių filtras (ŽDF) ir realus ŽDF (1.15 a ir b dalys).
2. Aukštų dažnių filtras (ADF) (1.15 c dalis).
3. Praleidžiamųjų dažnių juostos filtras (PDJF) (1.15 d dalis).

4. Draudžiamos dažnių juostos filtras (DDJF) (1.15 e dalis).
5. Viską praleidžiantis filtras (VPF) (1.15 f dalis).
6. Amplitudės lygintuvai – šio tipo filtrų dažninė charakteristika yra kombinacija visų išvardintų filtrų tipų, skirta kompensuoti ir koreguoti signalo amplitudės charakteristiką.



1.15 pav. Filtrų tipai: a) idealus žemų dažnių; b) žemų dažnių; c) aukštų dažnių; d) praleidžiamųjų dažnių juostos; e) draudžiamųjų dažnių juostos; f) amplitudės lygintuvas (pilka linija – idealus, juoda linija – realus)

Fig. 1.15. Filter types: a) ideal low pass; b) real low pass; c) high pass; d) band pass; e) band stop; f) equalizer filter (grey line – ideal, black line – real)

Filtrų su idealiomis amplitudės ar fazės charakteristikomis praktikoje gauti neįmanoma – galima tik priartėti prie jų. Šis priartėjimas vykdomas per aproksimaciją, t.y. projektuojamo filtro charakteristikų priartinimo prie norimų, naudojant realių elementų savybes aprašančias matematines funkcijas. Galima išskirti 4 pagrindinius filtrų tipus pagal jų aproksimacijų charakteringumą:

1. Maksimaliai tiesiškos fazės vėlinimo Beselio, Gauso filtrai. Tokio tipo filtrai pasižymi didžiausiu grupinio vėlinimo tiesiškumu PDJ, tačiau turi mažiausią praleidžiamosios juostos krašto statumą.
2. Maksimaliai tiesiškos amplitudės charakteristikos Batervorto, Legendre filtrai. Tokio tipo filtrai turi tiesiškiausią amplitudės charakteristiką PDJ. Legendre filtrai išlaiko amplitudės charakteristikos monotoniškumą, maksimaliai didinami praleidžiamosios juostos krašto statumą.
3. Čebyševo filtrai. Jie naudojami kada amplitudės charakteristikos tiesiškumas nėra svarbiausias parametras, bet reikia turėti statų praleidžiamosios juostos kraštą. PDJ arba DDJ susidaromi perviršiai, tiek amplitudės tiek fazės charakteristikos yra nemonotoniškos. Pirmuoju atveju siektina padidinti praleidžiamosios juostos krašto statumą, antruoju – gauti begalinį (teoriškai) slopinimą DDJ ribose (ne begalybėje).
4. Elipsiniai arba Čebyševo-Cauerio filtrai. Jie naudojami kai praleidžiamosios juostos krašto statumas yra svarbiausias parametras. Perviršiai susidaro tiek PDJ, tiek DDJ.

Vienas iš svarbiausių filtrą apibūdinančių parametrų yra jo triukšmas. IG naudojamų analoginių filtrų triukšmo lygis turi būti mažas, kad nebūtų bloginamas visas sistemos signalas-triukšmas santykis (STS). Įprastai DSI triukšmo matavimai aprašomi naudojant triukšmo faktorių (TF):

$$TF = 10\log_{10}\left(\frac{STS_{\text{įėjime}}}{STS_{\text{išėjime}}}\right). \tag{1.4}$$

TF nurodo kiek kartų grandyno išėjime sumažėja signalas-triukšmas santykis lyginant su pirminiu signalu. Žemų dažnių grandynams, esantiems DSI grandinėse, triukšmo faktorius nėra parankus matavimo būdas grandyno triukšmui įvertinti, nes neretai vidinių blokų sujungimai nėra tarpusavyje suderinti. Filtro triukšmo parametrai dažniau išreiškiami triukšmo energetinio spektro tankiu arba integruota triukšmo vidutine kvadratine verte.

Pirmos eilės filtrų šiluminio triukšmo energetinio spektro tankis gali būti išreiškiamas:

$$v^2_{\text{šiluminis}} = \int_0^{\infty} 4k_{\text{B}}TR \left| \frac{1}{1 + j2\pi fRC} \right|^2 \mathrm{d}f = \frac{k_{\text{B}}T}{C}, \tag{1.5}$$

čia $v^2_{\text{šiluminis}}$ – šiluminio triukšmo energetinio spektro tankis; k_{B} – Bolcmano konstanta; T – temperatūra; R – varža; C – talpa.

Naudojant (1.5) išraišką, aukštesnės eilės filtrų triukšmo vidutinę kvadratinę vertę galima išreikšti (1.6):

$$v = \sqrt{\frac{K \cdot k_{\text{B}} \cdot T}{C}}, \tag{1.6}$$

čia K – dydis, priklausantis nuo filtro eilės ir struktūros.

Projektuojant žemų dažnių filtrus, kurių PDJ siekia šimtus kilohercų, didžiausią įtaką vidutinei kvadratinei triukšmo vertei turi aktyviuosius filtrus sudarančių OS mirgėjimo triukšmas. Priklausomai nuo OS projektavimo ypatumu, MOP technologijose mirgėjimo triukšmo PDJ gali siekti iki 1 MHz, todėl projektuojant IG filtrus būtina atkreipti dėmesį į OS mirgėjimo triukšmo energijos spektrinį tankį (1.7):

$$S_{\text{out}}(f) = \frac{KF \cdot I_{\text{SI}}^{AF}}{C_{\text{oks}} \cdot L_{\text{eff}}^2 \cdot f^{EF}}, \tag{1.7}$$

čia KF – mirgėjimo triukšmo koeficientas; AF – mirgėjimo triukšmo eksponentė, EF – mirgėjimo triukšmo dažnio eksponentė, C_{oks} – tranzistoriaus užtūros oksido talpa; L_{eff} – tranzistoriaus kanalo efektyvusis ilgis. Iš (1.6) ir (1.7) matyti, kad siekiant mažinti analoginio filtro šiluminius triukšmus ir išlaikant pastovią PDJ, reikia didinti talpų ir mažinti varžų elementų vertes. Tiesa, tokiu atveju OS mirgėjimo triukšmo energijos spektrinis tankis gali išaugti dėl apkrovos pokyčių grįžtamojoje grandinėje. OS tranzistorių kanalo varžos didinimas dažnai yra nepageidaujamas, nes siaurina filtro įėjimo ir išėjimo dinaminius diapazonus, mažina tiesiškumo, vienetinio dažnio vertes. Prieš pradedant projektuoti IG patartina sužinoti gamyklos triukšmo modelių parametrus, atsižvelgti į projektuojamos analoginio filtro PDJ plotį (mirgėjimo triukšmus) ir atitinkamai parinkti OS elementų dydžius.

Varžuose, kaip ir MOP tranzistoriuose, pagrindiniai triukšmo šaltiniai yra šiluminis ir mirgėjimo triukšmai. Jų energetinio spektro tankis atitinkamai modeliuojamas naudojant (1.8) ir (1.9) lygtis:

$$i^2_{\text{šiluminis}} = \frac{4 \cdot k \cdot T}{R(T)}; \tag{1.8}$$

$$i_{\text{mirg}}^2 = K_{\text{FN}}(T)\left(\frac{I}{W}\right)^{\text{afn}} \cdot \frac{W}{L \cdot f^{\text{bfn}}}, \tag{1.9}$$

čia $K_{\text{FN}}(T)$, afn, bfn yra integriniame grandyne naudojamos varžos mirgėjimo triukšmo modelio parametrai, I – srovė, tekanti per varža, W ir L atitinkamai varžos plotis ir ilgis. Iš (1.8) ir (1.9) matyti, kad IG varžų mirgėjimo triukšmą rezistoriuose nulemia jų geometriniai matmenys, rezistoriumi tekanti srovė ir integrinės technologijos parametrai.

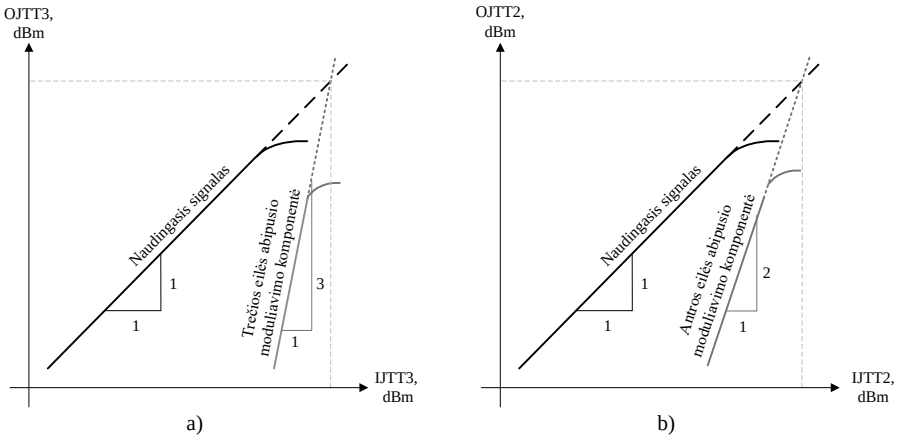
Mažėjant IG maitinimo įtampoms, apdorojamų signalų lygiai irgi mažėja, dėl ko didėja reikalavimai analoginių blokų tiesiškumo parametrams. Dėl šios priežasties, viena aktualiausių sprendžiamų problemų moderniuose DSI yra analoginių filtrų tiesiškumo didinimas. Analoginių filtrų tiesiškumą galima nustatyti iš kelių skirtingų parametrų:

1. Praleidžiamųjų dažnių juostoje esančių signalų trečios ir antros eilės tiesiškumo taškas (atitinkamai JTT3 ir JTT2, angl. *in-band third order intercept point, in-band second order intercept point*).
2. Draudžiamųjų dažnių juostoje esančių signalų trečios ir antros eilės tiesiškumo taškas (atitinkamai DTT3 ir DTT2, angl. *out-band third order intercept point, out-band second order intercept point*).
3. Dinaminis diapazonas be šalutinių signalų (DDBS, angl. *spurious-free dynamic range*).
4. 1 dB glaudinimo taškas (GT1dB, angl. *1 dB compression point*).

Jeigu tuo pačiu metu analoginio aktyviojo filtro įėjime bus du skirtingų dažnių sinusiniai signalai, patenkantys į jo PDJ, dėl OS sukeltų netiesinių iškraipymų išėjimo spektre be pirminių signalų komponenčių bus generuojamos ir šių signalų abipusio moduliavimo komponentės (Kirvaitis *et al.* 2003: 171). Jeigu pirminių signalų dažnius pažymėsime f_1 ir f_2, tai išėjime generuojamų antros ir trečios eilės abipusio moduliavimo komponenčių dažniai atitinkamai bus $(f_1 - f_2)$, $(f_1 + f_2)$ ir $(2f_1 - f_2)$, $(2f_2 - f_1)$. Verta paminėti, kad abipusio moduliavimo komponenčių bus dar daugiau, bet ŽDF sistemoms jos įprastai nėra nagrinėjamos, nes dažniausiai patenka už PDJ ribos.

Galima įrodyti, kad kol pirminių signalų galia yra maža ir lygi viena kitai, OS išėjime šių signalų dažnių komponenčių galia keisis santykiu 1:1 įėjimo galios pokyčio atžvilgiu. Anksčiau nurodyti antros eilės abipusio moduliavimo komponenčių išėjimo galia keisis santykiu 2:1, o trečios eilės – santykiu 3:1 (1.16 pav). Taškas, kuriame antros arba trečios eilės abipusio moduliavimo komponentės kisdamos tiesiniu dėsniu susikerta su pirmos eilės komponente, vadinamas atitinkamai JTT3 ir JTT2. Šie taškai gali būti nurodomi įėjimo

(IJTT3) arba išėjimo galios atžvilgiu (OJTT3). Jeigu sistemos turi vienetinį stiprinimą, šie dydžiai bus vienodi.



1.16 pav. Praleidžiamųjų dažnių juostoje esančių signalų: a) trečios; b) antros eilės teisiškumo taško radimas

Fig. 1.16. In-band input refered IP3 and IP2 measrument: a) third; b) second order intercept point

Jeigu įėjimo signalų ir jų abipusio moduliavimo komponenčių dažniai yra didesni už analoginio filtro PDJ ribas, atitinkamai matuojamos DTT2 ir DTT3 vertės.

$$OJTT3 = P_{\mathrm{OP}} + \frac{\left(P_{\mathrm{OP}} - P_{\mathrm{O3}}\right)}{2}; \tag{1.10}$$

$$IJTT3 = OJTT3 - A_0 = P_{\mathrm{IP}} + \frac{\left(P_{\mathrm{OP}} - P_{\mathrm{O3}}\right)}{2}; \tag{1.11}$$

$$IJTT2 = P_{\mathrm{IP}} + OJTT2 = P_{\mathrm{IP}} + P_{\mathrm{OP}} - P_{\mathrm{O2}}, \tag{1.12}$$

čia P_{OP} – pirminio signalo galia išėjime, P_{O3} – trečios eilės abipusio moduliavimo komponentės galia, P_{IP} – pirminio signalo įėjimo galia, P_{O2} – antros eilės abipusio moduliavimo komponentės galia.

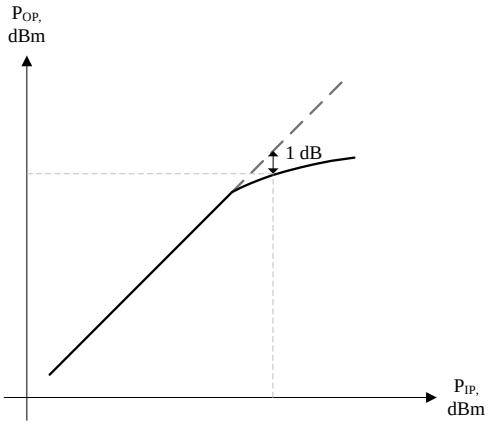
Dirbant realiomis sąlygomis, pirminio signalo ir jo *n*-tosios eilės abipusio moduliavimo komponentės niekada nesusikirs – pirminis signalas prieš tai užsotiną OS. Galios taškas, kuriame pirminio signalo išėjimo komponentė nukrypsta per 1 dB nuo tiesiško kitimo įėjimo galios atžvilgiu, vadinama GT1dB (1.17 pav.). Ši vertė gali būti išreiškiama per įėjimo arba išėjimo galios taškus.

Literatūroje analoginių filtrų naudojamų imtuvuose tiesiškumo kriterijus gali būti išreiškiamas naudojant DDBS vertę. Šis parametras išreiškiamas kaip skirtumas tarp IJTT3 ir minimalaus aptinkamo signalo galios (Pozar 2001):

$$DDBS = \frac{2\left(IJTT3 - MAS\right)}{3}; \tag{1.13}$$

$$MAS = 10\log_{10}\left(\frac{k_B T}{1mW}\right) + TF + 10\log_{10}\left(PDJ\right), \tag{1.14}$$

čia MAS – minimalus aptinkamas signalas, k_B – Bolcmano konstanta, kuri gali būti užrašoma kaip −228 dBW/K/Hz, PDJ – analoginio filtro praleidžiamųjų dažnių juosta.



1.17 pav. 1 dB glaudinimo taško vertės radimas
Fig. 1.17. Finding 1 dB compresion point value

IG filtrą sudarančių elementų parametrai gali kisti dėl temperatūros pokyčių, senėjimo, radiacijos poveikio. Filtro parametrų priklausomybė nuo jį sudarančių elementų verčių pokyčio įvertinama apskaičiuojant jautrumą konkrečiam filtro parametrui. Vieno parametro reliatyvus jautris gali būti apskaičiuojamas:

$$S_x^Y = \frac{\delta\left(\ln Y\right)}{\delta\left(\ln x\right)}, \tag{1.15}$$

čia Y – nagrinėjamo grandyno parametras, x – elementas, kurio vertė kinta, S_x^Y – reliatyvus jautris. Tada, reliatyvus filtro parametro Y pokytis dėl elemento x nuokrypio užrašomas:

$$\frac{\Delta Y}{Y} = S_x^Y \frac{\Delta x}{x}. \tag{1.16}$$

Filtro parametro Y reliatyvus jautrumas randamas apskaičiuojant jo išvestinę x atžvilgiu:

$$S_x^Y = \frac{dY}{dx}\frac{x}{Y}. \tag{1.17}$$

Įrodyta, kad BiF su keliais aktyviaisiais elementais visų parametrų (pvz. savojo dažnio, kokybės faktoriaus) reliatyvus jautrumas konkretaus elemento atžvilgiu niekada neviršija 1.

Norint tarpusavyje palyginti kelis filtrus ir jų parametrus, įvedama kokybės funkcijos (KF) sąvoka. Vienas iš siūlomų KF skaičiavimo būdų parodytas (Khumsat *et al.* 2012: 2751–2762).

$$KF = \frac{P[W]}{N \cdot PDJ \cdot DnD}, \tag{1.18}$$

čia P – galia, matuojama vatais, N – filtro eilės skaičius, DnD – dinaminis diapazonas. Gautos KF vertės svyruoja 10^{-12} J ribose. Autoriai DnD vertę gauna prie 1 % maksimalaus absoliutaus harmonikų iškraipymo. KF nėra nurodytas DnD matavimo sąlygos, ko pasėkoje gali būti lyginami skirtingose sąlygose gauti parametrai. De Matteis *et al.* (2013: 1280–1283; 2011: 1644–1647) savo siūlomose KF naudojama panašią struktūrą kaip ir (1.18), tačiau jos vardiklyje autoriai įterpia papildomą daugiklį $8 \cdot k_B \cdot T$. DnD parametras gali būti pakeistas signalas-triukšmas parametru (De Matteis *et al.* 2011: 21–24). Gautos KF vertės svyruoja 10^3–10^5 J ribose. Dažniau sutinkama KF DnD parametrą (1.18) lygtyje pakeičia DDBS (Oskooei *et al.* 2010: 517–520; Giannini *et al.* 2007: 1501–1512). Autorių pristatomos KF vertės svyruoja nuo 10^{-18} iki 10^{-11}, dėl ko jas lyginti tarpusavyje yra sudėtingą. Skirtingą KF siūlo (Chamla *et al.* 2004: 95–98):

$$KF = 10\log\left(\frac{N \cdot f_0 \cdot PDJD}{PPZ}\right), \tag{1.19}$$

čia f_0 – centrinis dažnis tarp maksimalios ir minimalios filtro PDJ derinimo ribos, $PDJD$ – praleidžiamųjų dažnių derinimo riba, skaičiuojama kaip santykis tarp didžiausio ir mažiausio PDJ ribinio dažnio, PPZ – filtro vartojamosios

galios santykis su filtrą aprašančios perdavimo charakteristikos polių ir nulių skaičiumi. Keičiamos PDJ įtraukimas į KF yra kritinis parametras filtrams, kurie taikomi DSI. Verta paminėti, kad nei vienas iš apžvelgtų KF neatsižvelgė į filtrų juostos derinimo tikslumą ar minimalų žingsnį.

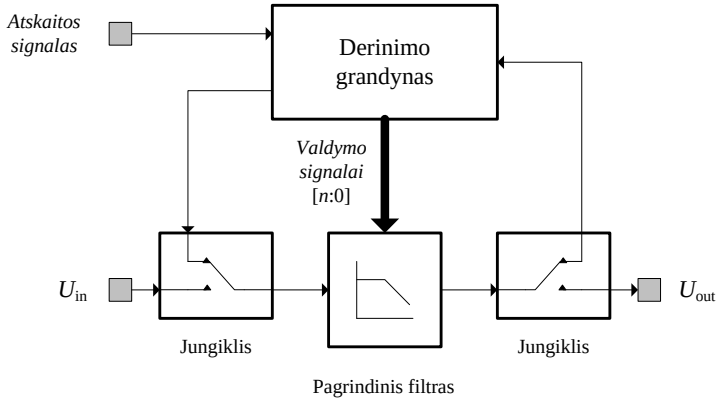
1.3. Integrinių analoginių filtrų derinimas

1.3.1. Derinimo būdai

Integrinių grandynų gamybos technologijos netolydumai sąlygoja integrinių komponentų verčių nuokrypius. Projektuojant aktyviųjų MOP-RC filtrų grandynus yra panaudojama daug skirtingų IG blokų ir komponentų, tokių kaip varžai, kondensatoriai, MOP tranzistoriai, OS (Giannini *et al.* 2007: 1501–1512). Projektuojamų filtrų atsakas priklauso nuo laiko konstantų, kurios nustatomas jau minėtais komponentais. Integrinių grandynų gamybos metu neįmanoma išvengti šių paklaidų, tad galima kurti papildomus, šias paklaidas mažinančius būdus. Verčių nuokrypiai atsiradę IG gamybos procesų metu turi būti kompensuojami arba koreguojami papildomais, gamybos procesų svyravimams nejautriais grandynais, kad būtų užtikrinamas aktyviųjų MOP-RC filtrų parametrų stabilumas (Sadhwani *et al.* 2012: 427–430).

Literatūroje, išskiriami trys pagrindinės filtrų derinimo struktūros:

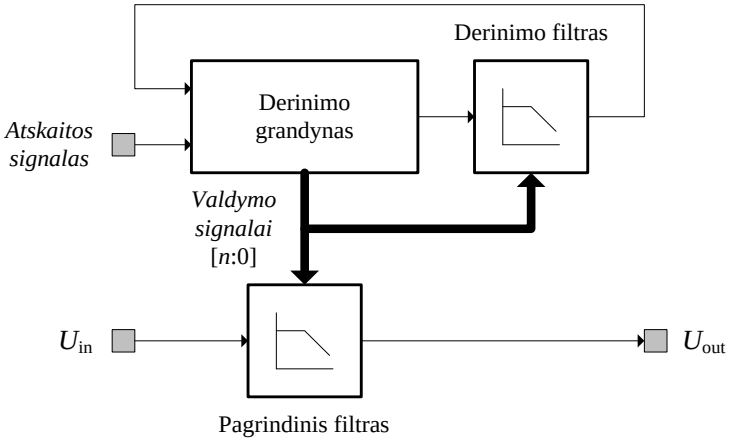
1. Tiesioginės.
2. Netiesioginės.
3. Naudojančios du pagrindinius filtrus.



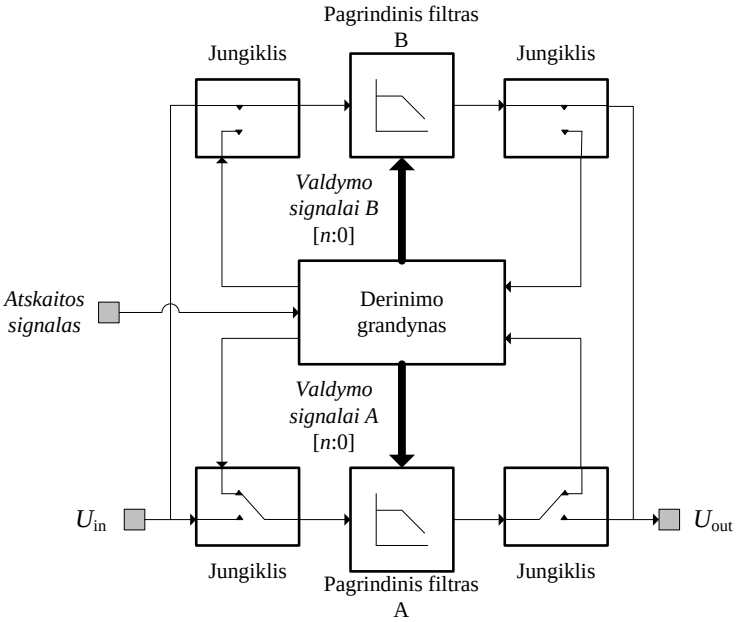
1.18 pav. Tiesioginio filtro derinimo schema
Fig. 1.18. Direct filter tuning scheme

Tiesioginio derinimo būdas pavaizduotas 1.18 paveiksle. Filtro parametrai yra derinami naudojant jam skirtą derinimo grandyną. Derinimo metu, filtras turi būti atskirtas nuo likusios grandinės, todėl toks būdas labiau tinkamas daugkartinės laikinio tankinimo prieigos sistemose ir negali būti naudojamas daugkartinės dažninio tankinimo prieigos sistemose, išskyrus atvejus kai mobiliojo ryšio standartas numato laiko tarpą vykdyti DSI perderinimui. Tokio derinimo būdo privalumas – reikalingas minimalus skaičius papildomų grandynų. Kagoshima *et al.* (2006: 837–840) aprašytas būdas, naudojantis tiesioginio derinimo būdą, kurio trukmė sieka 120 µs, PDJ suderinimo paklaida neviršija 5 %. Tokios didelės PDJ derinimo paklaidos priežastis – diskretus derinimo grandyno valdymas naudojant tik 16 valdymo kombinacijų.

Netiesioginio derinimo būdu (1.19 pav) pagrindinis filtras yra derinamas atsižvelgiant į valdymo reikšmes, gautas derinant kitą filtrą arba grandyną, darant prielaidą kad jo komponentų verčių pokytis bus labai panašus į pagrindinio filtro (Chen *et al.* 2010: 1–4). Tokio derinimo būdo privalumas – nepertraukiamas pagrindinio filtro darbas, todėl DSI gali dirbti daugkartinės laikinio tankinimo prieigos sistemose. Pagrindinis tokio tipo derinimo trūkumas yra reikalavimas turėti papildomą filtrą, taip pat neatsižvelgiama į IG proceso netolydumus. Netiesioginio būdo derinimo grandynai dažniausiai naudoja išorinius arba IG luste generuojamus virpesių generatorius, kurių pagalba amplitudės arba fazės detektoriais matuojamas derinimo filtro laiko konstantos ar signalo fazės pokytis (Heping *et al.* 2009: 95011; Li *et al.* 2012: 1–3; Junbo *et al.* 2012: 1–4).



1.19 pav. Netiesioginio filtro derinimo schema
Fig. 1.19. In-direct filter tuning scheme



1.20 pav. Filtro derinimas perjungiant du vienodus filtrus
Fig. 1.20. Filter claibration scheme with two main blocks

Filtro derinimas perjungiant du vienodus filtrus pavaizduotas 1.20 paveiksle. Šis būdas naudojamas rečiausiai dėl suprantamų priežasčių – reikalingi du identiški filtrai, iš kurių tik vienas yra naudojamas pastoviam darbui (Tsividis *et al.* 1986: 15–30). Šis reikalavimas didina IG lusto užimamą plotą, ypač aukšto selektyvumo ŽDF, kurie yra vieni iš daugiausiai ploto užimančių IG blokų. Derinimo būdo privalumas – kaip ir tiesioginio derinimo būdu koreguojamas pagrindinis, signalo apdorojimą atliekantis filtras. Panaudojus papildomus jungiklius, šį būdą galima realizuoti daugelio įėjimo ir išėjimų (DIDI) DSI struktūrose veikiančiose vieno įėjimas ir išėjimo (VIVI) suderinime. Tokiu būdu, pernaudojami neaktyvūs skirtingų kanalų filtrai. Trūkumas – mažėja tarpkanalinė izoliacija DSI dirbant DIDI rėžimu, derinimas panašėja į tiesioginį.

Pagal komponentų verčių valdymo pobūdį, galima išskirti du integrinių analoginių filtrų parametrų valdymo būdus:

1. Diskretaus žingsnio.
2. Tolydaus žingsnio.

Diskretus žingsnio valdymo atveju minimalus žingsnis yra apribotas fiksuoto kiekio valdymo kombinacijų. Literatūroje aprašytų diskretaus žingsnio

derinimo struktūros pateiktos 1.21 paveiksle. Pagrindinis diskrečiai valdomų blokų privalumas – paprastas valdymas, derinimo metu nenukenčia filtro teisiškumo parametrai, nereikalingi papildomi valdymo signalų formavimo grandynai. Diskretūs komponentų valdymo būdai naudojami keičiant tiek varžų, tiek kondensatorių blokus. Tiesa, kondensatorių valdymas beveik visada įgyvendinamas naudojant 1.21 paveikslo b dalyje parodytą struktūrą, taip išnaudojant lygiagrečiai jungiamų talpų sumavimo savybę. Minimalus žingsnis apribojamas mažiausio kondensatoriaus vertės, kuri IG gali siekti kelis femtofaradus. Formuojant tokias mažas talpas būtina atsižvelgti į valdymo MOP tranzistoriaus kontaktų parazitinių talpų ir kanalo varžos įtaką.

Nuosekli diskretaus valdymo perjungiamų varžų matrica yra pavaizduota 1.21 paveiksle a dalyje. Tokia valdymo matricos struktūra naudojama formuojant valdymo žingsnius, kurie gali kisti nevienodais intervalais ir dažnai naudojamos keičiant filtro arba stiprintuvų stiprinimą (Amico *et al.* 2008: 1534–1541). Nuoseklaus derinimo matricų privalumas – paprastas įgyvendinimas, laisvai parenkamos varžų vertės. Pagrindinis trūkumas – matrica jautri valdymo tranzistorių kanalo pokyčiams. Nustačius mažiausios varžos valdymo tašką, signalo kelyje matoma *n* MOP tranzistorių, ko pasėkoje bloginamas filtro tiesiškumas, todėl tokios derinimo matricos formuojamos su nedaug valdymo žingsnių (Jin *et al.* 2012: 1187–1190). Verta paminėti, kad apjungus valdymo tranzistorių santakas pašalinama nuosekliai sujungtų tranzistorių tiesiškumo problema (Heping *et al.* 2009: 95011).

Lygiagrečios perjungiamų varžų matricos struktūra pavaizduota 1.21 b dalyje. Didžiausią matricos varžos vertė nustatoma naudojant $R_{\text{fiksuotas}}$, o minimalų valdymo žingsnį užduoda R_0. Likusių varžų nominalai yra dvigubai mažesni už prieš tai esančio varžo (Bao *et al.* 2013: 370–373). Tokios matricos privalumai ir trūkumai yra panašūs į nuoseklios, tačiau verta paminėti, kad norint turėti mažą minimalų valdymo žingsnį, reikia naudoti varžus, kurių vertės skiriasi 100 kartų nuo $R_{\text{fiksuotas}}$. Lygiagrečios ir nuoseklios perjungiamų varžų matricos gali būti apjungiamos, taip padidinat jų verčių selektyvumą. Anderson *et al.* (2012: 470–473) siūlomoje struktūroje naudoja lygiagrečios struktūros perjungiamų varžų matricą, kurios vienas iš varžų sudarytas naudojant nuoseklaus perjungiamų varžų matricą.

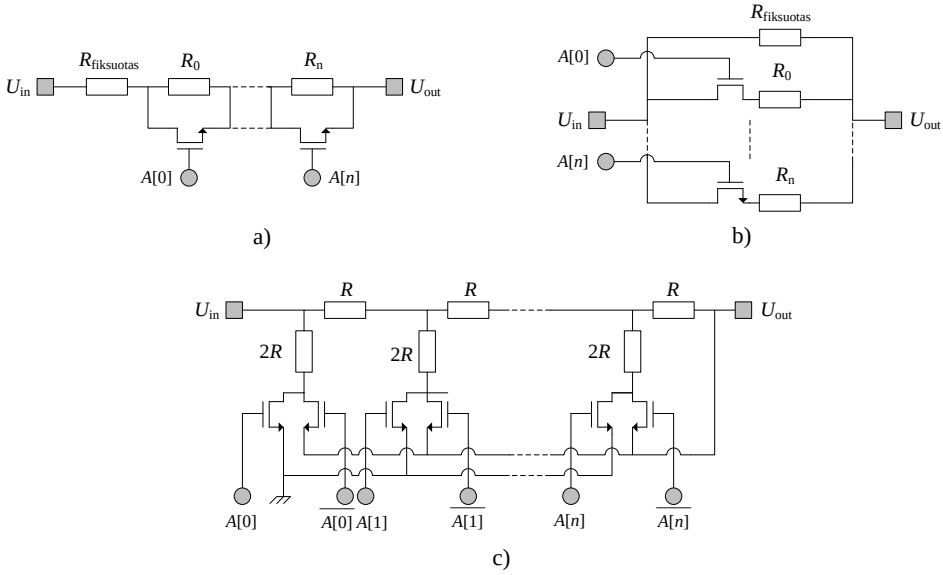
R-2R struktūra (1.21 c dalis) aprašoma (Hwang *et al.* 2005: 4803–4806). Šioje struktūroje panaudojamos tik dviejų nominalų varžos, todėl sumažinama varžų verčių sklaida. Didžiausio ir mažiausio PDJ santykis yra lygus 2^n. Didžiausias R-2R struktūros trūkumas – valdymo žingsnio netolydumas, todėl naudojant tokią derinimo matricą sunku gauti minimalų derinimo žingsnį, tenkinantį DSI naudojamų filtrų reikalavimus.

Tolydaus derinimo būdas realizuojamas pakeičiant IG pasyvų varžą į MOP tranzistorių, kurio kanalo varža kontroliuojama užtūros įtampa. Dažnai

naudojamų tolydžiai valdomų varžų struktūros parodytos 1.22 paveiksle. Paveiksle nurodytose formulėse, R pažymėta MOP tranzistoriaus kanalo varža, kuri gali būti apskaičiuojama:

$$R_{MOP} = \frac{L}{W\mu C_{oks}\left(\left[U_{UI} - U_{SI}\right] - \frac{U_{SI}}{2}\right)}, \tag{1.20}$$

čia W – tranzistoriaus kanalo plotis, μ – krūvininkų judris, L – tranzistoriaus kanalo ilgis, U_{UI}, U_{SI} – atitinkamai įtampa tarp užtūros-ištakos ir santakos-ištakos kontaktų.

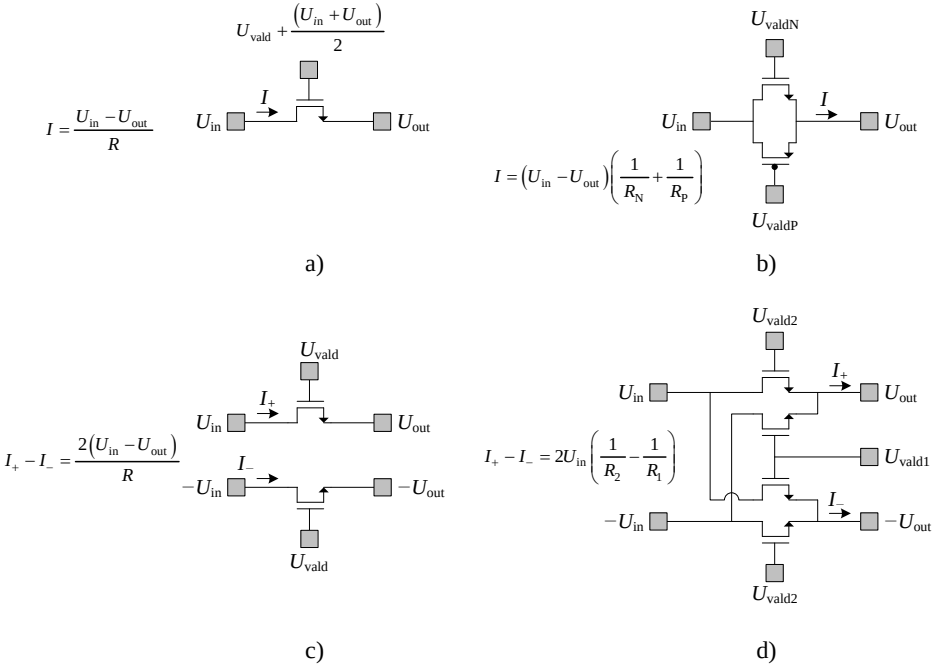


1.21 pav. Diskrečiai perjungiamų varžų matricų įgyvendinimo būdai:
a) nuoseklusis; b) lygiagretusis; c) R-2R struktūra
Fig. 1.21. Switched resistor banks and their implementation: a) sequential;
b) parallel; c) R-2R structure

Pagrindinis MOP tranzistoriumi pakeistų tolydžiai valdomų varžų privalumas – filtro derinimo tikslumas, kuris ribojamas valdymo įtampos minimalaus žingsnio rezoliucijos ir triukšmo lygio. Pagrindinis trūkumas – didėjant kanalo varžai (MOP su n tipo indukuotojo kanalu atveju mažinant U_{SI}), dėl netiesiškos MOP tranzistoriaus išėjimo charakteristikos, blogėja JTT3 parametras. Dėl šios priežasties, struktūros, pavaizduotos 1.22 paveikslo a, b ir c dalyse, dažniausiai naudojamos IG, turinčiuose aukštą maitinimo įtampą, arba

kur JTT3 parametras nėra svarbus (Yoshizawa 2002: 655–658; der Plas 1991: 922–929; Inoue *et al.* 1990: 1–12).

Tiesiškumo pagerinamas naudojant 1.22 paveikslo d dalyje pavaizduotą struktūra (Czarnul 1986: 714–716; Soliman *et al.* 2009: 151–179). Teoriškai naudojant tokią struktūrą, visi *n*-tosios eilės abipusės moduliacijos komponentai turėtų būti pašalinami juos sumuojant MOP tranzistorių ištakose (Osa *et al.* 2001: 944–951). Praktikoje, šis reiškinys gali tik priartėti prie tokių rezultatų. Literatūroje apžvelgtuose straipsniuose, dažniausiai nėra nurodomi MOP tranzistorių darbo taškai, gauti kompiuterinio skaičiavimo ar eksperimentiniai rezultatai, todėl sunku vertinti tokių struktūrų panaudojimo galimybes konfigūruojamose analoginiuose filtruose, skirtuose moderniems DSI.



1.22 pav. Tolydžiai valdomų rezistorių įgyvendinimas (Tsividis *et al.* 1986: 15–30)
Fig. 1.22. Continuously tunable resistor implementation using MOSFETs (Tsividis *et al.* 1986: 15–30)

Dažnai tolydžiai valdomos varžos projektuojamos su nuosekliai arba lygiagrečiai prijungtomis pasyviomis varžomis – naudojamos aktyviųjų MOP-RC filtrų struktūros (Aslanzadeh *et al.* 2009: 495–508; Khumsat *et al.* 2012: 2751–2762). Tokioje konfigūracijoje, įtampa susiformuojanti U_{SI} kontaktuose

sumažėja taip pagerinant filtro JTT3 parametrą. Pagrindinis trūkumas – sumažėjusios analoginio filtro parametrų derinimo ribos.

Analizuojant aktyviasias tolydžias filtrų struktūras, pastebėti keli literatūroje beveik nesprendžiami klausimai ir trūkumai:

1. Mažėjant MOP tranzistoriaus užtūros-ištakos valdymo įtampai, tranzistorius kanalo varža sparčiai didėja, o JTT3 vertė mažėja. Siauros MOP užtūros valdymo ribos (siekiančios iki 200 mV) užduoda griežtus rezoliucijos ir stabilumo reikalavimus valdymo įtampą formuojantiems grandynams.
2. Įėjimo JTT3 parametrai pateikiami tik viename taške – nėra nurodoma šio DSI analoginiams filtrams svarbaus parametro priklausomybė nuo MOP tranzistoriaus valdymo įtampos. Atliekant literatūrinė analizę, tik viename šaltinyje buvo nurodytas JTT3 pokytis nuo MOP valdymo įtampos (Yoshizawa 2002: 655–658).
3. Literatūroje aprašomi analoginių filtrų derinimo būdai taikomi siaurai filtro parametrų grupei, dažniausiai apsiribojant PDJ valdymu. Kelių filtro parametrų, tokių kaip stiprinimas ir PDJ valdymo galimybės, aprašoma retai (Shin *et al.* 2010: 85–89). Vasilopoulos *et al.* (2006: 1997–2008) pasiūlytas analoginis filtras su tolydžiai valdoma filtro PDJ, bet filtro aproksimacija ir eilė turi ribotą valdymą. Analoginių filtrų struktūros, kurios gali būti panaudotos programine įranga valdomame radijuje nėra išsamiau ištirtos.

1.3.2. Savaiminio derinimo grandynai

Analizuojamoje literatūroje dažniausiai aprašomi ir naudojami kelių tipų derinimo grandynai. Disertacijoje nebus apžvelgiamos kokybės faktorių derinimo grandynai, kurie skirti PDJF (Kousai *et al.* 2007: 2326–2337; Kousai *et al.* 2009: 411–420). Savaiminio derinimo grandynai naudojami automatizuotai kompensuoti gamybos metu atsiradusius komponentų nuokrypius tiek diskrečiai, tiek tolydžiai valdomuose analoginiuose filtruose:

1. Laiko konstantos tikrinimu paremti derinimo grandynai.
2. Atraminės srovės generavimu paremtas derinimo grandynas.
3. Virpesių generatoriumi paremti derinimo grandynai.

Laiko konstantą tikrinantys savaiminio derinimo grandynai dažniausiai naudoja netiesioginio derinimo būdą. IG komponentų vertės derinamos atsižvelgiant į pagalbinio analoginio ŽDF laiko konstantos pokytį (Oshima *et al.*

2004: 2052–2054; Chen *et al.* 2008: 208–211). Kartu su pagrindiniu KJIF projektuojamas aktyvusis arba pasyvusis pirmos eilės filtras. Siekiant, kad abiejų filtrų komponentų paklaidos būtų vienodos, filtrai silicio plokštelėje turi būti centruoti ir arti vienas kito. Tokiu būdu pagamintame IG luste abiejų filtrų komponentų laiko konstantų vertės yra artimos viena kitai.

Apibendrinta laiko konstantą tikrinančios savaiminio derinimo grandyno struktūra pavaizduota 1.23 paveiksle. Ją sudaro atraminio dažnio šaltinis, kuris gali būti gautas išorinio įtaiso arba vidinio bloko pagalba (dažniausiai fazės kilpų). Signalų formavimo grandynas yra sudarytas iš dažnio daliklių ir signalo frontų sinchronizavimo grandynų. SSP bloke realizuojamas filtro komponentų parinkimo algoritmas ir pagrindinio filtro komponentų valdymo grandynai. Įtampos palyginimo atveju, kuris yra pavaizduotas 1.23 paveiksle, komparatorius lygina C_{atr} įtampą su nustatyta įtampa U_{atr}. Priklausomai nuo įtampos lygio komparatoriaus išėjime, SSP blokas didina arba mažina derinimo filtro komponentų vertę, keisdamas jų valdymo kodą. Naudojant laiko konstantos tikrinimo struktūrą priimama prielaida, kad signalų delsa komparatoriuje ir signalų formavimo grandyne neįtakoja filtro suderinimo tikslumo, nes naudojamų signalų dažniai yra šimtų kilohercų arba kelių megahercų eilės. Jeigu U_{atr} yra lygi pusei komparatoriaus maitinimo įtampos, tada laiko tarpas, po kurio komparatoriaus išėjime pasikeis signalas, bus lygus:

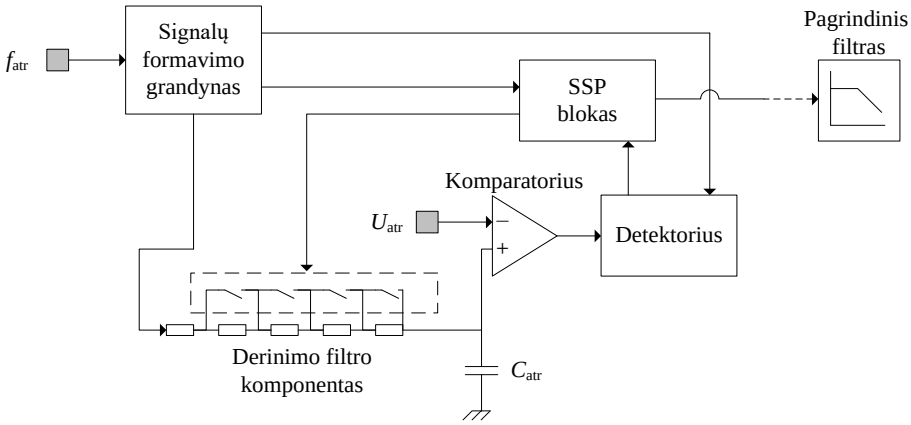
$$t_1 = R_{\mathrm{atr}} \cdot C_{\mathrm{atr}} \cdot \ln(2). \tag{1.21}$$

Valdymai gali būti keičiami paeiliui arba naudoti paskesnės aproksimacijos algoritmą (Wang *et al.* 2016: 20160764). Šiuo atveju, pavaizduota perjungiamų varžų matrica yra sudaryta iš keleto varžų, kuriais yra keičiama derinimo PDJ. Šį bloką pakeičiant fiksuotos vertės varžu, o kondensatorių – perjungiamų talpų matrica, filtro PDJ galime derinti keisdami kondensatorių bloką (der Plas 1991: 922–929).

Verta pastebėti, kad filtro derinimas, priklausomai nuo paieškos algoritmo, gali būti vykdomas su pertraukomis (Oshima *et al.* 2004: 2052–2054; Lo *et al.* 2014: 1164–1169). Taip daroma dėl baigtinio skaičiaus valdymo kombinacijų – schema negali nustatyti visiškai tikslios komponento vertės, su kuria bus tikslus ribinis dažnis. Šis trūkumas gali būti pašalinamas algoritme įvedant histerezę.

Literatūroje aprašytos vėlinimo derinimo kilpos sistemos derinimo diapazonas yra nuo ±28 % iki ±40 %, o filtro derinamo tikslumas siekia nuo ±2,5 % iki ±5 % (Junbo *et al.* 2012: 1–4; Jin *et al.* 2012: 1187–1190; Lim *et al.* 2005: 637–640). Heping *et al.* (2009: 95011) savo siūlomoje savaiminio derinimo struktūroje naudoja fazės detektorių, kuris lygina atraminio ir filtro dažnio fazių skirtumą. Fazės detektoriaus išėjimas sujungtas su krūvio pompą, kuri keičia kondensatoriaus C_{atr} įtampą. Galima įrodyti, kad fazės detektorių paklaida visada bus mažesnė už amplitudės detektorių

(komparatorių), tačiau siūlomoje struktūroje ribojantis faktorius yra diskretus elementų valdymas, derinimo tikslumas siekia ±4 % (Moschytz *et al.* 1981: 92). Mažesnę derinimo paklaidą galima gauti naudojant derinimo sistemą, kuri keičia varžus ir kondensatorius. Tokių savaiminio derinimo sistemų tikslumas siekia ±1,5 % (Giannini *et al.* 2007: 1501–1512). Panašios struktūros panaudojamos ir aktyviųjų MOP-C filtrų PDJ derinti, o derinimo tikslumo vertė yra panaši ir siekia 5 % (Kurahashi *et al.* 2007: 1699–1709) .



1.23 pav. Laiko konstantą tikrinantis savaiminio derinimo grandynas
Fig. 1.23. Self-tuning structure based on RC time constant aqcuisition

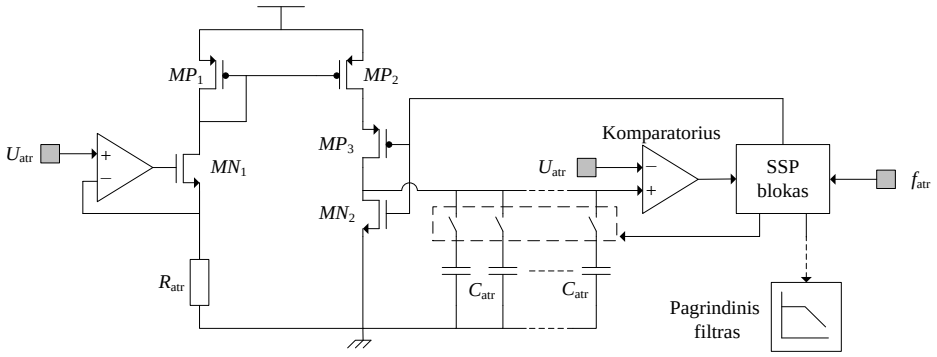
Laiko konstantos tikrinimu paremtų savaiminio derinimo grandynų pagrindinis privalumas – schemos universalumas, galimybė derinti tiek varžus ir MOP tranzistorius, tiek kondensatorius, greitas PDJ derinimas. Kaip trūkumus galima išskirti schemos sudėtingumą, komponentų skaičių, atraminio dažnio signalo būtinybę. Norint pilnai sumažinti signalų delsos skirtumus ir taip padidinti grandyno tikslumą, reikia generuoti derinimo signalus, kurių periodas gali siekti šimtus mikrosekundžių. Dėl padidėjusio periodo, reikia didinti kondensatorių (plotą) arba varžų bloką (didėja triukšmas, mažėja komparatoriaus MAS).

Integrinių analoginių filtrų komponentų verčių derinimui gali būti panaudojama ir atraminiu srovės generavimu paremtas savaiminis derinimo grandynas, pavaizduotas 1.24 paveiksle. (Du *et al.* 2006: 1031–1034; Gao *et al.* 2011: 1034–1039). MOP tranzistoriuje MP_1 generuojama srovė, kuri tiesiogiai priklauso nuo atraminės varžos R_{atr}. Atraminės varžos įtampa laikoma pastovi ir lygi U_{atr} panaudojus operacinį stiprintuvą, kuris jungiamas prie MN_1 vienetinio stiprinimo neigiamu grįžtamu ryšiu. Kadangi MP_1 tekanti srovė I_{SIMP1} tiesiogiai priklauso nuo R_{atr}, ji pilnai apibūdiną varžos pokyčius, atsirandančius dėl

aplinkos poveikio ar gamybos procesų nuokrypių. MP_2 tranzistoriaus užtūra sujungta su MP_1 užtūra, o jų ištakos prie vienodo potencialo, todėl MP_2 tekanti srovė I_{SIMP2} yra lygi $I_{SIMP1.}$ I_{SIMP2}, kuri taip pat priklauso nuo R_{atr} pokyčių, krauna derinimo kondensatorių matricą C_{atr}. MP_3 ir MN_2 tranzistoriai naudojami kaip jungikliai, skirti greitai iškrauti C_{atr} matricą. Komparatorius ir SSP blokas atlieką tokią pačią funkciją, kuri buvo aprašyta aptariant laiko konstantos tikrinimu paremtų savaiminio derinimo grandynus. Jeigu MP_1 ir MP_2 geometriniai matmenys yra vienodi, tada didžiausia kondensatoriaus įtampa V_{Catr}, kada MP_3 ir MP_2 jungiklių signalo periodas yra T_{MP3}, gali būti užrašoma:

$$V_{Catr} = \frac{I_{MP2}}{C_{atr}} T_{MP3}. \tag{1.22}$$

Literatūroje aprašytų šio derinimo grandynų PDJ derinimo tikslumas siekia svyruoja nuo ±3 % iki ±6 % (Chen *et al.* 2010: 1–4; Du *et al.* 2006: 1031–1034; Li *et al.* 2012: 1–3). Derinimo tikslumas priklauso nuo perjungiamų kondensatorių ar varžų matricų valdymo skilčių skaičiaus, kuris apžvelgtuose darbuose siekia 4–5 skiltis. Jiang *et al.* (2011: 1066–1069) naudojamos 7 valdymo skiltys, o derinimo tikslumas siekia 1,5 % suderinus filtrą GSM standarto juostai (200 kHz).



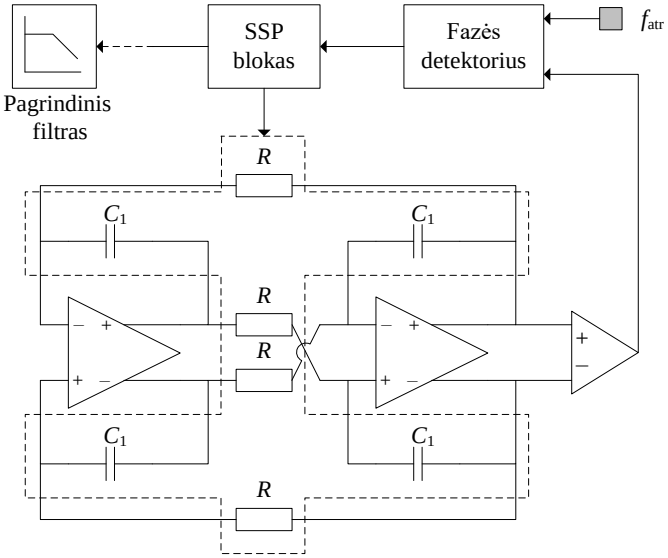
1.24 pav. Atraminės srovės generavimu paremtas savaiminio derinimo grandynas
Fig. 1.24. Charge pump based tuning aproach

Atraminės srovės generavimu paremto savaiminio derinimo grandyno pagrindinis privalumas – paprastesnė signalų formavimo grandyno struktūra lyginant ją su laiko konstantos tikrinimo derinimo grandynu. Naudojant skirtingo dydžio MP_2 tranzistorių, galima valdyti kondensatorių matricos įkrovimo laiką, taip dar labiau paspartinant derinimo procesą. Deja, šis būdas turi trūkumų: be detektoriaus įnešamos paklaidos, kuri bus visuose derinimo sistemose, struktūroje yra dar du I_{MP2} srovės nuokrypius įtakojantys veiksniai.

Pirmasis yra operacinio stiprintuvo baigtinis stiprinimas ir nulio taško poslinkis jo įėjime, kurie lemia ne visiškai tiksliai atkartojamą U_{atr} įtampą MN_1 ištakoje. MP_1 ir MP_2 išėjimo varžo vertė yra taip pat baigtinė, ir priklausomai nuo tranzistorių kanalo ilgio, taip pat skirsis. Šią problemą galima spręsti naudojant papildomas *MP* kaskodas.

Atraminės srovės generavimu paremti savaiminio derinimo grandynai nėra tinkami aktyviųjų MOP-C filtrų derinimui. Norint derinti aktyviųjų MOP-C filtrų struktūras, MOP tranzistoriaus santakos ir ištakos įtampa turės būti lygi pagrindiniame filtre naudojamų pastovios įėjimo ir išėjimo įtampų skirtumui. Įprastai, šios vertės laikomos vienodomis arba skiriasi keliolika milivoltų. Tai stipriai apsunkina įtampos formavimą MOP tranzistoriaus santakoje (MOP tranzistoriuje su *n* tipo indukuotuoju kanalu). Tiesa, aktyviesiems MOP-RC filtrams, šis derinimo grandynas gali būti naudojamas.

Integrinių analoginių filtrų derinimui gali būti naudojami ir RC virpesių kontūrus naudojantys savaiminio derinimo grandynai (žr 1.25 pav.). Virpesių kontūro generuojamas dažnis priklauso nuo jo varžų ir talpų, kurios atkartoja pagrindiniame filtre esančius blokus. Pokytis šiuose elementuose, keičia virpesių kontūro dažnį. Skirtumas tarp virpesių kontūro generuojamo ir išorinio taktinio dažnio matuojamas naudojant fazės detektorių. Toliau SSP blokas, priklausomai nuo fazės detektoriaus formuojamo signalo atitinkamai keičia virpesių kontūro ir pagrindinio filtro elementų vertes, taip koreguodamas atsiradusius nuokrypius.



1.25 pav. Virpesių kontūras, naudojamas savaiminio filtrų derinimo grandynuose
Fig. 1.25. Ring oscillator, used in automatic filter tuning

Tokios struktūros derinimo grandynams įgyvendinti reikia mažiausiai papildomų grandynų lyginant su anksčiau aptartais savaiminio derinimo grandynais. Aprašyti derinimo grandynai naudoja RC virpesių kontūrus, sudarytus iš dviejų arba trijų aktyviųjų elementų (Vasilopoulos *et al.* 2006: 1997–2008; Upathamkuekool *et al.* 2011: 86–89). Pagrindinis virpesių kontūro savaiminio derinimo grandyno trūkumai:

1. Virpesių kontūras, priklausomai nuo jo pasyvių elementų dydžio, gali užimti didelį IG lusto plotą.
2. RC virpesių kontūrų generuojami signalai pasižymi prastu faziniu triukšmu, kas įtakoja fazės detektoriaus tikslumą.
3. Reikalingi papildomi dalikliai ir (arba) sinchronizavimo grandynai, kurie generuojamo signalo darbo ciklą priderintų prie f_{atr}.
4. Turi būti užtikrinama generavimo sąlyga. Virpesių kontūras privalo turėti paleidimo ir užgesinimo galimybę.
5. Virpesių kontūras negali būti formuojamas arti pagrindinio filtro, nes jo generuojamas signalas gali skverbtis į siųstuvo-imtuvo kanalus. Virpesių kontūrą tolinant nuo pagrindinio filtro, didinama absoliučių verčių paklaida tarp abiejų blokų.

Literatūroje aprašyti derinimo grandynų su virpesių kontūrais tikslumas siekia ±5 % (Vasilopoulos *et al.* 2006: 1997–2008). Upathamkuekool *et al.* (2011: 86–89) aprašyta derinimo kontūro su trejais aktyviaisiais elementais derinimo tikslumas nėra pateikiamas. Verta paminėti, kad aktyviųjų MOP-C filtrų derinimui, ši struktūra irgi nėra tinkama, nes dėl MOP tranzistorių įnešto netiesiškumo, bus generuojami papildomi signalai – fazės detektorius gali fiksuoti klaidingus generuojamų signalų frontus.

Išanalizavus literatūroje tiriamus IG savaiminio derinimo grandynus, pastebėta:

1. Diskrečiai valdomų netiesioginių savaiminio derinimo sistemų mažiausią paklaidą užtikrina laiko konstantą tikrinantys savaiminio derinimo grandynai. Šio tipo derinimo grandynai gali būti panaudoti diskrečiais ir tolydžiais žingsniais valdomiems analoginiams filtrams.
2. Norint pasiekti mažesnį nei ±1 % PDJ derinimo tikslumą, kai PDJ derinimo ribos yra didesnės už ±30 %, analoginiuose filtruose su diskrečiu valdymo žingsniu reikia bent 8 valdymo skilčių.
3. Literatūroje plačiai aprašomi diskretaus savaiminio derinimo grandynai, tačiau tolydaus savaiminio derinimo grandyno struktūros ir būdai yra mažai ištirti.

1.4. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas

1. Tobulėjant telekomunikacijos įrangai, belaidžio ryšio standartų skaičius didėja, todėl susidaro poreikis turėti daugiastandartį siųstuvą-imtuvą (DSI), kuris gali dirbti tiek su esamais, tiek su būsimais standartais. Dažniausiai literatūroje minimi DSI realizuojami naudojant tiesioginę (homodininę) siųstuvo-imtuvo architektūrą. Viena iš sparčiausiai vystomų technologijų naudojanti DSI yra programine įranga valdomas radijas.
2. Vienas svarbiausių programine įranga valdomo radijo siųstuvo-imtuvo grandynų yra analoginis filtras, kuris turi turėti valdomą praleidžiamų dažnių juostą, aproksimaciją ir (arba) filtro eilę. Analoginiai filtrai atlieka duomenų kanalo išrinkimo, triukšmo ir nepageidaujamų signalų slopinimo funkcijas. Tokie filtrai tiesioginės architektūros siųstuvuose-imtuvuose būna žemų dažnių, o jų praleidžiamųjų dažnių juosta svyruoja nuo šimtų kilohercų iki šimtų megahercų.
3. Iš plačiai naudojamų analoginių filtrų struktūrų aktyvieji RC filtrai pasižymi didžiausiu išėjimo dinaminiu ruožu ir žemu triukšmų lygiu. Dėl šios priežasties, aktyvieji RC filtrai yra dažniausiai naudojami DSI, kur signalo-triukšmo santykis yra svarbus parametras.
4. Puslaidininkių integrinėse technologijose gaminamų analoginių filtrų parametrai gali kisti dėl temperatūros, senėjimo ar integrinių grandynų gamybos procesų kintamumo. Todėl jiems būtina numatyti papildomus grandynus, kurie kompensuoja filtrų komponentų pokyčius.
5. Žinomi du integrinių analoginių filtrų derinimo būdai: diskretus ir tolydus. Pirmuoju atveju, filtro parametrų derinimas yra apribotas fiksuotu kiekiu valdymo kombinacijų, tačiau jo įgyvendinimas yra paprastesnis, o derinimo metu nenukenčia filtro tiesiškumo ar triukšmo parametrai. Tolydaus valdymo būdas leidžia tiksliau suderinti filtrą į norimą darbo tašką, tačiau jo įgyvendinimas ir valdymo grandynai yra sudėtingesni, nuo valdymo signalo gali kisti filtro tiesiškumo ar triukšmo parametrai. Galimos ir abiejų valdymų kombinacijos.
6. Integriniuose analoginiuose filtruose dažniausiai naudojami savaiminio derinimo grandynai, kurie kompensuoja pasyvių

elementų verčių pokyčius. Literatūroje plačiai išnagrinėti diskretaus savaiminio derinimo grandynai, tačiau tolydaus savaiminio derinimo grandyno struktūros ir būdai yra mažiau ištirti.

7. Integrinių analoginių filtrų bei jų savaiminio derinimo grandynų struktūros, kurios gali būti panaudojamos programine įranga valdomame radijuje mažai ištirtos.

Atlikus literatūros analizę, suformuluoti šie disertacijos uždaviniai:

1. Sukurti konfigūruojamų integrinių analoginių aktyviųjų RC filtrų ir jų savaiminio derinimo grandynų struktūras, naudotinas programine įranga valdomame radijuje, bei ištirti tokių filtrų triukšmo ir tiesiškumo parametrų kitimą taikant skirtingus derinimo būdus.
2. Sukurti ir ištirti integrinių analoginių aktyviųjų RC filtrų savaiminio derinimo grandynų modelius ir tokių grandynų projektavimo būdus, kompensuojančius jų gamybos technologinius nuokrypius ir aplinkos temperatūros įtaką.
3. Sukurti integrinius analoginius aktyviuosius RC filtrus su diskrečiu ir tolydžiu savaiminio derinimo grandynais ir ištirti tokių grandynų poveikį filtro dažninės amplitudės, fazės ir tiesiškumo parametrams.

2

Integrinių analoginių filtrų ir jų savaiminio derinimo grandynų modelių kūrimas ir tyrimas

Tyrimų tikslas – sukurti konfigūruojamo integrinio analoginio filtro struktūrą, derinimo matricos ir derinimo grandynų modelius, projektavimo algoritmus ir ištirti juos pasirinktose integrinių grandynų gamybos technologijose.

Skyriaus pradžioje pateikiama kuriamo konfigūruojamo integrinio analoginio filtro struktūra, skirta programine įranga valdomo radijui ir atitinkanti jai keliamus reikalavimus. Pagrindiniai filtro parametrai, tokie kaip aproksimacijos tipas, eilė, vartojamoji galia, praleidžiamųjų dažnių juosta yra valdomi, kad tenkintu programine įranga valdomo radijo keliamus reikalavimus.

Integrinio analoginio filtro derinimas vykdomas naudojant derinimo matricas. Diskretaus ir tolydaus derinimo matricų modeliai panaudojami kurti derinimo matricų elementų verčių parinkimo algoritmus. Modelių ir algoritmų tikslumui patikrinti naudojami kompiuteriniai skaičiavimai 0,18 μm ir 65 nm integrinėse technologijose.

Pasiūlytoms diskretaus ir tolydaus derinimo matricoms valdyti sukuriami derinimo grandynai ir atliekamas jų tyrimas. Skyrius baigiamas apibendrinimu ir modelių sudarymo metu padarytomis išvadomis.

Skyriaus tematika paskelbti 5 moksliniai straipsniai (Kiela, Navickas 2015; Kiela, Jurgo, Kladovščikov 2016; Kiela, Mamajev, Navickas 2016, Kiela, Jurgo,

Navickas 2017). Skyriaus tematika skaitytas pranešimas respublikinėse konferencijoje (Kiela, Navickas 2014) ir pranešimas tarptautinėje konferencijoje (Kiela 2016).

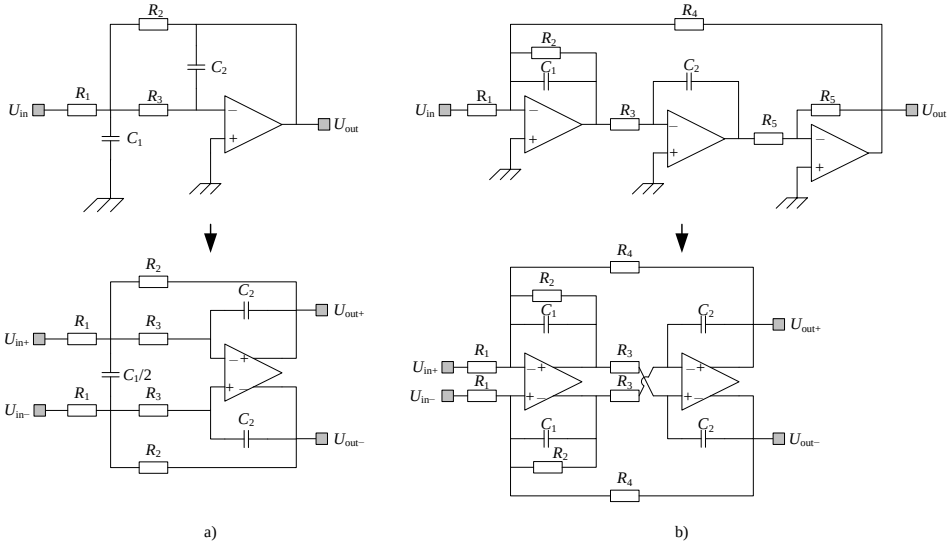
2.1. Konfigūruojamos integrinio analoginio filtro struktūros tyrimas

Programine įranga valdomo radijuje naudojamų DSI su nulinio tarpinio dažnio architektūra analoginiai kanalų juostos išrinkimo filtrai turi tenkinti šiuos pagrindinius reikalavimus – pagrindiniai tokį filtrą apibūdinti naudojami parametrai turi būti valdomi. KJIF pagrindiniai parametrai yra:

1. Filtro eilė.
2. Aproksimacijos tipas.
3. Praleidžiamųjų dažnių juosta.
4. PDJ integruoto triukšmo vidutinė kvadratinė vertė.
5. JTT3 taško vertė.
6. Vartojamoji galia.

Beveik visi blokai esantys DSI dažniausiai projektuojami naudojant pilnai diferencines struktūras (Han *et al.* 2011: 433–441; Lim *et al.* 2011: 1648–1658). Išėjimo arba įėjimo radijo dažnio pakopos gali turėti ir ne pilnai diferencinius signalus – tai sąlygoja pasirinkta bloko struktūra, suderinimo su išorine įranga reikalavimai (Huang *et al.* 2013: 204–217; Huang *et al.* 2010). Moderniuose DSI su nulinio tarpinio dažnio architektūra, kvadratūriniai grandynai beveik visada turi pilnai diferencinę architektūrą – dėl šios priežasties ir KJIF filtrai turi būti pilnai diferenciniai. Taip pasiekiamas geresnis struktūros signalas-triukšmas santykis ir sumažinami lyginių harmonikų iškraipymai. Tiesa, nežymiai padidinama vartojama galia dėl papildomos išėjimo pakopos ir padvigubinamas pasyvių komponentų skaičius. Komponentų skaičiaus padidėjimas IG yra nepageidaujamas, nes didinamas lusto užimamas plotas. Visgi pilnai diferenciniai grandynai pasižymi dideliu sinfazinių trikdžių slopinimu, kurių šaltinių IG yra daug dėl didelio parazitinių sujungimų skaičiaus (Armagan *et al.* 2013: 1–4). Dar vienas pilnai diferencinės KJIF struktūros privalumas – BiF struktūroms nereikalingas papildomas stiprintuvas signalo apgręžimui, o tokių struktūrų sudarymas iš plačiau literatūroje aprašomų nepilnai diferencinių struktūrų, pavaizduotų 1.1.2 skirsnyje 1.10 ir 1.11 paveiksluose, yra nesudėtingas (2.1 pav.). Remiantis paminėtais privalumais ir literatūros analizės metu padarytomis išvadomis galime daryti prielaidą, kad labiausiai tinkanti

disertacijoje kuriamos konfigūruojamos KJIF skirto programine įranga valdomo radijo struktūra turi būti sudaryta naudojant pilnai diferencinius aktyviuosius blokus ir tarpusavio sujungimus.



2.1 pav. Pilnai diferencinių filtrų struktūrų sudarymas iš nediferencinių struktūrų: a) antros eilės filtrui su vienu OS; b) antros eilės filtrui su dviem aktyviais OS
Fig. 2.1. Creating a fully differential channel selection filter structure from a single ended structure a) second order filter with one operational amplifier; b) second order filter with two operational amplifiers

2.1.1. Integrinių analoginių filtrų nuokrypių tyrimas

1.1.2 skirsnyje buvo aprašyta, kad aukštesnės negu 2 eilės filtrai sudaromi kaskadinant pirmos ar antros eilės filtrus, arba naudojant DGR arba ŠGR metodus. Jų tarpusavio pagrindiniai skirtumai – skirtingas jautrumas elementų verčių nuokrypiams ir triukšmo parametrai (Temes *et al.* 2004: 1). Nemažai pastangų dėta į analoginių filtrų struktūrų optimizavimą mažinant filtro šiluminius triukšmus, elementų jautrį konkretiems filtro parametrams, tokiems kaip PDJ, kokybės faktorius, arba didiant filtro struktūros tiesiškumą (dinaminį diapazoną) (Monsurrò *et al.* 2015: 1615–1636; Jurisic *et al.* 2012: 503–532).

Literatūroje optimizuojamos analoginių filtrų struktūros apsiriboja 1–3 eilės filtrais, dažniausiai tiriamos vieno aktyviojo elemento filtro klasikinės Sallen-Key arba MFB struktūros (Stojković *et al.* 2011). Mijat *et al.* (2010: 161–164) ir Stojković *et al.* (2011) savo tyrimuose pateikia skirtingų analoginių filtrų

struktūrų Monte Karlo metodo skaičiavimo rezultatus, tačiau pateiktose struktūrų PDJ pokyčio kreivėse privalumai ir trūkumai yra sunkiai interpretuojami – nepateikiami skaitinėmis vertėmis išreikšti nuokrypio pagerėjimo ar pablogėjimo rezultatai, o pateikti grafikai skirtumų neišryškina. Taipogi, skaičiuojant nuokrypius Monte Karlo metodu nėra pateikiama informacija apie skaičiavimo modelius ir filtro įgyvendinimo tipą – naudojant integrines technologijas arba diskrečius elementus.

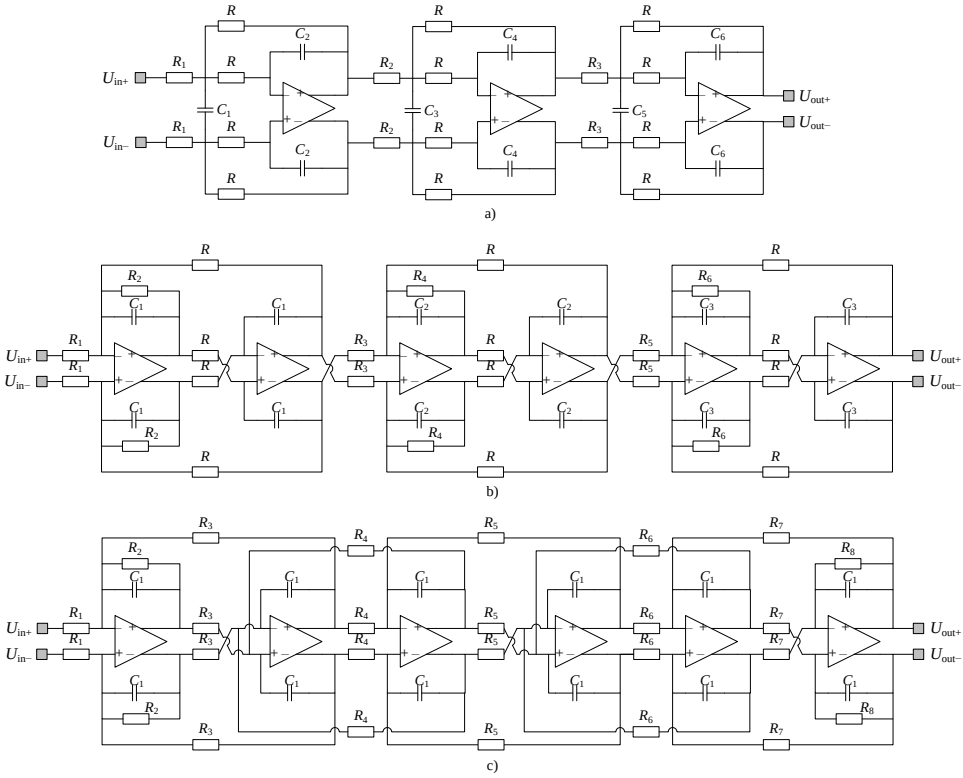
IG taikomo Monte Karlo metodo skaičiavimai yra sudaryti iš dvejų, kartais dėl modelių ypatumų neatskiriamų, bet skirtingus nuokrypių atsiradimo procesus imituojančių skaičiavimų – elementų geometrinių verčių ir IG gamybos proceso. Elementų geometriniai matmenys gali kisti dėl IG gamybos metu naudojamų fotolitografijai skirtų kaukių šablonų geometrinių defektų, sutapdinimo arba ėsdinimo procesų netobulumų (Navickas *et al.* 2012: 80; Navickas 2008: 99). IG esančių elementų geometrinių defektų nuokrypių pasiskirstymas gali būti laikomas stochastiniu, t.y. įtakoti kiekvieną elementą skirtingai. Netobulumai, atsirandantys dėl IG gamybos proceso metu kintančių priemaišų legiravimo ar difuzijos laipsnių, irgi sąlygoja IG proceso nuokrypius. Šių nuokrypių pasiskirstymas visame luste gali būti laikomas tolydžiu, t.y. įtakoja visus IG esančius elementus vienodai (arba apibrėžtame plote).

Dažniausiai literatūroje analizuojamų analoginių filtrų struktūrų parametrų verčių nuokrypių jautris lyginamas tarpusavyje atsižvelgiant tik į jį sudarančių elementų verčių atsitiktinius ir nepriklausomus vienas nuo kito pokyčius. IG technologijoje kuriamo konfigūruojamo filtro struktūrą pasirinkti tik pagal tokius skaičiavimus nėra optimalu – nėra palyginama IG elementų geometrinių verčių ir IG gamybos proceso nuokrypių įtaka analoginio filtro parametrams (Mijat *et al.* 2010: 161–164; Stojković *et al.* 2011). Dėl šios priežasties, kuriant konfigūruojamo analoginio filtro struktūrą, buvo ištirtos trijų skirtingų tipų IG analoginių aktyviųjų RC filtrų struktūros, su dviem skirtingomis aproksimacijomis dvejose IG technologijose taikant IG naudojamą Monte Karlo metodą. Tiriamų analoginių aktyviųjų RC filtrų struktūros:

1. Trys šeštos eilės ŽDF sudaryti naudojant MFB kaskadų, BiF kaskadų ir ŠGR struktūras, kurios atitinkamai pavaizduotos 2.2 paveiksle.
2. Kiekviena struktūra gali būti perjungiama į Čebyševo su 1 dB pulsacijos arba Legendre aproksimacijos tipus naudojant diskrečiai valdomas kondensatorių ir rezistorių matricas.
3. Visos filtrų kombinacijos suprojektuotos dvejose KMOP IG gamybos technologijose su 0,18 μm ir 65 nm minimaliu technologiniu žingsniu.

$$H_{\text{Čeb}}(s)=\frac{0,06891}{\left(s^2+0,1244s+0,9907\right)\left(s^2+0,3398s+0,5577\right)}\cdot \cdot\frac{1}{\left(s^2+0,4641s+0,1247\right)}; \tag{2.1}$$

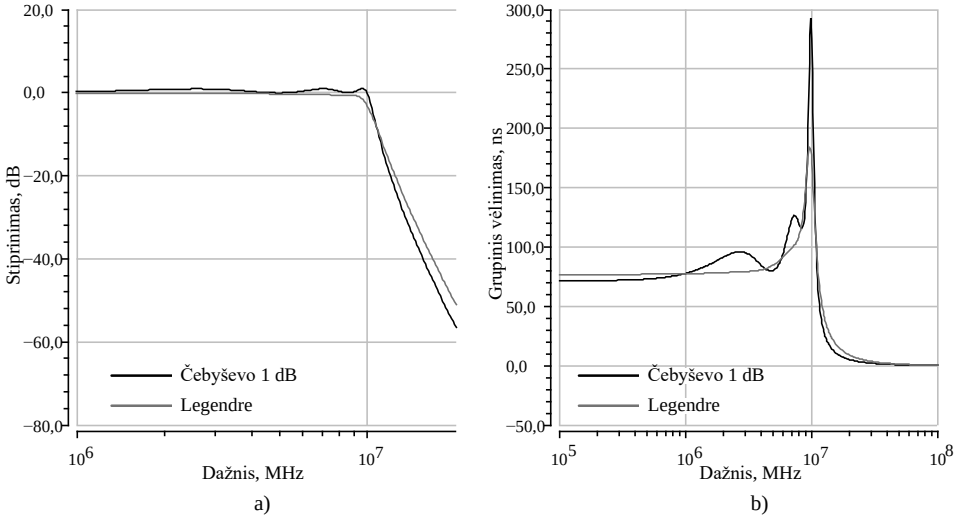
$$H_{\text{Leg}}(s)=\frac{0,1414}{\left(s^2+0,2304s+0,9696\right)\left(s^2+0,6179s+0,5829\right)}\cdot \cdot\frac{1}{\left(s^2+0,8778s+0,2502\right)}. \tag{2.2}$$



2.2 pav. Suprojektuotų 6 eilės filtrų struktūros: a) daugelio grįžtamų ryšių kaskada; b) bikvadratinė kaskada; c) šuolinių grįžtamų ryšių

Fig. 2.2. Designed 6th order filter structures: a) cascaded Multiple feedback; b) cascaded Biquad; c) Leapfrog

Šeštos eilės aktyviojo RC ŽDF su Čebyševo 1 dB ir Legendre aproksimacijomis projektavimui naudotos perdavimo funkcijos atitinkamai (2.1) ir (2.2). Tiriamuose šeštos eilės ŽDF antros eilės filtrų struktūros įgyvendintos tokia pat seka kaip ir parodyta (2.1) ir (2.2). Filtrų eilė ir aproksimacijos tipas pasirinktas atsižvelgiant į tai, kad literatūroje plačiai tiriami filtrai skirti mobiliųjų belaidžio ryšio standartams yra 4–6 eilės su plokščios PDJ amplitudės ar Čebyševo aproksimacijomis (De Matteis *et al.* 2009: 191–194; Jin *et al.* 2012: 1187–1190). Filtrų elementų vertės parinktos naudojant 10 kΩ atskaitos vertę ir suvienodintas kondensatorių vertes. Tiriamų filtrų stiprinimas yra vienetinis, o jų PDJ ribinis dažnis 10 MHz, kuris parinktas atsižvelgiant į modernių belaidžio ryšio standartų, tokių kaip 4G (LTE), Wi-Fi ir WiMax, duomenų kanalo pločio reikalavimus. Suprojektuotų filtrų DACh ir grupinio vėlinimo charakteristikos atitinkamai pavaizduotos 2.3 paveikslo a ir b dalyse.



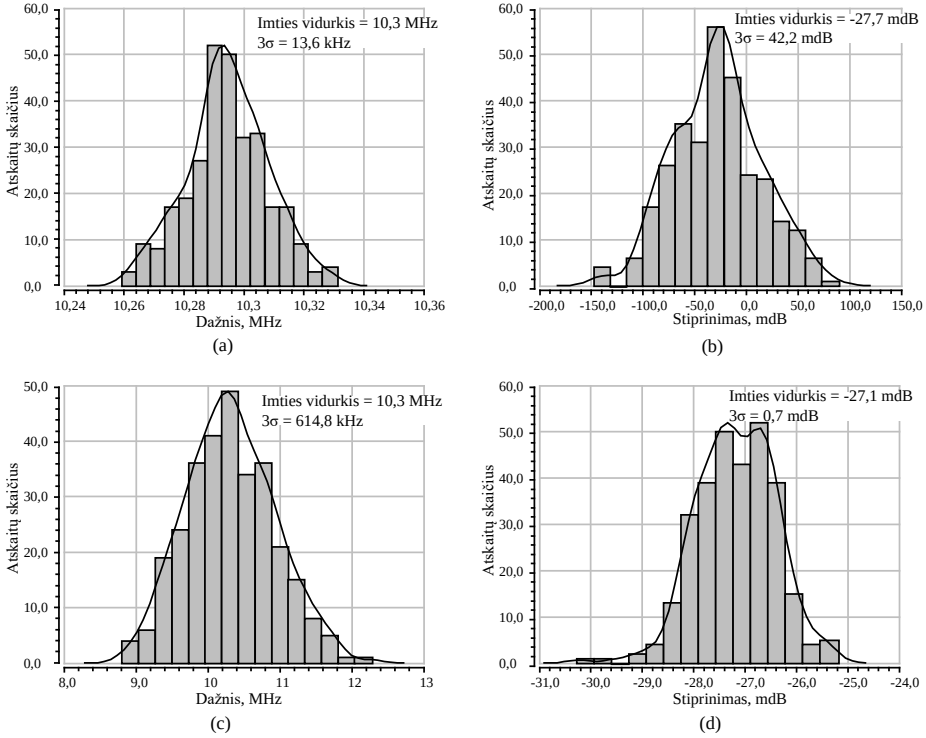
2.3 pav. Tiriamų šeštos eilės žemų dažnių filtro: a) DACh; b) grupinis vėlinimas
Fig. 2.3. Investigated low pass filter: a) frequency response; b) group delay

2.1 lentelėje pateikti tiriamų filtrų struktūrų parametrų imties vidurkiai (μ) ir jų trijų kvadratinių nuokrypių nuo centro ribos (3σ), gautos atlikus kompiuterinius skaičiavimus naudojant IG skirtus Monte Karlo metodus. 2.4 paveiksle pavaizduoti BiF kaskadų struktūros su Čebyševo 1 dB aproksimacija PDJ ir stiprinimo parametrų nuokrypių pasiskirstymo KMOP 65 nm technologijoje grafikai. Toks pat pasiskirstymo dėsnis būdingas ir kitų nagrinėjamų filtrų struktūrų parametrams abejose nagrinėtose IG technologijose. Verta paminėti, kad 65 nm KMOP IG technologijoje Monte Karlo metodo skaičiavimų metu elementų geometrinių verčių ir IG gamybos procesų

nuokrypiai buvo įvertinti nepriklausomai – abiejų procesų sukeltų nuokrypių įvertinti kartu neleido IG technologinės elementų bibliotekos modelių apribojimai. Priešingai, 0,18 µm KMOP technologijoje buvo galima įvertinti tik abiejų procesų sukeliamus nuokrypius.

2.1 lentelė. Tiriamų šeštos eilės aktyviųjų RC žemų dažnių filtrų struktūrų parametrų verčių imties vidurkiai ir trijų kvadratinių nuokrypių ribos
Table 2.1. 6th order low-pass active RC filer parameter mean and 3 standard deviation values

			Praleidžiamųjų dažnių juosta, MHz			Stiprinimas, mdB		Pulsacija, dB		
IG	Monte Karlo metodas	Filtro struktūra, aproksi-macija	μ	3σ	3σ, %	μ	3σ	μ	3σ	3σ, %
65 nm, KMOP	Elementų geometrinių verčių	MFB (Č)	9,66	0,02	0,16	−83,5	63,15	1,27	0,06	4,50
		BiF (Č)	10,29	0,01	0,14	27,7	42,2	1,07	0,09	8,47
		ŠGR (Č)	10,31	0,01	0,07	−70,98	41,8	1,06	0,01	1,39
	IG gamybos procesų	MFB (Č)	9,95	0,60	6,07	−78,3	2,45	1,48	0,06	4,19
		BiF (Č)	10,28	0,64	6,19	−27,2	0,78	1,07	0,02	2,14
		ŠGR (Č)	10,29	0,64	6,22	−72,29	2,25	1,09	0,02	1,92
	Elementų geometrinių verčių	MFB (L)	9,75	0,02	0,16	−81,2	58,62	–		
		BiF(L)	9,96	0,02	0,17	−35,11	61.45			
		ŠGR(L)	9,97	0,01	0,09	−72,08	50.03			
	IG gamybos procesų	MFB (L)	9,99	0,62	6,18	−75,15	2,48			
		BiF (L)	9,96	0,61	6,14	−35,36	1,15			
		ŠGR (L)	9,96	0,61	6,16	−73,21	2,69			
0,18 µm, KMOP	Elementų geometrinių verčių ir IG gamybos procesų	MFB (Č)	9,99	0,69	6,86	−88,9	99,1	1,34	0,18	13,53
		BiF (Č)	10,3	0,74	7,22	50,4	106,2	1,15	0,17	14,49
		ŠGR (Č)	10,32	0,70	6,82	−74,85	86,59	1,19	0,09	7,52
		MFB (L)	10	0,69	6,92	−81,7	98,86	–		
		BiF (L)	9,94	0,71	7,13	−95,4	105,1			
		ŠGR (L)	10	0,68	6,82	−80,2	113,2			



2.4 pav. Bikvadratinių filtrų kaskadų struktūros su Čebyševo 1 dB aproksimacija parametrų nuokrypiai, KMOP 65 nm technologijoje taikant Monte Karlo metodą tik elementų geometrinėms vertėms: a) PDJ; b) stiprinimo, ir taikant Monte Karlo metodą IG procesų nuokrypiams įvertinti: c) PDJ; d) stiprinimo.

Fig. 2.4. Cascaded biquad filter structure with a Chebyshev 1 dB ripple sensitivity analysis in 65 nm CMOS with Monte Carlo mismatch: a) bandwidth, b) gain, and with Monte Carlo process variation: c) bandwidth, d) gain.

Iš 2.1 lentelėje pateiktų kompiuterinio skaičiavimo metų gautų duomenų matyti, kad visų analoginių filtrų struktūrų PDJ trijų kvadratinių nuokrypių nuo centro ribos yra panašios ir mažai priklauso nuo pasirinktos filtro struktūros. Didžiausią įtaką 65 nm KMOP technologijoje suprojektuotų filtrų PDJ nuokrypiams turi IG gamybos procesų nuokrypiai, kur 3σ siekia 6 % – 6,2 %, o elementų geometrinių verčių sklaida PDJ 3σ įtakoja iki 0,2 %. Atitinkamai 0,18 µm KMOP technologijoje skaičiuotų filtrų struktūrų PDJ 3σ siekia 6,8 % – 7,2 %, įvertinant IG gamybos procesų ir elementų geometrinių verčių nuokrypius.

Kadangi filtro stiprinimo vertė priklauso nuo rezistorių verčių santykio, šį parametrą įtakoja tik elementų geometrinių verčių nuokrypiai. Visų tiriamų analoginių filtrų struktūrų stiprinimo vertės nuokrypiai yra panašūs, o 3σ siekia

iki 65 ir 115 mdB atitinkamai 65 nm ir 0,18 µm KMOP technologijose. Maža IG gamybos procesų netobulumų įtaka stiprinimo 3σ atsiranda dėl aktyviųjų elementų parametrų priklausomybės nuo gamybos procesų svyravimo ir jų įtakos bendrai filtro perdavimo funkcijai.

Aukštesnio selektyvumo analoginiuose filtruose, turinčiuose Čebyševo 1 dB pulsacijos aproksimaciją, 65 nm KMOP IG technologijoje mažiausią jautrumą elementų geometrinių verčių ir IG procesų nuokrypiams turi ŠGR struktūras naudojantys filtrai, kur parametrų pulsacijos 3σ atitinkamai yra 1,4 % ir 2 %. BiF kaskadų struktūrų 3σ atitinkamai yra 2,2 % ir 8,5 %, o MFB kaskadų – 4,2 % ir 4,5 %. Matyti, kad BiF kaskadų struktūrų jautrumas IG procesų nuokrypiams gali būti prilyginamas ŠGR struktūrų filtrams, tačiau šios struktūros jautrumas elementų verčių nuokrypiams yra didesnis. MFB kaskadų struktūras turinčių filtrų jautrumas elementų geometrinių verčių ir IG gamybos procesų nuokrypiams yra panašus. Rezultatai, gauti skaičiuojant tokių pačių filtrų struktūrų pulsacijų nuokrypius, 0,18 um KMOP technologijoje sutampa su 65 nm KMOP technologijoje gautais rezultatais.

Analizuojant gautus rezultatus, matyti, kad nuokrypių verčių skirtumai, susidarę dėl konkrečios filtro struktūros parinkimo, siekia 7 %, kai filtro eilė yra nedidesnė už 6, o praleidžiamosios juostos krašto statumas nėra didesnis už Čebyševo su 1 dB pulsacija. Verta pastebėti, kad literatūroje apžvelgtų analoginių filtrų naudojamų DSI eilė yra 4-6 (riboja triukšmas, vartojama galia ir užimamas plotas), o PDJ esančių pulsacijos neviršija 1 dB (mobiliuose belaidžio ryšio standartuose naudojamų moduliacijų apribojimas) (Pezzotta et al. 2013: 261–264; Chen et al. 2010: 1–4). Dėl filtro struktūros parinkimo atsiradę nuokrypiai gali būti koreguojami naudojant derinimo grandynus, todėl kuriant konfigūruojamą integrinį analoginį filtrą galima neatsižvelgti į jį sudarančių filtrų struktūrų jautrumą IG elementų verčių nuokrypiams (Kiela, Mamajev, Navickas 2016).

2.1.2. Konfigūruojamos integrinio analoginio filtro struktūros kūrimas

1.1.2 skirsnyje nustatyta, kad DSI analoginiams filtrams projektuoti labiausiai tinkamos yra aktyviųjų filtrų struktūros, sudarytos iš kaskadintų filtrų pakopų. Atsižvelgiant į 2.1.1 skirsnyje gautus tyrimo rezultatus ir išvadas matyti, kad kaskadintų filtrų pakopose naudojamų struktūrų svarbiausia savybė yra galimybė nepriklausomai keisti filtro parametrus, o ne struktūros jautrumas parametrų nuokrypiams. Universaliausia filtrų struktūra yra BiF su dviem aktyviaisiais elementais. Jos ŽDF struktūra, naudojama tolimesniems tyrimams, pavaizduota 2.5 paveiksle. Verta paminėti, kad norint supaprastinti schemų ir lygčių atvaizdavimą, toliau bus analizuojama ne pilnai diferencinė BiF struktūra. BiF

struktūros žemų dažnių perdavimo funkcija, stiprinimo, savojo dažnio ir kokybės faktoriaus išraiškos atitinkamai yra:

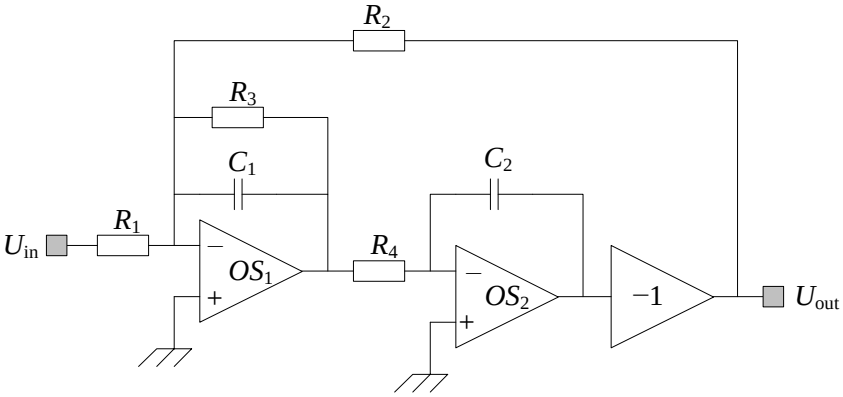
$$H(s) = \frac{A_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0}{Q} \cdot s + \omega_0^2}; \tag{2.3}$$

$$A_0 = \frac{R_2}{R_1}; \tag{2.4}$$

$$\omega_0 = f_0 = \frac{1}{2\pi\sqrt{R_2 R_4 C_1 C_2}}; \tag{2.5}$$

$$Q = \frac{1}{2\zeta} = R_3 C_1 \omega_0, \tag{2.6}$$

čia A_0 – BiF struktūros PDJ stiprinimas, f_0 – savasis dažnis, Q ir ζ – atitinkamai kokybės faktorius ir slopinimo santykis.



2.5 pav. Žemų dažnių bikvadratinės struktūros filtras
Fig. 2.5. Low-pass biquad filter structure

Iš (2.4) matome, kad BiF struktūros stiprinimas gali būti nepriklausomai keičiamas derinant R_1 rezistorių, o kokybės faktorius nepriklausomai nuo savojo dažnio f_0 gali būti valdomas keičiant R_3 vertę. Ši savybė svarbi projektuojant PDJF, tačiau koreguojant Q vertę ŽDF, jų PDJ parametras kinta, todėl į tai būtina atkreipti dėmesį kuriant filtro derinimo algoritmus:

$$f_{\mathrm{k}} = f_0\sqrt{1-2\zeta^2+\sqrt{4\left(\zeta^4-\zeta^2\right)+2}}. \tag{2.7}$$

Verta paminėti, kad (2.4)–(2.7) lygtys neįvertina OS baigtinio stiprinimo vertės. Mažėjant IG technologinio žingsnio vertei IG maitinimo įtampa taip pat mažinama ir dabar siekia 1 V. Dėl sumažėjusios maitinimo įtampos ir lauko tranzistorių statumo, projektuojamų OS atviros grandinės stiprinimas gali siekti tik 40–60 dB. Sumažėjęs tiesinės veikos dinaminis diapazonas mažina stiprinimą didinančių sprendimų kiekį – įprastos kaskodinės pakopos nebegali būti naudojamos. Projektuojant analoginius filtrus moderniose IG technologijose, reikia įvertinti sumažėjusio OS stiprinimo įtaką projektuojamų analoginių filtrų parametrams. Pirmos ir antros eilės ŽDF stiprinimo (atitinkamai A_{pirmos} ir A_{BiF}), savojo dažnio (atitinkamai $f_{0\mathrm{pirmos}}$ ir $f_{0\mathrm{BiF}}$), ir kokybės faktoriaus (tik nagrinėjamai BiF struktūrai) išraiškos įvertinančios OS atviros grandinės stiprinimo įtaką filtro perdavimo funkcijai atitinkamai pateikiamos (2.8)–(2.9) ir (2.10)–(2.11):

$$A_{\mathrm{pirmos}} = -\frac{R_2 A_{\mathrm{OS}}}{R_1\left(A_{\mathrm{OS}}+1\right)+R_2}; \tag{2.8}$$

$$f_{0\mathrm{pirmos}} = \frac{R_1\left(A_{\mathrm{OS}}+1\right)+R_2}{2\pi C_1 R_1 R_2\left(A_{\mathrm{OS}}+1\right)}; \tag{2.9}$$

$$A_{BiF} = -\frac{R_2}{R_1+\dfrac{a_{BiF}}{A_{OS1}A_{OS2}R_3}}; \tag{2.10}$$

$$f_{0\mathrm{BiF}} = \frac{1}{2\pi}\sqrt{\frac{a_{\mathrm{BiF}}+d_{\mathrm{BiF}}}{b_{\mathrm{BiF}}c_{\mathrm{BiF}}}}; \tag{2.11}$$

$$Q_{\mathrm{BiF}} = \frac{\sqrt{b_{\mathrm{BiF}}c_{\mathrm{BiF}}\left(a_{\mathrm{BiF}}+d_{\mathrm{BiF}}\right)}}{a_{\mathrm{BiF}}c_{\mathrm{BiF}}+b_{\mathrm{BiF}}}; \tag{2.12}$$

$$a_{\mathrm{BiF}} = R_1\left(R_3+R_2+R_2A_{\mathrm{OS1}}\right)+R_2R_3; \tag{2.13}$$

$$b_{\mathrm{BiF}} = C_1R_1R_2R_3\left(A_{\mathrm{OS1}}+1\right); \tag{2.14}$$

$$c_{\mathrm{BiF}} = C_2R_4\left(A_{\mathrm{OS2}}+1\right); \tag{2.15}$$

$$d_{\mathrm{BiF}} = R_1R_3A_{\mathrm{OS1}}A_{\mathrm{OS2}}. \tag{2.16}$$

BiF struktūros PDJ vertė gali būti valdoma vienodu santykiu keičiant rezistorių arba kondensatorių vertes. Dažniausiai konfigūruojamų PDJ filtrų struktūros dažnių juostos derinimas atliekamas naudojant perjungiamų kondensatorių grandynus, o rezistorių blokai naudojami filtro PDJ nuokrypiams koreguoti (Wang *et al.* 2015: 296–300; Anderson *et al.* 2012: 470–473). Tokiu būdu išlaikoma pastovesnė aktyvi apkrova aktyviesiems filtro ir su filtru sujungtiems blokams, sumažinamas lusto plotas, o varžų nuokrypių derinimui gali būti panaudojami būdai, nereikalaujantys savaiminio derinimo grandynų (Debaillie *et al.* 2009: 488–498). Filtrų derinimo grandynai detaliau bus nagrinėjami sekančiame skyriuje.

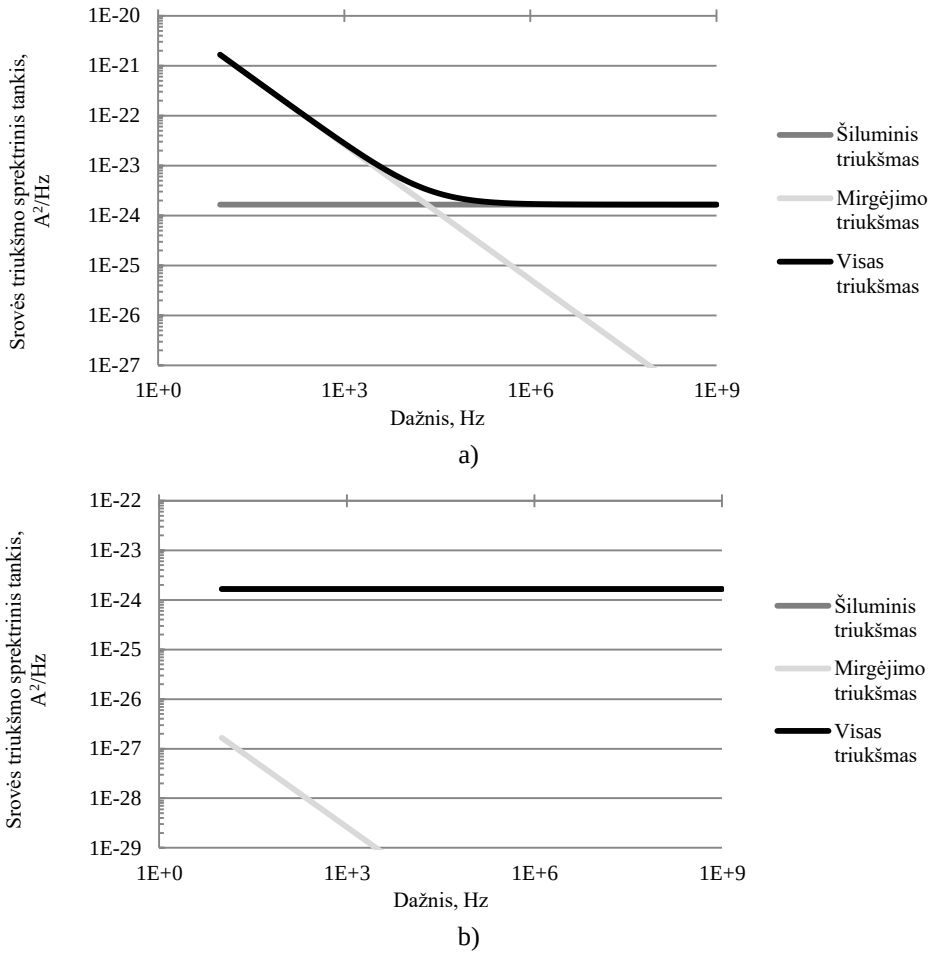
Aktyviojo BiF struktūros pavaizduotos 2.5 paveiksle pasyvių komponentų reliatyvus jautris f_0 ir Q parametrams visada bus mažesnis už 0,5 (2.17) (Wanhammar 2009: 219). Dėl šios priežasties, kuriant konfigūruojamo integrinio analoginio filtro struktūrą tiriamos BiF struktūrų triukšmo ir tiesiškumo parametrų optimizavimo galimybės.

$$\left|S_{R,C}^{f_0}\right| \le 0,5; \qquad \left|S_{R,C}^{Q}\right| \le 0,5. \tag{2.17}$$

Galima išskirti du pagrindinius triukšmo šaltinius aktyviuose filtruose:

1. Filtro rezistorių generuojami mirgėjimo ir šiluminiai triukšmai.
2. OS generuojami mirgėjimo ir šiluminiai triukšmai.

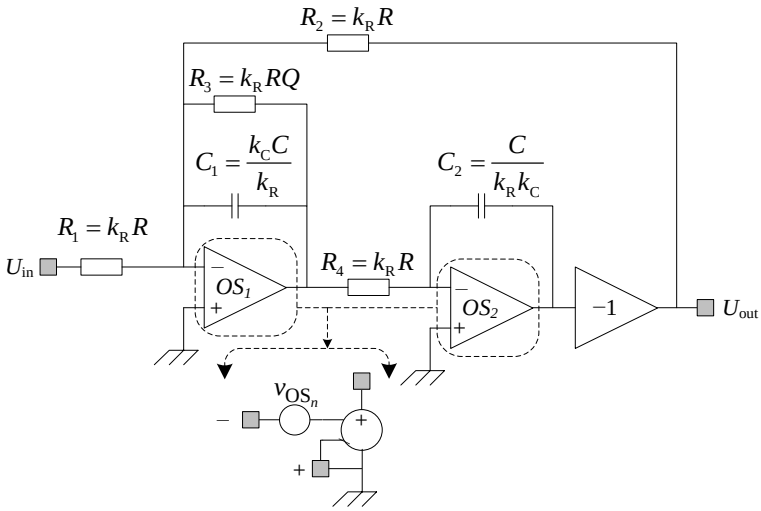
Rezistorių srovės šiluminio ir mirgėjimo triukšmų lygtys pateiktos atitinkamai (1.8) ir (1.9). Remiantis lygtimis ir taikant trijų terminalų netiesinį rezistoriaus *CMC* (angl. *Compact Model Council*) sukurtą modelį, atlikti rezistoriaus šiluminio ir mirgėjimo triukšmų skaičiavimai naudojant 65 nm IG KMOP technologijos parametrus. 2.6 paveiksle a ir b paveikslo dalyse pateikta rezistoriaus srovės triukšmo energetinio spektrinio tankio priklausomybė nuo dažnio, kada rezistoriaus vertė yra 10 kΩ, o jo terminaluose esantis potencialų skirtumas yra atitinkamai 1 V ir 1 mV. Iš grafikų matyti, kad mirgėjimo triukšmas gali stipriai įtakoti integruotą rezistoriaus triukšmo vertę, kada rezistoriaus terminaluose yra didelis potencialų skirtumas. Įprasta, kad aktyviųjų filtrų įėjimo ir išėjimo nuolatinės įtampos vertės būtų vienodos arba artimos viena kitai. Tokiu atveju, nuolatinės įtampos skirtumas rezistoriuose sumažėja iki keliolikos milivoltų ir jo mirgėjimo triukšmas nebeįtakoją rezistoriaus triukšmo vertės (2.6 b dalį). Skirtingai nuo mirgėjimo triukšmo, rezistoriaus šiluminio triukšmo vertė yra pastovi, todėl šiluminis triukšmas nulemia viso filtro PDJ integruoto triukšmo vidutinę kvadratinę vertę.



2.6 pav. 10 kΩ rezistoriaus srovės triukšmo spektrinis tankis: a) esant 1 V; b) esant 1 mV itampai jo terminaluose

Fig. 2.6. Noise spectral density of a 10 kΩ resistor with: a) 1 V; b) 1 mV applied to its terminals

Iš MOP tranzistorių sudarytų OS stiprintuvų mirgėjimo ir šiluminio triukšmo kitimo pobūdis panašus į parodytą 2.6 paveiksle a dalyje. Pagrindinis skirtumas – OS mirgėjimo triukšmo pašalinti nenaudojant specialių metodų ar įtaisų, tokių kaip moduliacinų stiprintuvų, negalima. Moderniuose MOP OS, mirgėjimo triukšmo vertė įtakoja stiprintuvo triukšmo charakteristiką iki kelių šimtų kilohercų – aukštesniuose dažniuose OS triukšmo vertę, kaip ir rezistoriuose, lemia šiluminis triukšmas (Ou *et al.* 2014: 783–787).



2.7 pav. Antrosios eilės žemų dažnių bikvadratinės struktūros filtro modelis naudojamas triukšmo ir tiesiškumo tyrimams
Fig. 2.7. Second order low-pass biquad stage used to model noise and linearity

Kuriant filtro struktūrą, būtina įvertinti jos pasyvių komponentų generuojamą triukšmo vertę – tai leidžia optimizuoti filtro struktūros komponentų vertes ir įtakoja filtre naudojamų OS projektavimo eigą (Toth *et al.* 1995: 785–793). Integrinio konfigūruojamo filtro antros eilės BiF pakopos triukšmui modeliuoti sukurtas modelis remiasi 2.7 paveiksle parodyta struktūra.

Remiantis išvadomis, padarytomis analizuojant triukšmus rezistoriuose ir OS, filtro triukšmo modelyje įvertiname tik rezistorių šiluminio ir OS triukšmo įtaką. Filtro išėjime generuojama įtampos triukšmo vidutinė kvadratinė vertė gali būti apskaičiuojama susumavus aktyviajame filtre esančių triukšmo šaltinių energetinio spektro tankius (2.18). Iš lygties matyti, kad į skaičiavimus nėra įtraukiamas OS įėjimo srovės triukšmo parametras. Didesnis integracijos laipsnis lyginant su BiKMOP nulemia, kad modernūs DSI projektuojami naudojant KMOP IG gamybos technologiją. KMOP technologijoje OS projektuojami naudojant MOP tranzistorius – tokių struktūrų stiprintuvų įėjimo srovės triukšmas būna 10^{-15}–10^{-18} amperų eilės. Įvertinus kad KJIF rezistorių derinimo matricą sudarančios vertės nesieks šimtus kΩ ir kad filtro įėjime nebus aukšto (> 100 kΩ) impedanso šaltinių, skaičiuojant filtro išėjimo vidutinės kvadratinės vertės triukšmą OS srovės triukšmo galima neįtraukti.

$$v_{U_{out}} = \sqrt{\sum_{i=1} v_i^2} = \sqrt{v_{R_1}^2 + v_{R_2}^2 + v_{R_3}^2 + v_{R_4}^2 + v_{OS_1}^2 + v_{OS_2}^2}\,. \qquad (2.18)$$

Iš (2.18) matyti, kad optimalus elementų ir OS verčių parinkimas vykdomas ieškant minimalios v_i^2 ir išlaikant visų triukšmo šaltinių generuojamos įtampos filtro išėjime vertes artimas viena kitai. Jeigu filtro struktūroje yra dominuojantis triukšmo šaltinis (pvz. OS), kurio įtaka negali būti sumažinama, kitų filtro elementų verčių optimizavimas ploto, triukšmo vartojamos galios atžvilgiu turėtų būti paremta to triukšmo šaltinio generuojama įtampa. 2.7 paveiksle parodytos struktūros triukšmo šaltinių įtampos triukšmo vidutinės kvadratinės vertės BiF išėjime apskaičiuojamos:

OS įėjimo įtampos triukšmo vidutinė kvadratinė vertė v_{OS} apskaičiuojama integruojant triukšmo vidutinę kvadratinę vertę pasirinktoje PDJ ir gautą rezultatą dalinant iš $\sqrt{PDJ}$. Minimali PDJ vertė turi būti pakankamai maža, kad būtų įvertinama mirgėjimo triukšmo įtaka OS PDJ.

Iš (2.19)–(2.24) matyti, kad BiF struktūroje, $v_{OS_1}^2$ vertė turės didžiausią įtaką visos BiF struktūros triukšmo vertei. Svarbiausias BiF struktūros triukšmo optimizacijos uždavinys – sumažinti v_{OS1} vertę. Įprasta, kad IG analoginiuose filtruose OS_1 ir OS_2 (2.7 pav.) naudojamas toks pat stiprintuvas, tačiau naudojant skirtingai suprojektuotus OS galima optimizuoti BiF triukšmo, užimamo ploto ir galios parametrų vertes. Tokiu atveju OS_1, projektuojamas kaip mažatriukšmis stiprintuvas, o OS_2 struktūra optimizuojama mažinant jos plotą ir vartojamąją galią.

$$v_{R_1}^2 = \frac{4k_{\mathrm{B}}TR_2^2}{R_1}; \tag{2.19}$$

$$v_{R_2}^2 = 4k_{\mathrm{B}}TR_2; \tag{2.20}$$

$$v_{R_3}^2 = \frac{4k_{\mathrm{B}}TR_2^2}{R_3}; \tag{2.21}$$

$$v_{R_4}^2 = \frac{4k_{\mathrm{B}}TR_4R_2^2}{R_3^2}; \tag{2.22}$$

$$v_{OS_1}^2 = \frac{v_{OS_1}R_2^2}{\left(\dfrac{R_1R_2R_3}{R_1R_2 + R_1R_3 + R_2R_3}\right)^2}; \tag{2.23}$$

$$v_{OS_2}^2 = \frac{v_{OS_2}R_2^2}{R_3}. \tag{2.24}$$

n-tos eilės, konfigūruojamo integrinio analoginio filtro sudaryto iš kaskadintų BiF struktūrų įėjimo ir išėjimo įtampų triukšmo vidutinė kvadratinė vertė gali būti apskaičiuojama:

$$v_{\mathrm{KJIFįė}} = \sqrt{\sum_{i\geq 1} \frac{v_i^2}{A_i^2 A_{i-1}^2}} = A v_{\mathrm{KJIFiš}}; \tag{2.25}$$

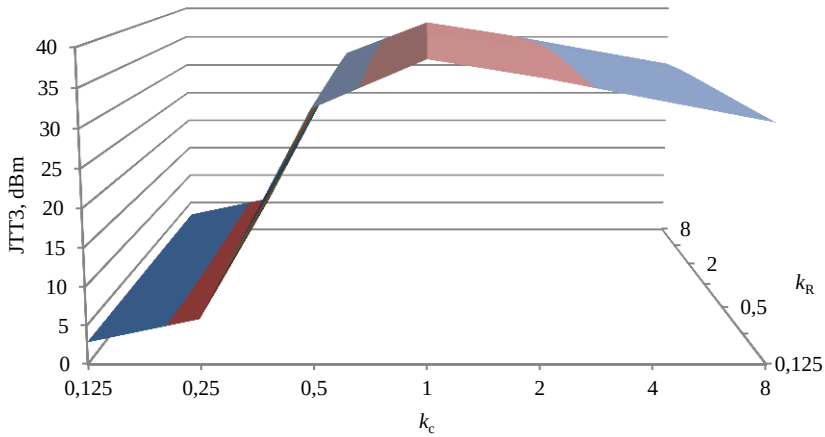
$$v_{\mathrm{PDJ}} = v_{\mathrm{KJIF}} \sqrt{f_{\mathrm{k}}}, \tag{2.26}$$

čia $v_{\mathrm{KJIFįė}}$ ir $v_{\mathrm{KJIFiš}}$ – atitinkamai įėjimo ir išėjimo įtampos triukšmo vidutinė kvadratinė vertė, A – viso konfigūruojamo filtro stiprinimas, v_{PDJ} – PDJ ribose integruoja įtampos triukšmo vidutinė kvadratinė vertė.

Reikalingą PDJ vertę ir filtro aproksimacijos tipą galima pasiekti naudojant skirtingas 2.7 paveiksle parodytas rezistorių ir kondensatorių vertes. Šių verčių pokytis įtakos ne tik analoginio filtro struktūros triukšmus, bet ir jo tiesiškumą. Nagrinėjamo BiF struktūros įėjimo JTT3 vertės priklausomybė nuo rezistorių vertės koeficiento k_{R} ir kondensatorių C_1 ir C_2 santykio k_{C} parodyta 2.8 paveiksle. Nominalios varžos R ir kondensatorių C_1, C_2 talpos vertės buvo parinktos atitinkamai 10 kΩ ir 15.9 pF. Keičiant k_{R} ir k_{C} vertes, filtro f_{k} ir Q nekinta, o šios vertės atitinkamai lygios 1 MHz ir 0,707 (Batervorto aproksimacija). BiF struktūros kompiuterinio modeliavimo metu naudotas ne idealus, o 65 nm KMOP IG technologijoje suprojektuotas pilnai diferencinės struktūros OS. Idealaus OS, parodyto 2.7 paveiksle. modelyje, tiesiškumo matavimams naudoti negalime dėl akivaizdžių priežasčių.

Iš 2.8 paveikslo matyti, kad BiF filtro struktūra didžiausią įėjimo JTT3 vertę pasiekia kada C_1 ir C_2 kondensatorių vertės yra lygios. Keičiant rezistorių vertes, analoginio filtro struktūros tiesiškumas gali būti mažinamas tik padidėjus aktyviai apkrovai iki OS išėjimo pakopos galios stiprinimo ribų arba dėl rezistorių derinimo grandyne netinkamai suprojektuotų perjungimo MOP tranzistorių.

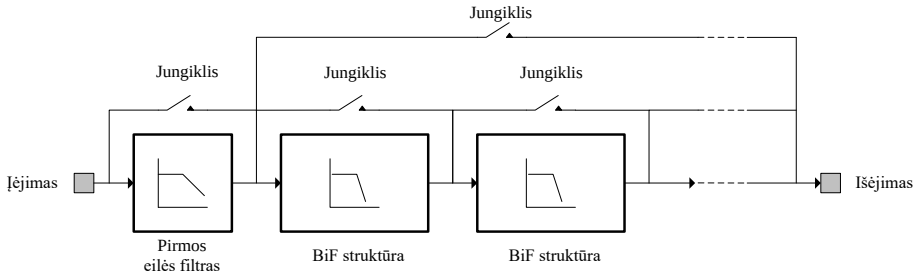
Projektuojant aukštesnės negu 2 eilės analoginį filtrą iš kaskadintų BiF struktūrų, galima rinktis perdavimo funkcijų eiliškumą, jų polių ir nulių išdėstymo seką. Literatūroje plačiai ištirta kaskadinių filtrų struktūrų optimalaus eiliškumo radimo problema, jų DnD arba triukšmo parametrų optimizavimas (Chiou *et al.* 1981: 189–191; Cavalcante *et al.* 1991: 126–129). Kaip minėta, programine įranga valdomo radijose naudojamų konfigūruojamų KJIF tiesiškumas yra vienas iš svarbiausių tokius filtrus apibūdinančių parametrų. Kaskadintose BiF struktūrose, JTT3 vertė būna maksimali, kada kaskadintos struktūrų perdavimo funkcijos išdėstomos didėjančios Q tvarka.



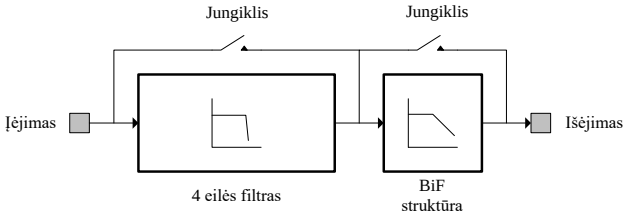
2.8 pav. Bikvadratinės filtro struktūros įėjimo praleidžiamųjų dažnių juostoje esančių signal trečios eilės tiesiškumo taško vertės priklausomybė nuo k_C ir k_R koeficientų
Fig. 2.8. Second order biquad filter structure in-band input refered third order intercept point versus k_C and k_R coeficients

Atsižvelgiant į literatūros analizę ir remiantis šiame skyriuje gautais tyrimo rezultatais, sudaryta siūlomo konfigūruojamo analoginio KJIF struktūra, skirta programine įranga valdomo radijui su tolydžiais (2.9 pav. a dalį) ir diskrečiais (2.9 pav. b dalį) derinimo grandynais. Tolydžiai konfigūruojamo analoginio KJIF (TKF) ir diskrečiai konfigūruojamo analoginio KJIF (DKF) filtrų struktūros skiriasi dėl šių priežasčių:

1. TKF tikslinga naudoti DSI, kai įtaiso universalumas ir galimybė keisti jo parametrus ar vidinių blokų struktūrą yra būtina savybė. Tokie DSI gali būti naudojami dar tik besivystančių mobilaus ryšio standartų kūrimui ir patikrai, egzistuojančių standartų tobulinimui ar optimalios DSI struktūros paieškai.
2. DKF tikslinga naudoti plačiai naudojamuose DSI, kai derinimo tikslumo reikalavimai yra ne tokie griežti lyginant su sistemomis, naudojančiose TKF, ir DSI kaina turi būti konkurencinga su panašios paskirties produktais. Tokių DSI valdymas turi būti paprastas, tačiau užtikrinantis DSI suderinimą su modernių belaidžio ryšio standartų keliamais reikalavimais (Kiela, Navickas 2015).



a)



b)

2.9 pav. Siūloma konfigūruojamo analoginio filtro struktūra skirta filtrams su: a) tolydžiai; b) diskrečiai valdomais derinimo grandynais
Fig. 2.9. The proposed reconfigurable filter structure for SDR applications with: a) continuous; b) discrete step tuning circuits

Siūloma TKF filtro struktūra sudaryta iš *n* skaičiaus BiF struktūrų ir vieno pirmos eilės ŽDF bloko, kuris įgyvendina nelyginės eilės filtro struktūras. Pastaruoju metu literatūroje plačiai tyrinėjami filtrai su iracionalių skaičių eilėmis, tačiau tokie blokai yra sunkiai derinami, jų struktūros gali būti nestabilios plačiame PDJ valdymo ruože (Ali *et al.* 2013: 346–354; Freeborn *et al.* 2015). Praktikoje BiF skaičius ribojamas lusto užimamo ploto ir vartojamosios galios reikalavimų, todėl naudoti daugiau negu 3 BiF struktūras yra nepraktiška. Disertacijoje nagrinėjamo TKF struktūra sudaryta iš 2 BiF blokų ir vienos pirmos eilės ŽDF struktūros. Toks pasirinkimas sąlygotas literatūros analizės metu padarytomis išvada – dažniausiai tiriami filtrai skirti DSI būna 4–6 eilės.

Filtro struktūros įėjimo pakopą sudaro pirmos eilės filtras. Šios pakopos filtrą sudarantis OS projektuojamas optimizuojant jo triukšmo parametrus ir grįžtamosios grandinės varžų vertes (atsižvelgiant į prieš filtrą DSI grandinėje esančių blokų apkrovos reikalavimus). Pirmos eilės filtro struktūroje ir pirmajame BiF turi būti numatytas filtro stiprinimo valdymas – taip didinamas filtro STS, atsiranda galimybė koreguoti kvadratūrinių kanalų nulinės įtampos

poslinkį. Naudojant lyginės eilės TKF filtrą šį bloką, maksimaliai sumažinus kondensatorių vertes, galima naudoti kaip valdomą stiprintuvą ar įėjimo buferį. BiF struktūros, kartu su pirmos eilės filtru įjungiamos priklausomai nuo KJIF eilės reikalavimo. Kai TKF eilė didesnė arba lygi 4, aukštesnį Q turinti perdavimo funkcija turi būti įgyvendinama paskutiniajame BiF norint išlaikyti aukštą filtro JTT3 vertę. TKF filtro PDJ juosta valdoma kondensatorių derinimo grandynais, o aproksimacijos tipas, PDJ ir stiprinimo nuokrypių tolydus valdymas atliekamas naudojant tolydžiai valdomus rezistorių derinimo grandynus. Vartojamosios galios valdymas, nekeičiant filtro eilės parametro, vykdomas keičiant OS atraminės srovės vertę jo įėjimo ir išėjimo pakopose.

Siūlomo DKF filtro struktūrą sudaryta iš dviejų filtrų – aukštesnės negu antros eilės ŽDF su plokščia PDJ DACh ir antros eilės filtro struktūra su valdomu Q. Mažos vartojamosios galios konfigūracijoje naudojamas tik 2 eilės filtras, kurio PDJ statumas valdomas diskrečiais žingsniais keičiant filtro Q. Ketvirtos eilės filtras sudaromas naudojant BiF kaskadų arba ŠGR struktūras. Aukštesnės negu 4 eilės filtras gaunamas sujungus abi filtro pakopas, o jo selektyvumas valdomas keičiant 2 eilės filtro Q. Disertacijoje nagrinėjamo DKF sudarytas naudojant vieną BiF pakopą, o 4 eilės filtras įgyvendintas taikant ŠGR metodą. Matyti kad 6 eilės filtras galės tik priartėti prie norimos aproksimacijos dėl riboto Q valdymo galimybių.

Abejose konfigūruojamo filtro struktūrose, jų eilė valdoma išjungiant nenaudojamas aktyvias pakopas ir jungikliu sujungiant norimus įėjimus ir išėjimus. Dėl šio priežasties, projektuojant grįžtamo ryšio grandynus ir filtrų OS, skirtus TKF arba DKF, reikia naudoti struktūras, leidžiančias turėti aukšto impedanso įėjimus ir išėjimus.

Remiantis šiame skyriuje sudarytomis BiF perdavimo funkcijų ir triukšmo lygtimis sudaromas algoritmas, kuris apskaičiuoja filtro pasyvių elementų vertes atsižvelgiant į filtro stiprinimo, PDJ ir triukšmo reikalavimus (2.10 pav.). Algoritmo eiga:

1. Algoritmo įvesties parametrai yra norimas BiF stiprinimas A_i, PDJ vertė f_k, integruotas triukšmo lygis išėjime $v_{Norimas}$, Q, minimali rezistoriaus varžos vertė R_{min} ir paieškoje naudojamas žingsnis $R_{žingsnis}$, kuris naudojamas ieškant optimalios varžos vertės, tenkinančios triukšmo reikalavimą.

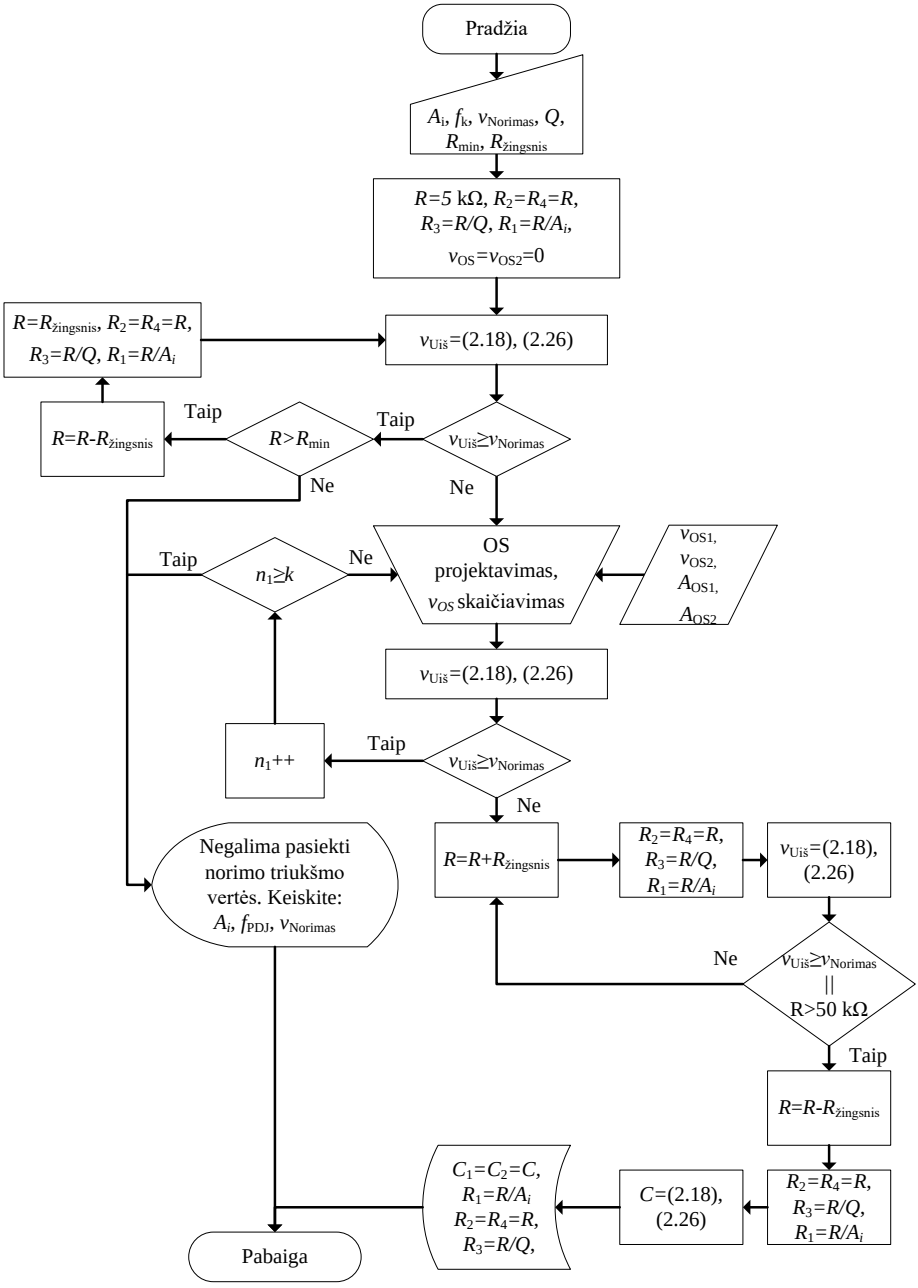
2. Atsižvelgiant į stiprinimo ir kokybės faktoriaus reikalavimus, apskaičiuojamos pradinės rezistorių varžų vertės.

3. Patikrinama ar neįtraukiant OS įnešamo triukšmo su nustatytomis varžų vertėmis galima pasiekti $v_{Norimas}$ vertę. Jeigu negalima, rezistorių vertės mažinamos žingsniu $R_{žingsnis}$. Nepasiekus $v_{Norimas}$ vertės, algoritmas stabdomas.

4. Jeigu v_{Norimas} vertė gali būti pasiekiama, laukiama įvesties iš vartotojo – turi būti nurodomos suprojektuoto OS atviros grandinės stiprinimas ir įėjimo įtampos triukšmo vidutinė kvadratinė vertė. Jeigu naudojami du skirtingi OS, jų vertės įvedamos atskirai.
5. Apskaičiuojama BiF integruoto triukšmo vertė su apskaičiuotomis rezisotrių vertėmis. Jeigu ji didesnė už norimą v_{Norimas} vertę, turi būti keičiamos OS triukšmo parametrų vertės (gali būti nurodytas prioritetinis OS parinkimo sąrašas). Algoritmas baigiamas jeigu norima triukšmo vertė nepasiekiama po k iteracijų.
6. Jeigu v_{Norimas} vertė yra didesnė už apskaičiuotą įvertinus OS ir rezistorių triukšmus, atliekama optimalios rezistoriaus vertės paieška – bandoma didinti rezistorių vertes, taip mažinant kondensatorių užimamą plotą ir vartojamąją galią.
7. Suradus maksimalią R vertę, kuri tenkina v_{Norimas} reikalavimus, apskaičiuojamos ir išvedamos kondensatorių talpų vertės.

Algoritme naudojamos lygtys patikrinimos kuriant BiF struktūras 0,18 µm KMOP ir 65 nm KMOP IG technologijose panaudojant suprojektuotus OS (ne idealius). Suprojektuotas filtras turi turėti aproksimaciją su 1 dB pulsacija PDJ (Q = 0,96), o jo PDJ vertė turi būti 1 MHz. Projektuojamas filtras turi aukštesnį Q norint patikrinti ar algoritme naudojamos lygtys tinkamai įvertina baigtinį OS stiprinimą. 65 nm KMOP technologijoje OS įėjimo įtampos triukšmo vidutinė kvadratinė vertė ir atviros grandinės stiprinimas atitinkamai siekia 8,6 nV/√Hz ir 400 kartų, o 0,18 µm KMOP technologijoje šios vertės atitinkamai yra lygios 27,3 nV/√Hz ir 1300 kartų. 2.2 lentelėje pateikiamas filtro parametrų palyginimas, gautas apskaičiavus BiF elementų vertes įvertinant jų OS baigtinį stiprinimą ir atliekant tokios struktūros kompiuterinį modeliavimą. Matyti, kad apskaičiuotos elementų vertės leidžia tiksliai nustatyti filtro parametrus – didžiausias PDJ pulsacijų nuokrypis siekia 0,03 dB (neįvertinus OS baigtinio stiprinimo šis dydis siekia 0,1 dB). Naudojant (2.18)–(2.24) lygtis apskaičiuota filtro integruota išėjimo triukšmo kvadratinė vertė nenutolsta daugiau kaip 20 µV nuo kompiuterinio modeliavimo rezultatų, kada rezistorių nominalai svyruoja 1 kΩ ir 50 kΩ, o filtro PDJ stiprinimo vertė 0,5 ir 2 ribose. Didėjant rezistorių nominalams atsirandantys v_{Uout} skirtumų priežastis – (2.18)–(2.24) lygtyse neįtrauktų OS triukšmo srovės vertė.

Atlikus pirminę projektavimo algoritmo patikrą, galima teigti, kad sudarytas algoritmas leidžia apskaičiuoti BiF struktūros elementų vertes atsižvelgiant į užduotus stiprinimo, PDJ, Q, triukšmo lygio reikalavimus ir gali būti naudojamas projektuojant konfigūruojamų integrinių analoginių filtrų, skirtų DSI, BiF struktūras.



2.10 pav. Siūlomas žemų dažnių bikvadratinės filtro struktūros projektavimo algoritmas
Fig. 2.10. The proposed algorithm for a low-pass Biquad

2.2 lentelė. Bikvadratinių filtrų struktūrų suprojektuotų remiantis siūlomu algoritmu, parametrų palyginimas 65 nm ir 0,18 µm KMOP technologijose
Table 2.2. Comparison of biquad stage filter parameters, that were designed by using the proposed design flow in 65 nm and 0.18 µm CMOS technologies

		Išėjimo įtampos triukšmo vidutinė kvadratinė vertė $v_{Uiš}$, µV			
		0,18 µm KMOP		65 nm KMOP	
Stiprinimas A_i	R, kΩ	Apskaičiuota	Modeliuota	Apskaičiuota	Modeliuota
0,5	1	76	73	24	23
1		88	85	28	26
2		114	109	35	32
0,5	5	77	77	32	33
1		90	88	34	36
2		116	112	40	42
0,5	10	79	81	37	42
1		92	93	41	45
2		118	116	48	52
0,5	50	93	110	75	86
1		106	122	73	91
2		132	146	86	102

2.2. Integrinių analoginių filtrų derinimo matricos modelio kūrimas

Atlikus literatūrinę analizė nustatyta, kad kuriant integrinius analoginius filtrus reikia projektuoti ir jų derinimo grandynus. Integriniuose aktyviuosiuose MOP-RC filtruose, PDJ nustatymas vykdomas lygiagrečiai sujungtų (1.21 pav. b dalį) kondensatorių matricų pagalba, o dėl IG gamybos procesų ir aplinkos įtakos atsiradę filtro parametrų nuokrypiai derinami naudojant rezistorių matricas (Lim *et al.* 2005: 637–640; Chen *et al.* 2008: 208–211). Šiame skyriuje siūlomos dvi naujos diskretaus ir tolydaus žingsnio rezistorių derinimo matricos struktūros, bei jų verčių parinkimo ir valdymo įtampų apskaičiavimo būdai. Taip pat sudaromas ir tiriamas (Aslanzadeh *et al.* 2009: 495–508) siūlomas tolydus MOP-RC filtro derinimo grandyno su impedanso daugintuvu modelis.

Sukurtos rezistorių derinimo matricos struktūros bei jų verčių parinkimo ir valdymo įtampų apskaičiavimo būdai naudojami projektuojant konfigūruojamus

analoginius filtrus, skirtus programine įranga valdomo radijui (Kiela, Jurgo, Navickas 2017).

2.2.1. Diskrečiai valdomų elementų matricos modelis

Siūloma apibendrinta DKF pakopoms skirta rezistorių matrica parodyta 2.11 paveiksle. Struktūra sudaryta naudojant lygiagrečiai ir nuosekliai sujungtų rezistorių matricas, kurių valdymai yra atskirti (2.11 pav. b dalį). Nuosekliai sujungtų rezistorių matrica (NRM) naudojama išrinkti tikslios rezistoriaus vertės paieškos diapazoną, o lygiagrečiai sujungtų rezistorių matrica (LRM) naudojama užtikrinti norimą derinimo žingsnio tikslumą. NRM valdymas turi būti įgyvendintas naudojant dvejetainio skaičiaus keitiklį dešimtainiu kodu, o LRM valdoma dvejetainiu kodu. Naudojant tik LRM matricą (2.11 pav. a dalį), norint užtikrinti mažą (< 1 %) derinimo žingsnio tikslumą, reikialingi didelių nominalų varžai. Naudojant pasiūlytą NRM ir LRM matricas, varžų nominalus LRM matricoje galima sumažinti *k* kartų. Matricą sudaryta iš NRM ir LRM struktūrų, toliau vadinsime NLRM.

Verta paminėti, kad naudojant tik NRM matricą taip pat galima pasiekti didelį derinimo žingsnio tikslumą, tačiau derinimo žingsnio $\varphi_{\text{žingsnis}}$ absoliuti vertė yra apribota valdymo tranzistoriaus M_{N} kanalo varžos. Taip pat, naudojant tik NRM, valdymo tranzistorių skaičius yra lygus norimo pasiekti derinimo žingsnio tikslumui. Tai didina NRM užimamą plotą dėl didelio M_{N} tranzistorių ir jų valdymo signalų skaičiaus, daug loginių elementų reikalaujančio dvejetainio skaičiaus keitiklio.

2.11 paveikslo a dalyje pavaizduotoje struktūroje naudojama tik LRM matrica, rezistoriaus $R_{\text{Lfiksuotas}}$ vertė priklauso nuo siektinos rezistoriaus vertės ir nuo derinimo ribos, reikalingos kompensuoti IG atsirandančius nuokrypius (2.27). Minimali LRM pasiekiama vertė priklauso nuo derinimo ribos ir apskaičiuojama atitinkamai (2.28).

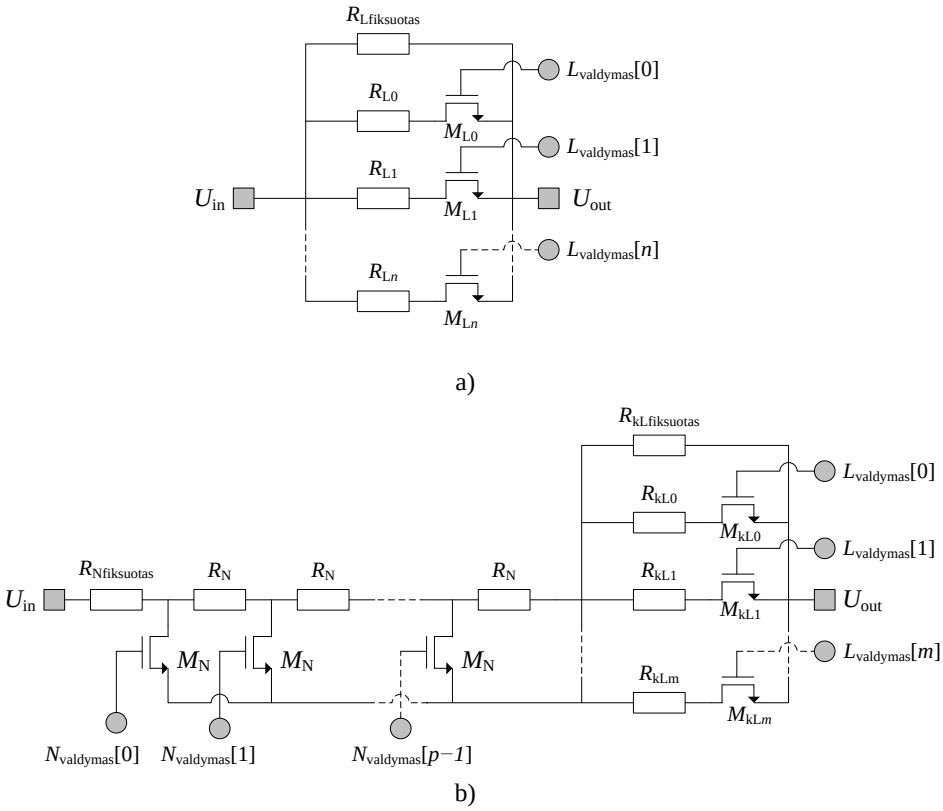
$$R_{\text{Lfiksuotas}} = R \cdot \left(1 + \frac{\Delta\omega}{100}\right); \tag{2.27}$$

$$R_{\text{Lmin}} = R \cdot \left(1 - \frac{\Delta\omega}{100}\right), \tag{2.28}$$

čia $\pm\Delta\omega$ – norimas pasiekti filtro derinimo ruožas, išreiškiamas procentais.

Rezistoriaus vertė, reikalinga keisti matricos vertę reikia žingsniu $\varphi_{\text{žingsnis}}$ apskaičiuojama:

$$R_{\text{L}} = \frac{100 \cdot R^2_{\text{Lfiksuotas}}}{R \cdot \varphi_{\text{žingsnis}}} - R_{\text{Lfiksuotas}}. \tag{2.29}$$



2.11 pav. Siūloma diskrečiai valdomų rezistorių matricos struktūra: a) LRM matrica; b) NLRM matrica

Fig. 2.11. The proposed resistor tuning bank with discrete control: a) LRM bank; b) NLRM bank

Toliau apskaičiuojama LRM valdymo kodo reikšmė n, kuri užtikriną minimalų derinimo žingsnį $\varphi_{\text{žingsnis}}$:

$$n = \begin{cases} \alpha, & \beta > 1; \\ \alpha + 1, & \beta \le 1; \end{cases} \tag{2.30}$$

$$\alpha = \left\lceil \log_2 \left(\frac{2 \cdot R_{\text{Lfiksuotas}} \cdot \Delta\omega}{R \cdot \varphi_{\text{žingsnis}}} \right) \right\rceil; \tag{2.31}$$

$$\beta = \frac{R_{L\min}\left(R_{Lfiksuotas} + \left(\frac{R_L}{2^{\alpha}}\right)\right)}{R_{Lfiksuotas} \cdot \left(\frac{R_L}{2^{\alpha}}\right)}, \tag{2.32}$$

čia $\varphi_{\text{žingsnis}}$ – maksimali derinimo grandyno minimalaus žingsnio vertė visame derinimo diapazone išreikšta procentais. LRM rezistoriaus R_{L0} ir likusiųjų rezistorių R_{Ln} nominalai apskaičiuojami (2.33). Matyti, kad rezistorių vertės mažinamos dvigubai prieš tai buvusio varžo atžvilgiu. Įprasta, kad IG projektuojami rezistoriai yra dalinami į segmentus. Nustačius $R_{\text{L}\lceil n/2 \rceil}$ rezistoriaus geometrinius matmenis, likę rezistoriai sudaromi segmentus jungiant lygiagrečiai ($R_{++n/2}$) arba nuosekliai ($R_{--n/2}$).

$$R_{\text{L}n} = \frac{R_{\text{L}}}{2^n}. \tag{2.33}$$

Naudojant NLRM, rezistorių vertės apskaičiuojamos remiantis pasiūlyta LRM rezistorių matricos skaičiavimo metodiką. Šiuo atveju LRM matricos rezistorių vertės sumažinamos k kartų ir apskaičiuojamos (2.34), (2.41), o valdymų skaičius m naudojant (2.38).

$$R_{\text{kLfiksuotas}} = \frac{R_{\text{Lfiksuotas}}}{k}; \tag{2.34}$$

$$R_{\text{kLmin}} = \frac{R_{\text{Lmin}}}{k}; \tag{2.35}$$

$$\varphi_{\text{kžingsnis}} = \varphi_{\text{žingsnis}} \cdot k; \tag{2.36}$$

$$R_{\text{kL}} = \frac{100 \cdot R^2_{\text{kLfiksuotas}} \cdot k}{R \cdot \varphi_{\text{kžingsnis}}} - R_{\text{kLfiksuotas}}; \tag{2.37}$$

$$m = \begin{cases} \alpha_k, & \beta_k > 1; \\ \alpha_k + 1, & \beta_k \le 1; \end{cases} \tag{2.38}$$

$$\alpha_{\text{k}} = \left\lceil \log_2\left(\frac{2 \cdot R_{\text{kLfiksuotas}} \cdot \Delta\omega \cdot k}{R \cdot \varphi_{\text{kžingsnis}}}\right)\right\rceil; \tag{2.39}$$

$$\beta = \frac{R_{\mathrm{kLmin}}\left(R_{\mathrm{kLfiksuotas}} + \left(\frac{R_{\mathrm{kL}}}{2^{\alpha_{\mathrm{k}}}}\right)\right)}{R_{\mathrm{Lfiksuotas}} \cdot \left(\frac{R_{\mathrm{kL}}}{2^{\alpha_{\mathrm{k}}}}\right)}; \tag{2.40}$$

$$R_{\mathrm{kL}m} = \frac{R_{\mathrm{kL}}}{2^{m}}. \tag{2.41}$$

NRM matricos fiksuotas rezistoriaus $R_{\mathrm{Nfiksuotas}}$ vertė apskaičiuojama taikant (2.42). Likę NRM matricos rezistoriai R_{N} yra vienodo nominalo ir apskaičiuojami (2.43). Valdymų tranzistorių M_{N} skaičius yra visada $R_{\mathrm{Nskaičius}}-1$, kur $R_{\mathrm{Nskaičius}}$ išreiškiamas (2.44). Minėta, kad NRM valdymas realizuojamas naudojant dvejetainio kodo keitiklį dešimtainiu skaičiumi, todėl jo valdymo signalų skaičius p skirsis nuo M_{N} tranzistoriaus kiekio ir apskaičiuojamas (2.45). Papildomas vienetas reikalingas realizuoti visų M_{N} tranzistorių atjungimą.

$$R_{\mathrm{Nfiksuotas}} = R_{\mathrm{Lmin}} - R_{\mathrm{kLmin}}; \tag{2.42}$$

$$R_{\mathrm{N}} = R_{\mathrm{kLfiksuotas}} - R_{\mathrm{kLmin}}; \tag{2.43}$$

$$R_{\mathrm{Nskaičius}} = \frac{\left(R_{\mathrm{Lfiksuotas}} - R_{\mathrm{Lmin}}\right)}{R_{\mathrm{N}p}} - 1; \tag{2.44}$$

$$p = \lceil \log_2\left(R_{\mathrm{Nskaičius}} + 1\right) \rceil. \tag{2.45}$$

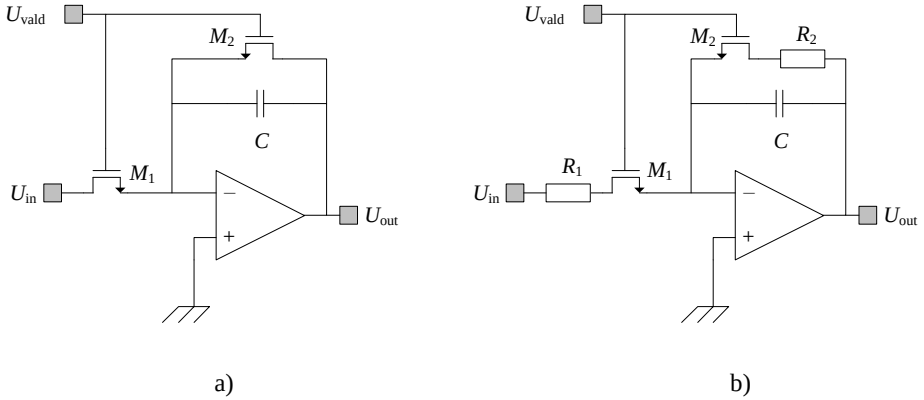
Projektuojant derinimo matricos valdymo tranzistorius reikia atsižvelgti į šių tranzistorių kanalo varžą, kada jų valdymo lygis NMOP ir PMOP tranzistorių užtūroje atitinkamai nustatytas į maksimalią ir minimalią vertes. Tranzistorių kanalo varžos maksimali vertė turi neviršyti $\varphi_{\mathrm{žingsnis}}$ valdomo rezistoriaus vertės. Praktiškai toks reikalavimas sunkiai įgyvendinamas dėl tokių priežasčių:

1. NMOP tranzistoriaus su 10 Ω kanalo varža 0,18 μm KMOP technologijoje naudojant minimalų kanalo ilgį, 0,9 V užtūros-ištakos įtampą, 10 mV santakos-ištakos įtampą, 27 °C ir nominalias IG ribines sąlygas užimamas plotas yra 200 μm^2. Palyginimui, 1 kΩ rezistoriaus plotas siekia 1 μm^2.
2. Tranzistoriaus kanalo varža atvirkščiai proporcinga jo užimamam plotui. Didinant tranzistoriaus matmenis, gali nutikti taip, kad valdymo elementų plotas bus didesnis nei valdomųjų elementų.
3. Didinant tranzistorių geometrinius matmenis didėja ir jų parazitinės talpos, kas įtakoja derinimo matricas naudojančių filtro struktūrų

parametrus, todėl parenkant valdymo tranzistoriaus matmenis, reikia gauti kuo didesnį valdymo tranzistoriaus kanalo varžos ir R_n santykį (Oshima *et al.* 2004: 2052–2054), kuris tenkintų lusto ploto reikalavimus.

2.2.2. Tolydžiai valdomų elementų matricos modelis

Dažniausiai literatūroje sutinkamų tolydžiai įtampa valdomų tranzistorių (IVT) struktūros ir jų įgyvendinimas aktyviuosiuose filtruose pavaizduota 2.12 paveiksle. Šių struktūrų pagrindiniai privalumai yra mažas elementų kiekis ir platus tranzistoriaus kanalo varžos valdymo ruožas (Inoue *et al.* 1990: 1–12; Kurahashi *et al.* 2007: 1699–1709; Sawahashi *et al.* 1989: 1455–1458). Pagrindiniai trūkumai 1.3.1 skirsnyje – netiesiniai iškraipymai sparčiai didėja didinant valdančiojo tranzistoriaus kanalo varžą arba santakos-ištakos įtampą.



a) b)

2.12 pav. Aktyviuosiuose filtruose naudojamų įtampa valdomų tranzistorių struktūros: a) MOP-C; b) MOP-RC

Fig. 2.12. Continuously tunable filter structures for active filters: a) MOP-C; b) MOP-RC

Vienas iš literatūroje aprašytų (Aslanzadeh *et al.* 2009: 495–508), bet plačiai nenagrinėtų būdų gauti tiesišką, tolydžiai įtampą valdomą rezistorių yra pateiktas 2.13 paveiksle. Pagrindinis tokios struktūros privalumas yra toks: valdančiojo tranzistoriaus U_{SI} įtampa visada maža, todėl tranzistorius dirba tiesiniame rėžime. Autoriai savo darbe tokią struktūrą vadiną impedanso daugintuvu (angl. *impedance multiplier*). Impedanso daugintuvo efektyvi varža gali būti apskaičiuojama:

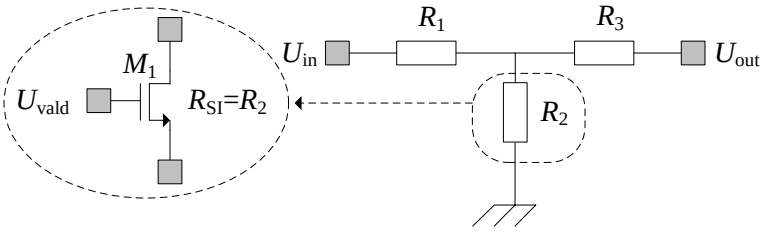
$$Z_{\text{ef}} = R_1 + \frac{R_1 R_3}{R_2} + R_{.3} = r + R_1\left(k+1\right); \tag{2.46}$$

$$k = \frac{R_3}{R_2}. \tag{2.47}$$

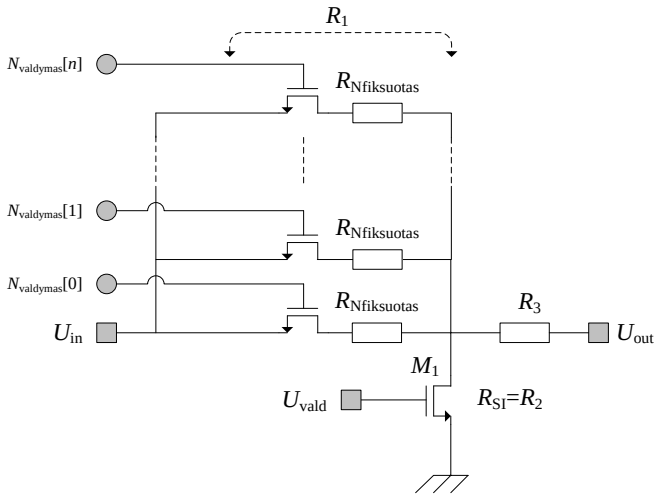
Iš (2.47) išraiškos matyti, kad R_3 ir R_2 santykis nulemią varžos vertę Z_{ef} tarp kontaktų U_{in} ir U_{out}, jeigu įtaisas prijungtas iš U_{in} kontakto pusės. Norint išlaikyti IVT tiesiškame rėžime, jo ištakos santakos kontaktuose turi kristi kuo mažesnė įtampa (Tajalli *et al.* 2009: 593–596). Dėl šios priežasties, R_3 varža paprastai būna keliolika kartų mažesnė už R_1. Mažinant R_3 varžą atitinkamai turi būti didinamas IVT M_1 kanalo plotas, kad būtų išlaikomas reikiamas Z_{ef} valdymo ruožas. Jeigu tokia struktūra naudojama pilnai diferenciniuose filtruose, IVT ištakos kontaktas jungiamas prie filtro išėjimo sinfazinės įtampos šaltinio, kurio vertė įprastai yra lygi pusei OS maitinimo įtampos norint išplėsti aktyviojo filtro dinaminį diapazoną. Tokiu atveju, IVT valdymo įtampos U_{vald} diapazonas sumažėja iki (2.48), o minimali R_{SI} vertė bus gaunama kada $U_{\text{vald}} = U_{\text{VDD}}$.

$$U_{\text{vald}} = U_{\text{UI}} = U_{\text{VDD}} - U_{\text{sl}}, \tag{2.48}$$

čia U_{sl} – tranzistoriaus slenkstinė įtampa. Esant mažam įtampos valdymo diapazonui, reikia daug kartų padidinti IVT tranzistoriaus kanalo plotį kad būtų užtikrinama maža R_{SI} vertė, o tai įtakoją lusto užimamą plotą. Tikslinga fiksuotos vertės R_1 pakeisti į LRM (2.14 pav.). Tokioje struktūroje panaudojant diskretaus ir tolydaus žingsnio derinimo būdus, sumažinamas IVT tranzistoriaus plotas ir išlaikomas reikiamas $\varphi_{\text{žingsnis}}$.



2.13 pav. Impedanso daugintuvo struktūra
Fig. 2.13. Impedance multiplier structure



2.14 pav. Siūloma impedanso daugintuvo struktūra su papildoma lygiagrečiai jungtų rezistorių matrica
Fig. 2.14. Impedance multiplier structure with additional coarse tuning

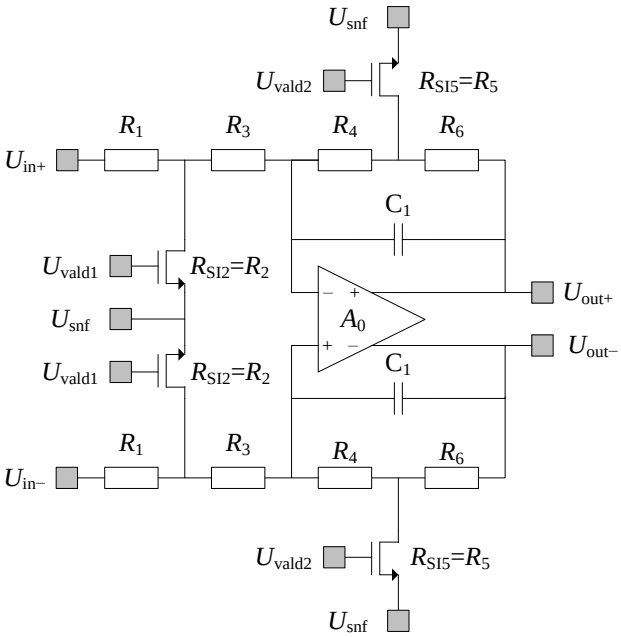
Impedanso daugintuvo panaudojimas pirmos eilės pilnai diferencinio filtro derinimui pavaizduotas 2.15 paveiksle. Pirmos eilės analoginio aktyviojo MOP-RC filtro su impedanso daugintuvais PDJ ir stiprinimas, atsižvelgiant į baigtinį OS stiprinimą, apskaičiuojami (2.49)–(2.52). Analizuojant (2.51) ir (2.52) matyti, kad analoginio filtro su impedanso daugintuvais parametrai stipriai priklausys nuo OS atviros grandinės baigtinio stiprinimo (2.15 pav.). 2.16 paveiksle parodyta filtro PDJ stiprinimo priklausomybė nuo k gauta vienodai keičiant Z_1 ir Z_2 IVT tranzistoriaus užtūros įtampų vertes.

$$H(s)=\frac{U_{\text{out}}(s)}{U_{\text{in}}(s)}=\frac{A_0}{1+\dfrac{s}{\omega_0}}=\frac{R_3A_{\text{OS}}R_4Z_2}{A_1\left(1-\dfrac{sCZ_1Z_2R_3R_4\left(1+A_{\text{OS}}\right)}{A_1}\right)}; \tag{2.49}$$

$$A_1=R_4Z_2\left(R_1-Z_1\right)-R_3Z_1\left(Z_2+A_0R_4-R_6\right); \tag{2.50}$$

$$f_{\text{k}}=-\frac{R_4Z_2\left(R_1-Z_1\right)-R_3Z_1\left(Z_2+R_4A_{\text{OS}}-R_6\right)}{2\pi C_1Z_1Z_2R_3R_4\left(A_{\text{OS}}+1\right)}; \tag{2.51}$$

$$A_0=\frac{R_3R_4Z_2A_{\text{OS}}}{R_4Z_2\left(R_1-Z_1\right)-R_3Z_1\left(Z_2+R_4A_{\text{OS}}-R_6\right)}. \tag{2.52}$$



2.15 pav. Pirmos eilės pilnai diferencinis aktyvusis MOP-RC filtras su impedanso daugintuvais

Fig. 2.15. First order fully differential active MOS-RC filter with impedance multiplier structures

Baigtinio OS stiprinimo vertės įtaką pirmos eilės filtro struktūrų su impedanso daugintuvais PDJ ir stiprinimo parametrams galima įvertinti ir atitinkamai koreguoti taikant:

$$R_{SI2} = R_2 = \frac{R_1 R_3}{\dfrac{A_{OS}}{2\pi f_k C_1 \left(1 + A_{OS}\right)} - R_1 - R_3}; \tag{2.53}$$

$$R_{SI5} = R_5 = \frac{R_4 R_6}{\dfrac{Z_1 R_1 \left(R_6 - A_{OS} R_4\right)}{\left(-\dfrac{R_3 A_{OS} R_4}{A_0} - R_4 \left(R_1 - Z_1\right) + R_3 Z_1\right)} - R_4 - R_6}. \tag{2.54}$$

Remiantis 2.15 paveiksle parodyta struktūra, analizuojami analoginių filtrų su impedanso daugintuvais triukšmo parametrai. Iš (2.55)–(2.60) matyti, kad

impedanso daugintuvai taip pat įtakoja įtampos triukšmo vidutinė kvadratinė vertę – N kartų padidinus k vertę, v_{Uout} irgi didėja N kartų.

$$v_{\mathrm{R}_1}^2 = \frac{4k_{\mathrm{B}}TR_1Z_2^2}{Z_1^2}; \tag{2.55}$$

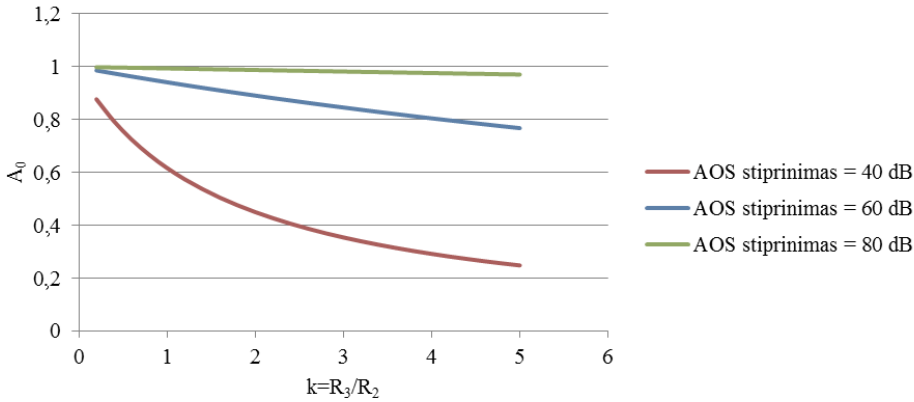
$$v_{\mathrm{R}_2}^2 = \frac{4k_{\mathrm{B}}TR_2Z_2^2}{\left(R_2 + \frac{R_2R_3}{R_1} + R_3\right)^2}; \tag{2.56}$$

$$v_{\mathrm{R}_3}^2 = \frac{4k_{\mathrm{B}}TR_3Z_2^2}{\left(R_3 + \frac{R_1R_2}{R_1 + R_2}\right)^2}; \tag{2.57}$$

$$v_{\mathrm{R}_4}^2 = \frac{4k_{\mathrm{B}}TR_4R_6^2}{\left(\frac{R_5R_6}{R_5 + R_6}\right)^2}; \tag{2.58}$$

$$v_{\mathrm{R}_5}^2 = \frac{4k_{\mathrm{B}}TR_6^2}{R_5}; \tag{2.59}$$

$$v_{\mathrm{R}_6}^2 = 4k_{\mathrm{B}}TR_6. \tag{2.60}$$



2.16 pav. Pirmos eilės filtro su impedanso daugintuvais stiprinimo A_0 priklausomybė nuo R_3/R_2 santykio ir stiprintuvo atviros grandinės stiprinimo A_{OS}

Fig. 2.16. First order filter gain dependency on the impedance multiplier factor and operational amplifier open loop gain

Matyti, kad analoginiai filtrai, kurių derinimo grandynai naudoja impedanso daugintuvus, turi du pagrindinius trūkumus:

1. Filtro PDJ ir stiprinimo parametrų priklausomybė nuo baigtinio OS atviros grandinės stiprinimo.
2. Filtro v_{Uout} vertė dvigubėja didinant impedanso daugintuvo daugiklio k vertę.

Įvertinus paminėtus derinimo grandyno trūkumus, galime daryti išvadą, kad tokios struktūros nėra optimalios konfigūruojamų KJIF skirtų programine įranga valdomo radijo kūrimui.

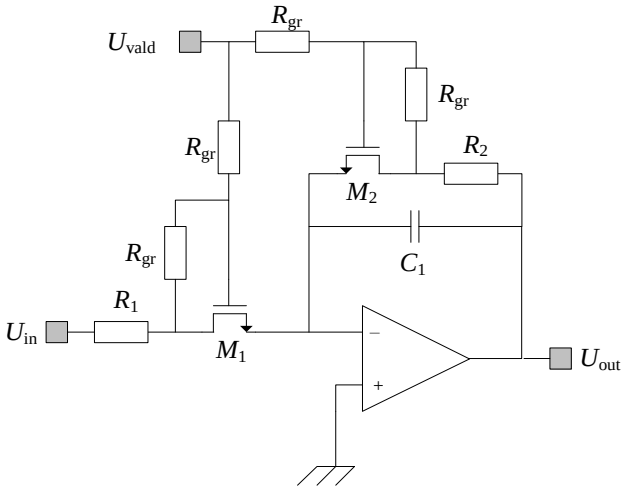
Tranzistoriaus tiesiškumas gali būti pagerintas panaudojant grįžtamąjį ryšį (Kurahashi *et al.* 2007: 1699–1709). Įtampa valdomų tranzistorių su grįžtamuoju ryšiu (IVTGR) struktūra pavaizduota 2.17 paveiksle. Dėl rezistorių R_{gr}, kurie sudaro grįžtamojo ryšio kelią, santakos srovės ir santakos įtampos didėjimas ištiesina ištakos-santakos charakteristikos kreivę. Yra du pagrindiniai IVTGR struktūros trūkumai:

1. Padidėjęs elementų kiekis – kiekvienai rezistorių matricai reikalingi du papildomi didelio nominalo rezistoriai.
2. R_{gr} sudaro rezistorių daliklį – U_{vald} įtampos vertė turi būti dvigubai didesnė lyginant ją su IVT ar impedanso daugintuvo struktūromis. Šis reikalavimas sunkiai įgyvendinamas mažas (< 1,5 V) maitinimo įtampas naudojančiuose IG filtruose – reikia dvigubai viršyti U_{sl} įtampą.

2.18 paveiksle pavaizduota IVT (2.12 pav. b dalį), impedanso daugintuvų (2.15 pav.) ir IVTGR (2.17 pav.) tolydžiai valdomų rezistorių derinimo matricų įtaka filtro IJTT3 vertei. Kompiuterinio modeliavimo metu naudotas pilnai diferencinis OS, suprojektuotas 65 nm KMOP IG technologijoje. Visų derinimo matricų nominali varža nustatyta į 3 kΩ, filtro PDJ vertė yra lygi 40 MHz. PDJ derinimas atliktas naudojant tik tolydžiai valdomus tranzistorius. Analoginio filtro maitinimo ir sinfazinės įtampos atitinkamai lygios 1,2 V ir 0,6 V. Analoginio aktyviojo filtro įėjime imituoti du vienodos amplitudės (diferencinė 0,5 V) sinusiniai signalai, kurių dažniai atitinkamai 1,5 ir 2,7 MHz. Iš 2.17 paveikslo matyti, kad IVTGR struktūros JTT3 parametras yra didžiausias, kai filtro PDJ keičiama 14–20 MHz ribose.

Analoginio filtro su impedanso daugintuvo derinimo matricos IJTT3 kreivė svyruoja dėl nepastovios filtro stiprinimo parametro vertės, kuri įtakojama dėl anksčiau aptarto impedanso daugintuvo struktūros jautrumo baigtinei OS stiprinimo vertei. Verta paminėti, kad tirtų tolydžiai valdomų rezistorių matricų struktūrų įtampos valdymo ribos, kuriose pasiektas 10–20 MHz PDJ pokytis, atitinkamai IVT, IVTGR ir impedanso daugintuvo struktūrai buvo 40 mV

(250 kHz/mV), 80 mV (125 kHz/mV) ir 130 mV (77 kHz/mV). Toks mažas tranzistorių valdymo įtampų ruožas didina minimalią $\varphi_{\text{žingsnis}}$ vertę, derinimo struktūra tampa jautri valdymo įtampos svyravimams.

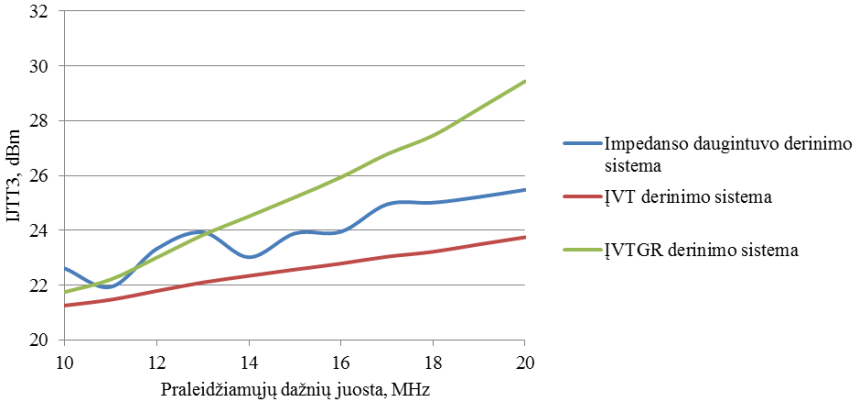


2.17 pav. Įtampa valdomų tranzistorių su grįžtamuoju ryšiu (IVTGR) struktūra
Fig. 2.17. Continuously tunable filter with feeedback resistors

Disertacijos metu sukurta tolydžiai valdomų rezistorių matricos derinimo struktūra paremta IVTGR, tačiau neturinti jos dviejų pagrindinių trūkumų – dvigubos valdymo įtampos reikalavimo ir siauro įtampos valdymo ruožo (Kiela, Navickas 2016). Sukurta tolydaus analoginio MOP-RC filtro parametrų derinimo struktūra (TAGR – tolydžiai valdoma su aktyviuoju grįžtamuoju ryšiu) pavaizduota 2.19 paveiksle a dalyje. Struktūra sudaryta iš diskrečiai valdomų rezistorių grandinės R_{N0}–R_{Nn}, naudojamos grubiam struktūros varžos parinkimui. Tikslų varžos derinimą atlieką nuosekliai jungtas NMOP tranzistorius. Tokia derinimo struktūra gali būti panaudota visoms TKF pakopose esančioms rezistorių derinimo matricoms, taip sumažinant komponentų projektavimo laiką ir jų verčių išsibarstymus.

Grubus rezistoriaus vertės parinkimas, kaip ir jau aprašytu NRM derinimo grandyno atveju, atliekamas naudojant dvejetainio skaičiaus keitiklį dešimtainiu skaičiumi. Tokiu būdu sumažinamas iki filtro bloko vedamų valdymo signalų skaičius ir užtikrinama, kad vienu metu bus aktyvi tik viena rezistorių-MOP grupė. Rezistoriai valdomi kombinuotu NMOP ir PMOP raktu – taip gerinamas grandyno tiesiškumas esant dideliems (artimiems arba siekiantiems maitinimo įtampą) signalams filtro įėjime. Jeigu visi valdymo grandynų signalai lygus

loginiam „0“ (PMOP tranzistoriaus atveju „1“), derinimo grandynas visiškai izoliuojamas nuo aplink esančių blokų, aktyvieji elementai išjungiami.



2.18 pav. IJTT3 vertės pokytis tolydžiai keičiant pirmos eilės aktyviojo pilnai diferencinio filtro praleidžiamųjų dažnių juostos vertę
Fig. 2.18. Change in IIP3 value for different continuous tuning resistor bank structures

Rezistoriai R_{grA} ir R_{grB} naudojami sudaryti teigiamą grįžtamąjį ryšį, skirtą ištiesinti tranzistoriaus darbo charakteristiką – MOP tiesiškumas didėja kada jo santakos-ištakos kontaktų įtampos pokytis yra atkartojamas tarp santakos-užtūros kontaktų. MOP tranzistoriaus grįžtamo ryšio grandinėje esantis OS naudojamas praplėsti IVT valdymo signalo ribas (2.19 pav. b dalį). Šiuo atveju turi būti naudojamas signalo neapgręžiantis OS t. y. turi būti išlaikomas teigiamas grįžtamasis ryšis. OS išėjimo lygis valdomas keičiant įtampa R_{OSB} elemento išėjime (2.61).

$$U_{\mathrm{OSout}} = A_0\left(U_{\mathrm{OS+}} - U_{\mathrm{OS-}}\right)\frac{A_0\left(R_{\mathrm{OSA}}U_{\mathrm{OS+}} + R_{\mathrm{OSB}}\left(U_{\mathrm{OS+}} - U_{\mathrm{vald}}\right)\right)}{A_0R_{\mathrm{OSA}} + R_{\mathrm{OSA}} + R_{\mathrm{OSB}}}; \qquad (2.61)$$

$$U_{\mathrm{OS-}} = U_{\mathrm{vald}} + \frac{R_{\mathrm{OSA}}}{R_{\mathrm{OSA}} + R_{\mathrm{OSB}}}\left(U_{\mathrm{OSout}} - U_{\mathrm{vald}}\right); \qquad (2.62)$$

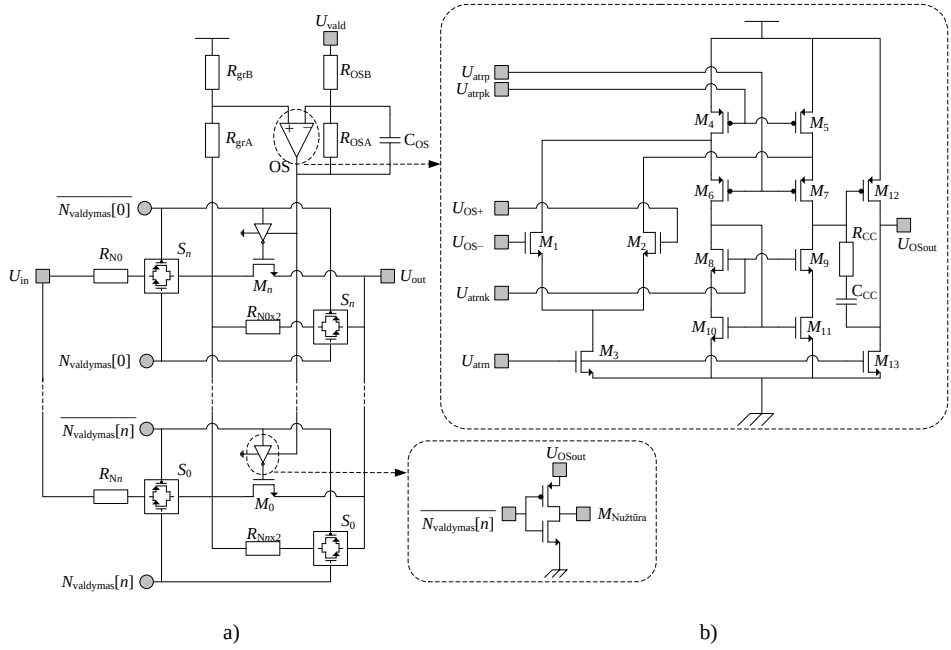
$$U_{\mathrm{OS+}} = \frac{R_{\mathrm{oM}n} \parallel R_{2\mathrm{N}n}\left(U_{\mathrm{VDD}}\left[R_{\mathrm{N}n} + R_{\mathrm{grA}}\right] + R_{\mathrm{grB}}U_{\mathrm{in}}\right)}{R_{\mathrm{oM}n} \parallel R_{2\mathrm{N}n}\left(R_{\mathrm{N}n} + R_{\mathrm{grA}} + R_{\mathrm{grB}}\right) + R_{\mathrm{N}n}\left(R_{\mathrm{grA}} + R_{\mathrm{grB}}\right)} + \frac{R_{\mathrm{N}n}\left(R_{\mathrm{grB}}U_{\mathrm{out}} + R_{\mathrm{grA}}U_{\mathrm{VDD}}\right)}{R_{\mathrm{oM}n} \parallel R_{2\mathrm{N}n}\left(R_{\mathrm{N}n} + R_{\mathrm{grA}} + R_{\mathrm{grB}}\right) + R_{\mathrm{N}n}\left(R_{\mathrm{grA}} + R_{\mathrm{grB}}\right)}, \qquad (2.63)$$

čia A_0 yra aktyviojo grįžtamojo ryšio grandinės OS atviros grandinės stiprinimo koeficientas; U_{in} ir U_{out} atitinkamai yra sinfazinės įtampos vertės, esančios ties atitinkamais kontaktais nustatytoje priešįtampio būsenoje; $R_{\text{N}n}$ yra aktyvaus rezistoriaus varža, skaičiuojama įtraukiant ir nuosekliai prie jo prijungto jungiklio S_n kanalo varžą; $R_{\text{oM}n}$ yra tolydžiai įtampa valdomo tranzistoriaus kanalo varža.

IVT kanalo varža, kada jis dirba tiesiniame rėžime, gali būti apskaičiuota:

$$R_{\text{oM}n} = \frac{L}{W\mu_{\text{n}}C_{\text{oks}}\left(\left[U_{\text{UI}} - U_{\text{sl}}\right] - \dfrac{U_{\text{SI}}}{2}\right)}. \tag{2.64}$$

Iš (2.61) matyti, kad didinant valdymo įtampa U_{vald}, OS išėjimo įtampa bus mažinama priklausomai nuo jo grįžtamojo ryšio grandinės elementų R_{OSA} ir R_{OSB} santykio. Jeigu $R_{\text{OSB}} > R_{\text{OSA}}$, U_{vald} įtaka U_{OSout} lygiui tampa mažiau jautri – taip praplečiamas IVT valdymo reikšmių diapazonas ir pašalinamas dvigubos valdymo įtampos reikalavimas, reikalingas įgyvendinant 2.17 paveiksle pavaizduotą IVTGR struktūrą.



a) b)

2.19 pav. Siūloma tolydžiai valdomos rezistorių matricos struktūra: a) struktūros elektrinė schema; b) ją sudarančio operacinio stiprintuvo elektrinė schema

Fig. 2.19 The proposed continuously variable resistor bank structure: a) bank structure; b) structure of the operational amplifier used inside the structure

Siūlomoje TAGR struktūroje OS sudaromas naudojant lenktos kaskodos stiprintuvo architektūrą. Struktūros pasirinkimą sąlygoja reikalavimas turėti didelę atviros grandinės OS stiprinimo vertę (didinamas tikslumas) net ir esant mažai (< 1,5 V) maitinimo įtampos vertei. OS stiprintuve papildoma išėjimo pakopa skirta izoliuoti OPLS stiprintuvo įėjimo pakopą nuo R_{OSA} ir R_{OSB} apkrovų.

Struktūros rezistorių parinkimas pradedamas panašiai kaip ir LRM atveju. Iš pradžių įvedama minimali rezistoriaus vertė (R_{MinNor}), kuri turi būti užtikrinama TAGR struktūros. Šiuo atveju ji sutampa su R_{N0} verte ir apskaičiuojama (2.65). Atitinkamai apskaičiuojama ir maksimali derinimo grandyno vertė (2.66).

$$R_{\mathrm{N0}} = R_{\mathrm{MinNor}} \cdot \left(1 + \frac{\Delta\omega}{100}\right); \tag{2.65}$$

$$R_{\mathrm{MaxTAGR}} = R_{\mathrm{MaxNor}} \left(1 + \frac{\Delta\omega}{100}\right). \tag{2.66}$$

Rezistorių grandinių skaičius randamas taikant (2.67). Šiuo atveju ieškoma vertė, kuri tenkintų nurodytą sąlyga. Kadangi R_{N0} vertė jau žinoma, likusios rezistorių vertės apskaičiuojamos (2.68). Verta atkreipti dėmesį, kad 2.19 paveiksle a dalyje pavaizduotų rezistorių, jungiamų lygiagrečiai su IVT tranzistoriumi, vertės yra dvigubai didesnės už varžas, jungiamas prie U_{in} kontakto. IVT matmenys, kartu su grįžtamojo ryšio varžomis parenkamos taip, kad užtikrintų tolydų valdymą nuo minimalios kanalo varžos vertės iki lygios $R_{2\mathrm{N}n}$.

$$\left(\frac{200}{100 + \Delta\omega}\right)^{n+1} \geq \frac{R_{\mathrm{MaxTAGR}}}{2R_{\mathrm{N0}}}; \tag{2.67}$$

$$R_{\mathrm{N}n} = \frac{200 R_{\mathrm{N}(n-1)}}{100 + \Delta\omega}. \tag{2.68}$$

Sudarytos derinimo matricų struktūros panaudojamos projektuojant konfigūruojamo filtro struktūrą. Kompiuterinio modeliavimo rezultatai pateikiami 3 skyriuje.

2.3. Integrinių analoginių filtrų derinimo grandyno kūrimas

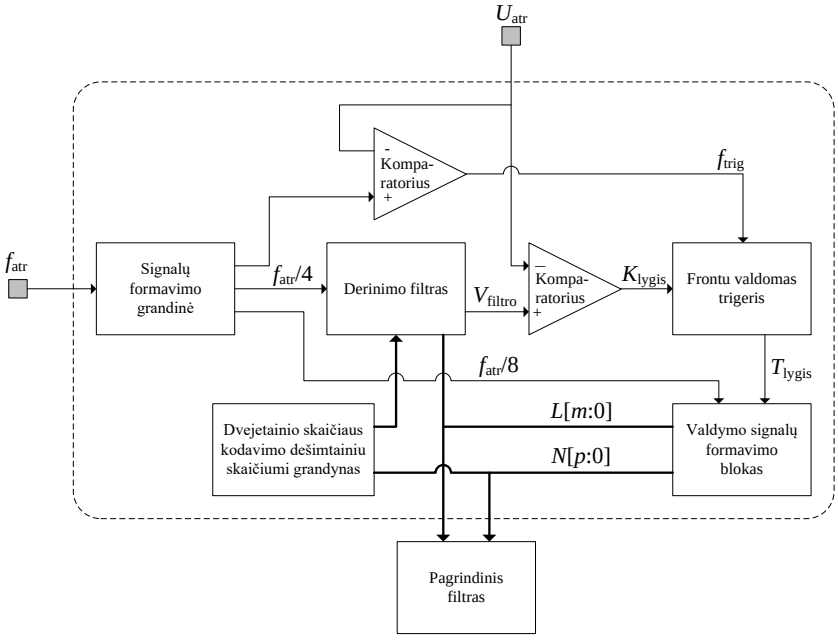
Šiame skyriuje kuriama savaiminio derinimo grandyno struktūra, skirta 2.2.1 skirsnyje pasiūlytos diskrečiai valdomų rezistorių derinimo matricos verčių

apskaičiavimo būdui tirti. Taip pat siūlomas derinimo būdas DSI skirtiems tolydžiai valdomų kanalo juostos išrinkimo filtrams.

2.3.1. Diskrečiai valdomų integrinių analoginių filtrų derinimas

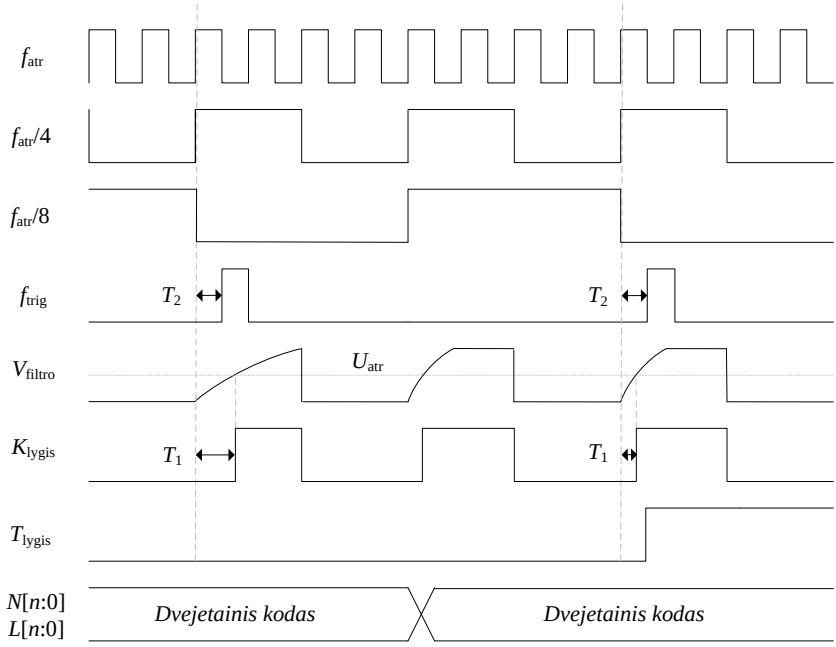
Pirmajame skyriuje padaryta išvada, kad integriniuose analoginiuose filtruose dažniausiai naudojamos ir mažiausią paklaidą DKF leidžiančios pasiekti netiesioginės savaiminio derinimo sistemos paremtos laiko konstantos pokyčio matavimu naudojant išorinį etaloninį signalą (Kiela, Jurgo, Kladovščikov 2016).

Kuriamos aktyviojo RC filtro derinimo sistemos struktūrinė schema pavaizduota 2.20 paveiksle. Derinimo grandinėje lyginamos dviejų signalų vėlinimo trukmės – T_1 ir T_2 (2.21 pav.). Jeigu atraminio signalo f_{atr} dažnis yra pakankamai mažas (priklauso nuo IG technologijos, paprastai iki 10 MHz), signalų formavimo grandinėje (SFG) suformuota signalo f_{trig} vėlinimo trukmė T_2 gali būti laikoma pastovia ir nepriklausoma nuo IG gamybos procesų nuokrypių bei kitų grandyną veikiančių veiksnių.



2.20 pav. Diskrečiai valdomo aktyviojo RC filtro savaiminio derinimo sistemos struktūrinė schema

Fig. 2.20. Auto-tuning structure, that is used for the proposed discrete step resistor bank



2.21 pav. Savaiminio derinimo sistemos signalų laikinė diagrama
Fig. 2.21. Timing diagram for the proposed discrete step tuning circuit

Signalas $f_{atr/4}$, kuris taip pat yra formuojamas SFG grandyne, patenka į derinimo filtrą, kur jo vėlinimo trukmė įtakojama pasyvių komponentų ir juos veikiančių veiksnių nuokrypių. Komparatoriaus išėjimo signalas K_{lygis}, nuo kurio skaičiuojama vėlinimo trukmė T_1, formuojamas priklausomai nuo signalo $f_{atr/4}$ vėlinimo trukmės ir įtampos U_{atr} lygio.

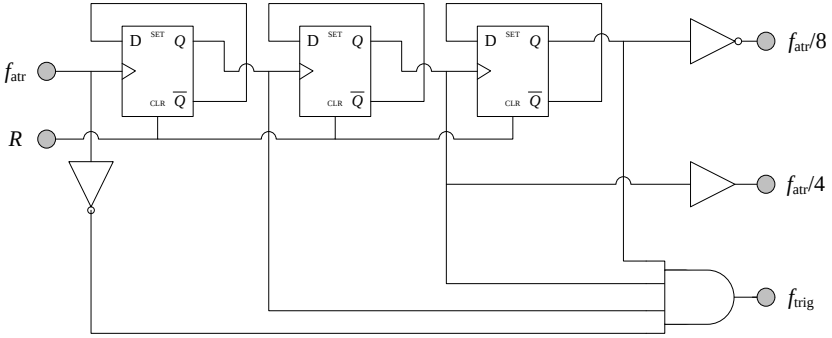
Frontu valdomas trigeris, kuris šioje schemoje atlieka fazės detektoriaus funkciją, lygina dvi vėlinimo trukmes T_1 ir T_2 ir savo išėjimo signalu T_{lygis} valdo signalų formavimo bloko logiką. Valdymo kodas, kuris siūlomos rezistorių derinimo matricos atveju, yra sudarytas iš dviejų signalų. Jis keičia vieno iš pasyvių komponentų vertę ir artėja link valdymo kodo reikšmės, prie kurios išsilygina abiejų signalų vėlinimo trukmės. Kadangi skaitiklio valdymas yra diskretus, T_2 ir T_1 vėlinimo trukmės niekada netaps visiškai lygios, bet priartės prie siekiamos vertės $\varphi_{žingsnis}$ tikslumu.

Signalų formavimo bloko loginė schema pateikta 2.22 paveiksle. Dažnio daliklis sudarytas iš keturių frontu valdomų D tipo trigerių. Jų išėjime formuojami du signalai – $f_{atr/8}$ ir $f_{atr/4}$ – , kurių periodai yra atitinkamai 8 ir 4 karto ilgesni už įėjimo signalo f_{atr} periodą. Papildomas signalas f_{trig} formuojamas panaudojus inverterį ir loginį „IR“ elementą. Šio signalo periodas lygus $f_{atr/8}$

signalo periodui, tačiau skverbtis yra lygi f_{atr} signalo skverbčiai. f_{trig} signalo vėlinimo trukmė T_2 užrašoma:

$$T_2 = \frac{1}{2 \cdot f_{atr}}. \tag{2.69}$$

Ši lygtis užrašyta neatsižvelgiant į loginių elementų įnešamą vėlinimo trukmę. Realiame įtaise, pagrindinis vėlinimo šaltinis, įtakojantis tokios struktūros savaiminio derinimo grandyno tikslumą, bus filtro išėjime esančio komparatoriaus vėlinimas. Dėl baigtinės komparatoriaus stiprinimo vertės ir lėto RC kontūro fronto kitimo spartos, jo išėjime formuojamas signalas bus užvėlintas. Mažinti susidariusį vėlinimą galima papildomai į f_{atr} signalo kelią įdėjus dar vieną komparatorių. Tokiu būdu kompensuojamas vėlinimas, atsirandantis dėl signalo sklidimo komparatoriuje delsos, bet nesumažinama komparatoriaus baigtinio stiprinimo įtaka. Norint dar labiau pašalinti vėlinimo skirtumą tarp abiejų komparatorių išėjimų, f_{atr} signalą formuojančiame komparatoriuje gali būti įvedama jo išėjimo signalo vėlinimo kontrolė.

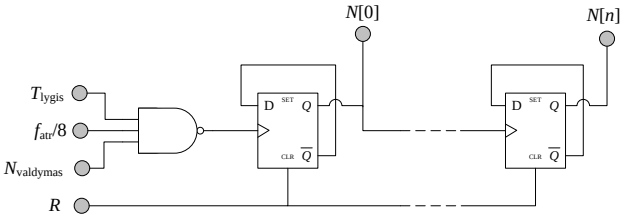


2.22 pav. Signalų formavimo įtaiso loginė schema
Fig. 2.22. Clock generator logical circuit

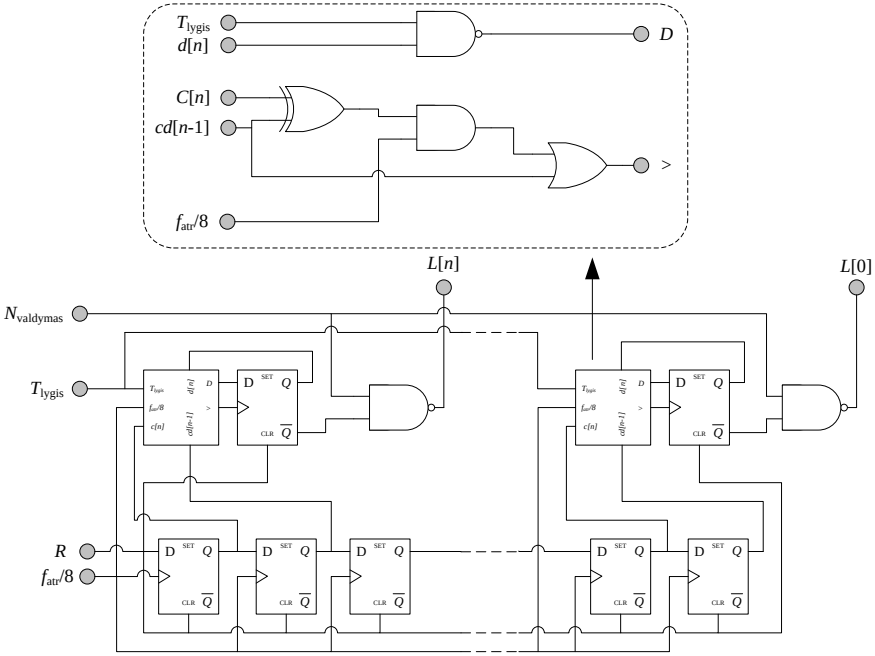
Derinimo filtro struktūra sudaryta iš 2.11 paveiksle parodytos derinimo rezistorių matricos ir kondensatoriaus. Parenkant kondensatoriaus vertę, būtina atsižvelgti į filtro išėjimo prijungiamų blokų parazitines vertes. Šiuo atveju, būtina įvertinti komparatoriaus įėjimo tranzistorių užtūros parazitines talpas c_{US}, c_{UI} ir c_{UP}, kurios atitinkamai nurodo talpas tarp užtūros-santakos, užtūros-ištakos ir užtūros-padėklo. Signalas $f_{atr/4}$ per rezistorių matricą įkrauna kondensatorių, todėl svarbu paminėti, kad loginio elemento, per kurio PMOP tranzistorių teka kondensatorių kraunanti srovė, matmenys turi būti parenkami atsižvelgiant į

kondensatoriaus talpos dydį ir atviro tranzistoriaus kanalo varžą. Jeigu komparatoriaus atraminė įtampa U_{atr} (2.20 pav.) yra parenkama vertei, lygiai pusei maitinimo įtampos, signalas K_{lygis} susiformuos po vėlinimo trukmės T_1, kuri užrašoma (Oshima *et al.* 2004: 2052–2054):

$$T_1 = R_{atr} \cdot C_{atr} \cdot \ln(2). \tag{2.70}$$



a)



b)

2.23 pav. Nuosekliai ir lygiagrečiai sujungtų rezistorių matricų paieškoms naudojamų skaitiklių loginės schemos: a) dvejetainio kodo skaitiklis; b) nuosekliosios aproksimacijos skaitiklis

Fig. 2.23. Tuning structure logic: a) a counter for the series connected resistance; b) SAR counter for the paralel resistor banks of the proposed discrete resistor banks

Prie kondensatoriaus lygiagrečiai jungiamas papildomas $f_{\text{atr}/4}$ signalu valdomas tranzistorius skirtas staigiai jį iškrauti, pasibaigus krovimo ciklui. Siūlomame savaiminio derinimo grandyne gali būti naudojami du rezistorių matricą valdantys signalai – $N[n{:}0]$ ir $L[n{:}0]$, atitinkamai valdantys NLRM matricas.

Derinimo matricos paieška išskirta į du etapus – NRM ir LRM derinimo matricų verčių paieškų. NRM valdymo signalo reikšmė randama naudojant dvejetainio kodo skaitiklį (2.23 pav. a dalį). Paieškos pradžioje, LRM matricos vyriausioji valdymo skiltis priverstinai įjungiama į loginį „1“. Taip užtikrinama, kad $R_{\text{LFiksuotas}}$ rezistoriaus įtaka visai derinimo struktūros varžai būtų minimali. NRM paieška vykdoma nuo maksimalios vertės $R_{\text{N}n}$ žingsniu artėjant link $R_{\text{Nfiksuotas}}$ vertės. Verta paminėti, kad tokiu būdu užtikrinama kad NRM vertė bus visada mažesnė arba lygi ieškomos varžos vertei. Toliau derinimas vykdomas keičiant LRM matricos valdymo signalus naudojant nuosekliosios aproksimacijos skaitiklį. Skirtingai nuo įprasto dvejetainio kodo skaitiklio naudojamo NRM ir reikalaujančiam 2^n ciklų, kad būtų rasta galutinė derinimo matricos valdymo signalo reikšmė, nuosekliosios aproksimacijos būdas trunka n+1 ciklų, kur n yra valdymo signalų skaičius.

Nuoseklios aproksimacijos skaitiklio (2.23 pav. b dalį) valdymo kodo $L[n{:}0]$ reikšmė pradedama keisti nuo vyriausiojo bito, atsižvelgiant į fazės detektoriaus lygį. Jeigu T_{lygis} lygis yra loginis „0“, $L[n]$ signalas nustatomas į loginį „1“ – sumažinama LRM varža ir mažinamas vėlinimas T_1. Sekančiu signalo $f_{\text{atr}/8}$ kylančiu frontu keičiamas $L[n-1]$ bitas. Jeigu T_{lygis} pasikeitė iš loginio „1“ į loginį „0“, $L[n]$ signalas nustatomas į loginį „0“, o $L[n-1]$ į loginį „1“. Šiuo atveju, pirmame žingsnyje pakeitus $L[n]$ bito lygį, pasiekta LRM varžos vertė buvo per maža. Siūlomo skaitiklio galutinė LRM valdymo kodo reikšmė surandama po:

$$t_{\text{derinimo}} = \frac{n+1}{f_{\text{atr}/8}}. \tag{2.71}$$

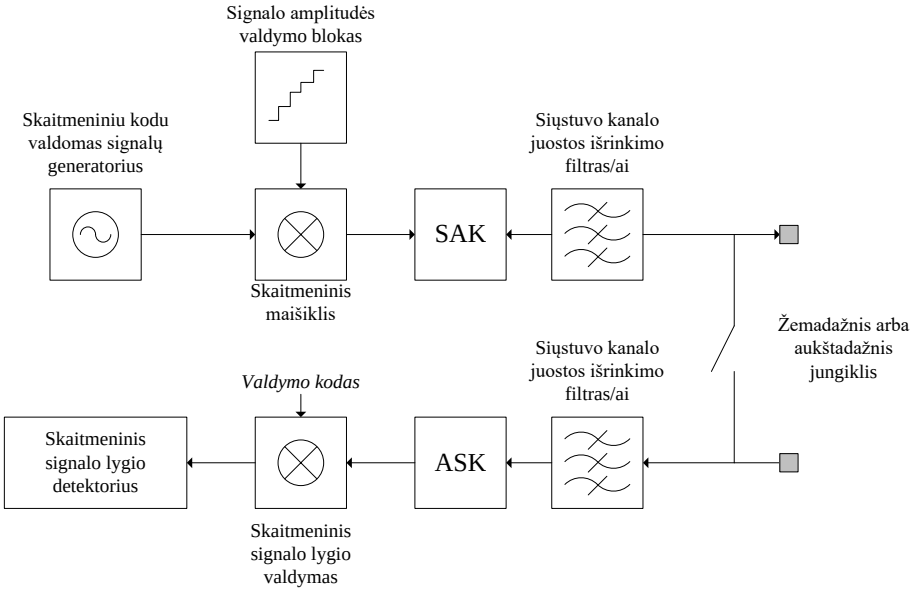
2.3.2. Tolydžiai valdomų integrinių analoginių filtrų derinimas

KJIF su tolydžiai valdomų elementų struktūromis savaiminio derinimo grandynams gali būti panaudojama jau aptarta diskrečiai valdomų filtrų savaiminio derinimo grandynų struktūra. Šiuo atveju, 2.20 paveiksle pavaizduotas valdymo signalų formavimo blokas formuoja ne rezistorių matricos valdymo signalus, bet įtampos formavimo bloko kodą. Įtampos formavimo blokui gali būti panaudoti SAK arba krūvio pompomis paremtos struktūros. Tiesa, nors ir taikomos tolydžiai valdomiems varžams, tokios struktūros įtampą formuoja diskrečiu žingsniu, kuris priklauso nuo SAK

skiriamosios gebos arba nuo minimalaus krūvio pompos srovės valdymo žingsnio, todėl į tai būtina atkreipti dėmesį projektuojant tolydžiai valdomų filtrų savaiminio derinimo grandynus.

Dažniausiai DKF struktūrų naudojamos savaiminio derinimo sistemos skirtos tik jų PDJ parametrui koreguoti. Norint maksimaliai išnaudoti TKF struktūrų parametrų valdymo žingsnio ir ruožo privalumus, reikia universalesnių analoginių filtrų derinimo būdų. Moderniuose DSI, kur taikomi KJIF, siųstuvo ir imtuvo grandynuose dažnai projektuojami ir skaitmeniniai signalų apdorojimo blokai. Šių blokų pagalba galima atlikti tikslų (apriboto ASK ir SAK rezoliucijų) KJIF filtro parametrų derinimą.

2.24 paveiksle pavaizduoti DSI SSP bloke sintezuojami blokai, kurių pagalba galima atlikti KJIF savaiminio derinimo procedūrą. Struktūros supaprastinimui nerodoma pilna kvadratūrinė schema (1.4 pav.). Siųstuvo pusėje naudojamas skaitmeniniu kodu valdomas signalų generatorius ir maišiklis, o šių blokų generuojamas signalas verčiamas į analoginį naudojant SAK. Suformuoto signalo amplitudė, dažnis yra pastovūs ir įtakojami tik DSI analoginių blokų iškraipymų. Signalo dažnis keičiamas nustatytu žingsniu ir siunčiamas į derinimo filtro įėjimą. Tokiu atveju, visi blokai signalo kelyje turi būti apeinami, arba nustatyti taip, kad neįtakotų maksimalaus tikrinimo signalo dažnio lygio.



2.24 pav. Skaitmeniniai blokai, įgyvendinami skaitmeninių signal procesoriuje, reikalingi kanalo juostos išrinkimo filtro parametrų derinimui ir valdymui
Fig. 2.24. Digital blocks that can be used for channel selection filter tuning

Siųstuvo-imtuvo analoginėje dalyje žemų dažnių arba aukštų dažnių blokuose sudaromas grįžtamasis kelias ir signalas, kurio amplitudė paveikta derinamo filtro, nukreipiamas į imtuvo ASK, kur yra keičiamas į skaitmeninį. Imtuvo SSP, vieno iš kvadratūrinių signalų lygis gali būti nuslopintas panaudojus signalo lygio valdymo bloką. Tokiu būdu išskiriama informacija apie kiekvieno kvadratūrinių kanalų filtro atsaką. Skaitmeninė signalo vertė pastoviai atnaujinama signalo lygio detektoriaus bloke.

Keičiant tikrinimo signalo dažnį, galima surinkti informaciją apie derinamo filtro amplitudės charakteristiką. Pirmą, siųstuvo generuojamas signalas nustatomas į tikrinamo filtro PDJ sritį, kur išmatuojama jo stiprinimo vertė, o po to signalas nustatomas į norimą filtro PDJ dažnį. Keičiant analoginio filtro derinimo matricų vertes, gaunamas $1/\sqrt{2}$ skirtumas tarp išmatuotų skaitmeninių verčių.

Pagrindinis savaiminio derinimo naudojant SSP trūkumas – reikalinga viso DSI pertrauktis, kad būtų suderinamas analoginis filtras. Tokio trūkumo galima išvengti naudojant filtro parametrų reikšmių lenteles, kurios užpildomos įjungus DSI, o stebint temperatūros daviklio duomenis – pastoviai atnaujinamos.

2.4. Antrojo skyriaus išvados

1. Verčių nuokrypiai atsiradę dėl integrinio grandyno (IG) filtro struktūros parinkimo gali būti mažinami derinimo matricomis, skirtomis IG gamybos procesų netobulumų sukeltų nuokrypių korekcijai, todėl kuriant konfigūruojamą integrinį analoginį filtrą galima neatsižvelgti į jį sudarančių filtrų struktūrų jautrumą IG elementų verčių nuokrypiams.
2. Sudarytas žemųjų dažnių bikvadratinių filtrų (BiF) struktūrų projektavimo algoritmas, leidžiantis apskaičiuoti BiF struktūros elementų vertes atsižvelgiant į užduotus stiprinimo, praleidžiamųjų dažnių juostos (PDJ), kokybės, triukšmo lygio reikalavimus ir gali būti naudojamas projektuojant konfigūruojamų integrinių analoginių bikvadratinių filtrų struktūras skirtas daugiastandarčiams siųstuvams-imtuvams (DSI).
3. Sukurta diskrečiai valdomos rezistorių matricos struktūra bei pasiūlytas būdas, skirtas tokių perjungiamų rezistorių matricų projektavimui ir leidžiantis apskaičiuoti struktūros vertes, kai žinoma filtrų praleidžiamųjų dažnių juostos koregavimo ribos ir minimalus žingsnis.

4. Tolydžiai derinamų matricų pagrindiniai trūkumai – netiesiniai iškraipymai didėja didinant valdančiojo tranzistoriaus kanalo varžą arba santakos-ištakos įtampą, ir mažas valdymo įtampos diapazonas.
5. Impedanso daugintuvo struktūrų, skirtų tolydžiam filtrų derinimui, pagrindinis trūkumas – derinimo valdymo signalo lygis didina filtro signalas triukšmas lygį, dėl struktūrų aktyviosios varžos priklausomybės nuo filtruose naudojamų operacinių stiprintuvų baigtinio stiprinimo ir praleidžiamųjų dažnių juostos svyravimų, todėl tokios derinimo struktūros nėra tinkamos kurti analoginiams filtrams, skirtiems moderniems DSI.
6. Sukurta tolydžiai valdoma derinimo struktūra (TAGR), naudojanti grįžtamąjį ryšį su aktyviuoju elementu tranzistoriaus darbo charakteristikai ištiesinti. Pasiūlytoje struktūroje išvengiamas valdymo įtampos dvigubinimo reikalavimas ir praplečiamos valdymo įtampos ribos. Pasiūlyta derinimo matricos struktūra gali būti atkartojama ir panaudota visose konfigūruojamą filtrą sudarančiose struktūrose, taip sumažinant komponentų projektavimo laiką ir jų verčių išsibarstymus.
7. Sudarytas savaiminio derinimo grandynas, paremtas vėlinimo kilpos struktūra, naudojamas diskrečiai valdomų nuosekliai ir(arba) lygiagrečiai sujungtų rezistorių matricų verčių nuokrypių automatizuotajam koregavimui.

3

Integrinių analoginių filtrų su diskrečiu ir tolydžiu derinimo grandynais projektavimas ir tyrimas

Pasinaudojus sukurtais derinimo struktūrų modeliais ir jų verčių apskaičiavimo algoritmais, sukurti dvi konfigūruojamų integrinių analoginių filtrų struktūras su diskrečiai ir tolydžiai valdomomis rezistorių derinimo matricomis. Suprojektuoti filtrai naudojami tirti pasiūlytiems modeliams, derinimo matricų elementų verčių skaičiavimo algoritmų bei struktūrų patikrai. Tyrimai atliekami taikant kompiuterinių skaičiavimų ir eksperimentinius metodus.

Skyriaus tematika paskelbti 4 moksliniai straipsniai (Kiela, Navickas 2015; Kiela, Jurgo, Kladovščikov 2016; Kiela, Navickas 2016; Kiela, Jurgo, Navickas 2017). Skyriaus tematika skaitytas vienas pranešimai respublikinėse konferencijose (Kiela 2016) ir vienas pranešimas tarptautinėje konferencijoje (Kiela, Navickas 2015).

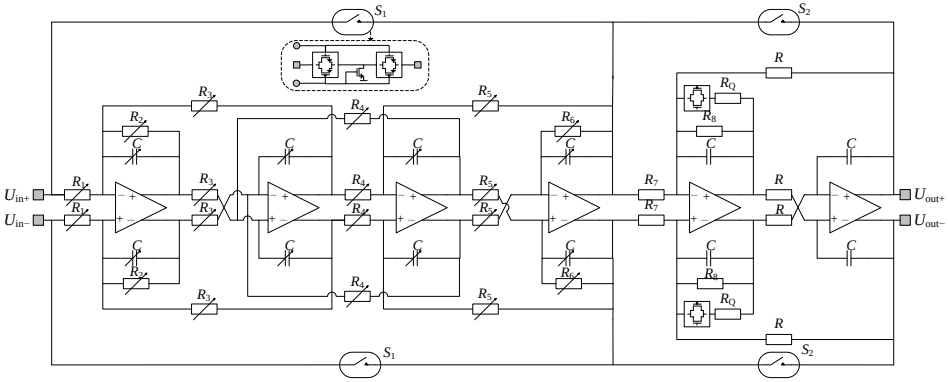
3.1. Integrinių analoginių filtrų struktūrų projektavimas

Šiame skyriuje projektuojami du analoginiai aktyvūs kanalo juostos išrinkimo filtrai, skirti sukurtų derinimo grandynų ir pasiūlytų konfigūruojamų filtrų struktūrų tyrimams atlikti. Filtrų PDJ valdymo ribos numatytos atsižvelgiant į modernių belaidžio ryšio standartų kanalo juostos reikalavimus. Projektuojamo filtro apatinė PDJ riba nustatoma į 10 MHz, o viršutinė – 60 MHz. Pasirinkimas paremtas LTE standarto naudojamomis populiariausiomis kanalų grupėmis, jų juostos pločio reikalavimais bei atsižvelgiant į LTE taikomą skirtingų nešlių agregacijos galimybę (Chen *et al.* 2015: 1–3).

3.1.1. Konfigūruojamų analoginių filtrų projektavimas

DKF ir TKF struktūros tiriamos projektuojant konfigūruojamos struktūros aktyviuosius KJIF 65 nm KMOP IG technologijoje, o jų schemos atitinkamai pavaizduotos 3.1 ir 3.2 paveiksluose.

Remiantis 2.1 poskyriuje sudaryta diskrečiai valdomų konfigūruojamų filtrų struktūra, projektuojamas filtras sudaromas kaskadinant 4 eilės ŠGR struktūros filtrą su BiF. Filtro eilės valdymas vykdomas atjungiant arba prijungiant skirtingas filtro pakopas naudojant pilnai komplementarius MOP perjungtuvus su signalo įžeminimu (3.1 pav.). Komplementaraus MOP perjungtuvo panaudojimas sumažina jungiklių sukeltus filtro tiesiškumo iškraipymus, kada apdorojamo signalo amplitudės lygis artėja prie maitinimo įtampos vertės.



3.1 pav. Diskrečiai konfigūruojamo filtro schema
Fig. 3.1. Fixed step tuning configurable filter

3.1 lentelė. Diskrečiai ir tolydžiai konfigūruojamų filtrų perjungtuvų kombinacijos, skirtos konfigūruoti tokių filtrų eilę
Table 3.1. Discrete and continuous tuning filter switching logic to achieve the required order

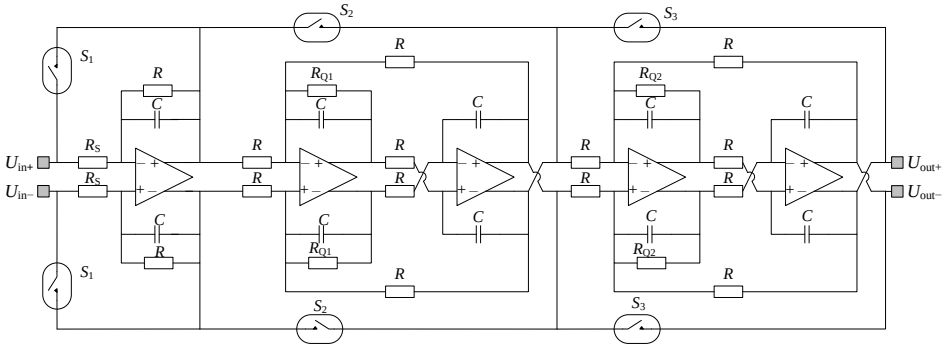
Perjungtuvai			Filtro konfigūracija
S_1	S_2	S_3	
DKF filtras			
Atidarytas	Atidarytas	–	DKF filtras nenaudojamas.
Atidarytas	Uždarytas	–	2 eilės filtras
Uždarytas	Atidarytas	–	4 eilės filtras
Uždarytas	Uždarytas	–	6 eilės Filtras
TKF filtras			
Atidarytas	Atidarytas	Atidarytas	TKF filtras nenaudojamas.
Atidarytas	Atidarytas	Uždarytas	2 eilės filtras
Atidarytas	Uždarytas	Uždarytas	4 eilės filtras
Uždarytas	Atidarytas	Atidarytas	1 eilės filtras
Uždarytas	Uždarytas	Atidarytas	3 eilės filtras
Uždarytas	Uždarytas	Uždarytas	5 eilės filtras

3.1 lentelėje parodyta filtro eilės valdymo logika. Iš viso galimos 4 kombinacijos, į kurias galima sukonfigūruoti DKF filtrą. Filtro aproksimacijos valdymas vykdomas naudojant BiF pakopoje papildomai suprojektuotą R_Q varžą. Įjungus šią varžą lygiagrečiai R_2, keičiamas (mažinamas) BiF kokybės faktorius. R_Q varžos vertė parinkta taip, kad BiF struktūra galėtų būti konfigūruojama fiksuotiems Batervorto arba Čebyševo su 3 dB pulsacija atsakams. R_Q rezistoriaus derinimas vykdomas naudojant bendrą valdymo signalų liniją, t. y. šios derinimo matricos vertė kitų derinimo matricų atžvilgiu išlaiko pastovų santykį. Filtro aproksimacija keičiama valdant tiek 4, tiek 2 eilės filtrų PDJ ribas (Kiela, Navickas 2015).

TKF filtras sudaromas kaskadinant vieną pirmos ir dvi BiF struktūras. Kaip ir DKF struktūroje, filtro eilės perkonfigūravimas vykdomas naudojant komplementarius MOP perjungtuvus. Šio filtro perjungtuvų valdymo kombinacijos taip pat pateiktos 3.1 lentelėje.

Norint pilnai išnaudoti tolydaus filtro derinimo privalumą, TKF filtro struktūroje įgyvendinamas nepriklausomas kiekvienos BiF struktūros Q valdymas naudojant R_{Q1} ir R_{Q2} derinimo rezistorius su IVT. TKF struktūros

stiprinimas koreguojamas valdant pirmos eilės filtro struktūroje esantį R_S IVT. Verta paminėti, kad visos tolydžiai derinamų rezistorių struktūros yra identiškos – skiriasi tik jų valdymo signalai. Iš 3.2 paveiksle parodytos TKF filtro schemos matyti, kad norint nepriklausomai koreguoti visus TKF filtro struktūrų parametrus reikia 6 skirtingų rezistorių ir 3 juostos išrinkimui naudojamų derinamų kondensatorių matricų valdymo signalų.



3.2 pav. Tolydžiai konfigūruojamo filtro schema
Fig. 3.2. Continouos step tuning configurable filter

TKF filtras sudaromas kaskadinant vieną pirmos ir dvi BiF struktūras. Kaip ir DKF struktūroje, filtro eilės perkonfigūravimas vykdomas naudojant komplementarius MOP perjungtuvus. Šio filtro perjungtuvų valdymo kombinacijos taip pat pateiktos 3.1 lentelėje.

Norint pilnai išnaudoti tolydaus filtro derinimo privalumą, TKF filtro struktūroje įgyvendinamas nepriklausomas kiekvienos BiF struktūros Q valdymas naudojant R_{Q1} ir R_{Q2} derinimo rezistorius su IVT. TKF struktūros stiprinimas koreguojamas valdant pirmos eilės filtro struktūroje esantį R_S IVT. Verta paminėti, kad visos tolydžiai derinamų rezistorių struktūros yra identiškos – skiriasi tik jų valdymo signalai. Iš 3.2 paveiksle parodytos TKF filtro schemos matyti, kad norint nepriklausomai koreguoti visus TKF filtro struktūrų parametrus reikia 6 skirtingų rezistorių ir 3 juostos išrinkimui naudojamų derinamų kondensatorių matricų valdymo signalų.

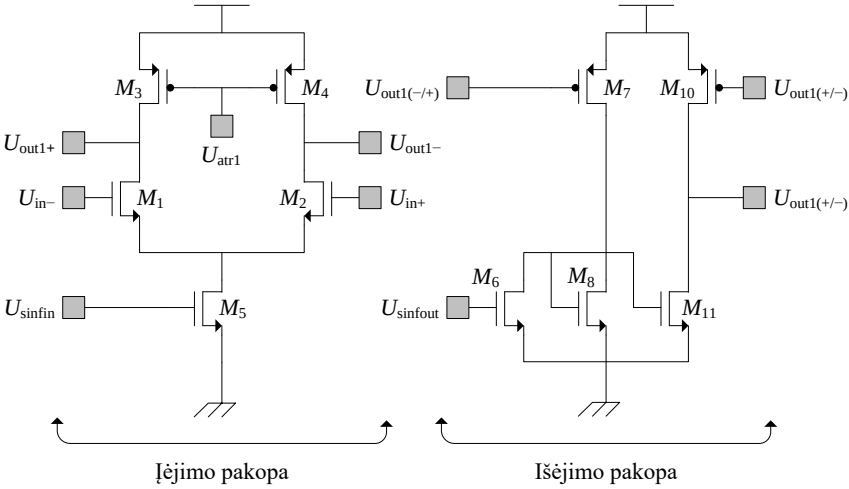
3.1.2. Operacinio stiprintuvo projektavimas

Pagrindinis aktyviojo analoginio filtro elementas yra operacinis stiprintuvas. Norint užtikrinti, kad baigtinės OS stiprinimo ir PDJ parametrų vertės neįtakotų viso filtro stiprinimo paklaidos daugiau negu 1 %, OS vienetinis dažnis turi būti 100 kartų didesnis už didžiausią filtro PDJ vertę (Martin *et al.* 1981: 822–829).

Vienetinio dažnio vertė gaunama sudauginus stiprinimo ir jo PDJ vertes. Šis dydis nepriklauso nuo OS pajungimo tipo ir yra pastovus tiek atviros grandinės tiek su grįžtamuoju ryšiu sąlygose.

Programine įranga valdomo radijo naudojamų DSI filtrų PDJ gali siekti 100 ir daugiau megahercų. Atsižvelgiant į anksčiau iškeltą reikalavimą, OS vienetinis dažnis turi būti didesnis už 10 GHz. Tokios OS parametrų vertės yra sunkiai įgyvendinamos IG dėl OS įtakojančių parazitinių veiksnių, todėl projektuojant DSI aktyviuosius filtrus siektina gauti kuo didesnę OS vienetinio dažnio vertę. Suprojektavus papildomą OS srovės valdymo grandyną, galima dinamiškai keisti stiprintuvo vartojamąją galią priklausomai nuo PDJ, apkrovos ar išėjimo įtampos spartos reikalavimų. Be to baigtinių OS parametrų sukelti nuokrypiai filtro parametrams gali būti koreguojami naudojant pasiūlytus grandynus.

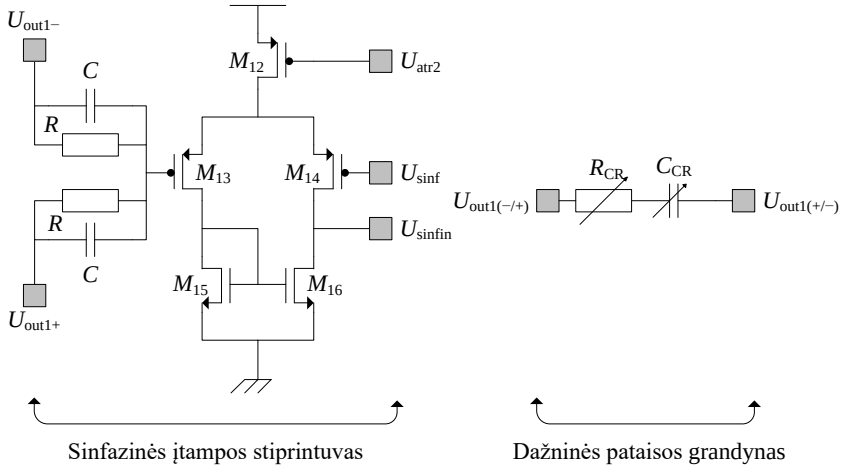
Projektuojamuose filtruose naudojamo pilnai diferencinio OS schema pavaizduota 3.3 ir 3.4 paveiksluose (K. Kiela, R. Navickas. 2015). Norint supaprastinti schemą, 3.3 paveiksle pavaizduota tik viena išėjimo pakopos pusė. Pilnai diferencinio OS struktūroje naudojamos dvi išėjimo pakopų struktūros – invertuotam ir neinvertuotam signalui formuoti.



3.3 pav. Operacinio stiprintuvo principinė elektrinė schema: įėjimo ir išėjimo pakopos
Fig. 3.3. operational amplifier structure: input and output stages

Įėjimo pakopos laipsnis sudarytas iš diferencinės tranzistorių poros M_1 ir M_2. Tranzistoriai M_3 ir M_4 yra aktyviosios apkrovos diferencinei įėjimo pakopai. Pastarųjų tranzistorių atraminės priešįtampio U_{atr1} vertė, kaip ir kitų OS tranzistorių darbo taškų įtampos generuojamos OS viduje naudojant kaskodintus

srovės veidrodžius iš IG arba už jo ribų esančių, dažniausiai pagal numatytą parametrą stabilizuotų srovės šaltinių (pvz. temperatūros, varžos pokyčio). Tranzistorius M_5 kartu su sinfazinės įtampos stiprintuvu naudojamas pirmosios pakopos išėjimo priešįtampio lygio korekcijai arba valdymui.



3.4 pav. Operacinio stiprintuvo principinė eletrinė schema: sinfazinės išėjimo įtampos stiprintuvas ir dažninės pataisos grandynas
Fig. 3.4. Common mode feedback amplifier and RC compensation network structure

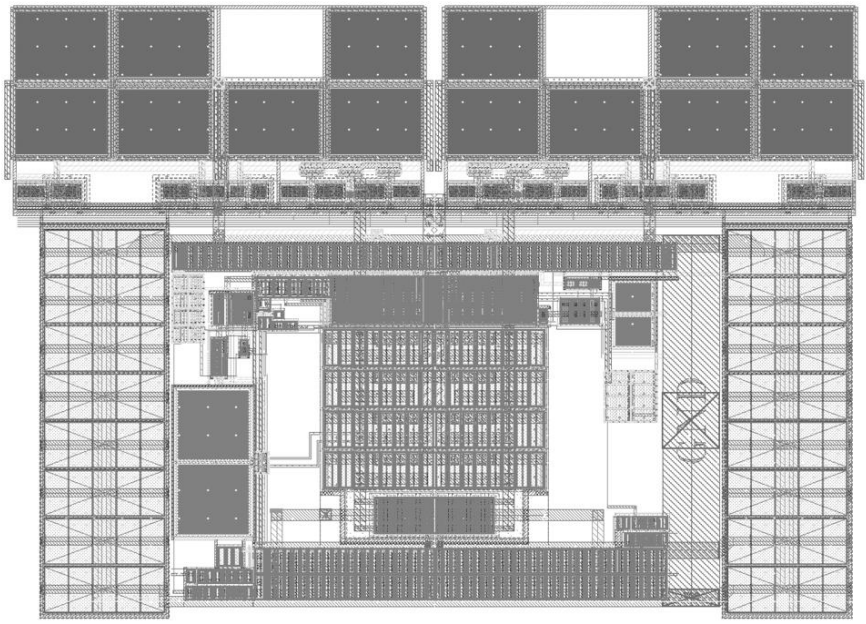
Išėjimo pakopoje tranzistoriai M_7 ir M_8, sukuria darbo tašką tranzistoriui M_{11}, kurio darbo taškas atitinkamai valdomas OS įėjimo pakopos įtampos $U_{out1(+/-)}$. Tokiu būdu, galima reguliuoti išėjimo pakopos tiesiškumą ir darbo tašką, keičiant diferencinės poros atraminę srovę M_5 tranzistoriuje. Viso OS išėjimo sinfazinė įtampa valdoma keičiant M_{10} tranzistoriaus apkrovą. Toks valdymas realizuojamas naudojant atskirą išėjimo sinfazinės įtampos stiprintuvą, kurio išėjimas valdo M_6 užtūros įtampą.

Įėjimo pakopos stiprintuvo struktūra su išėjimo pakopa sujungta dažninės pataisos grandynu, skirtu stabilizuoti ir valdyti perviršius OS, taip pat padidinti vienetinio dažnio vertę (3.4 pav.) (Itakura 2010: 730–740). Sinfazinės įtampos stiprintuvas yra sudarytas iš diferencinės poros (M_{12} ir M_{13}) su aktyviosiomis apkrovomis (M_{15} ir M_{16}), kurių priešįtampio įtampa yra formuojama M_{15}. Prijungiant sinfazinį stiprintuvą prie įėjimo pakopos, naudojami didelio nominalo rezistoriai R – taip sumažinama apkrova diferencinei įėjimo pakopai, kuri dirba kaip OPLS, t. y. negali būti apkrauta mažo nominalo aktyviaisias varžais. Papildomi kondensatoriai C naudojami sumažinti nepageidaujamus signalo pulsacijas ir triukšmus. Išėjimo sinfazinio įtampos stiprintuvo struktūra labai panaši į įėjimo. Išėjimo sinfazinis stiprintuvas naudoja išėjimo pakopos

kontaktus sinfazinės įtampos generavimui, o diferencinės poros įėjimo signalai yra sukeisti dėl papildomo apgręžimo, atsirandančio tranzistoriuje M_6.

Dažninės pataisos grandynas sudarytas iš diskrečiai valdomų rezistorių ir kondensatorių derinimo matricų, kurių struktūros panašios į pavaizduotą 1.21 paveiksle b dalyje. OS dažninės pataisos elementų parinkimas vykdomas atsižvelgiant į filtro PDJ nustatančių kondensatorių matricų valdymo signalo vertę. Tokiu būdu sumažinamas reikalingų valdymo signalų skaičius ir pati filtro derinimo procedūra.

Operacinio stiprintuvo topologija, suprojektuota 65 nm KMOP technologijoje, yra pateikta 3.5 paveiksle. Kadangi projektuojamas pilnai diferencinis OS, todėl svarbu išlaikyti topologijos elementų, kuriais sklinda signalas, simetriškumą: operacinio stiprintuvo pagrindiniai elementai (diferencinė pora, aktyviosios apkrovos, perjungiamų talpų ir varžų rinkiniai) yra centruoti per vidurį ir išdėstyti simetriškai vertikalios ašies atžvilgiu.



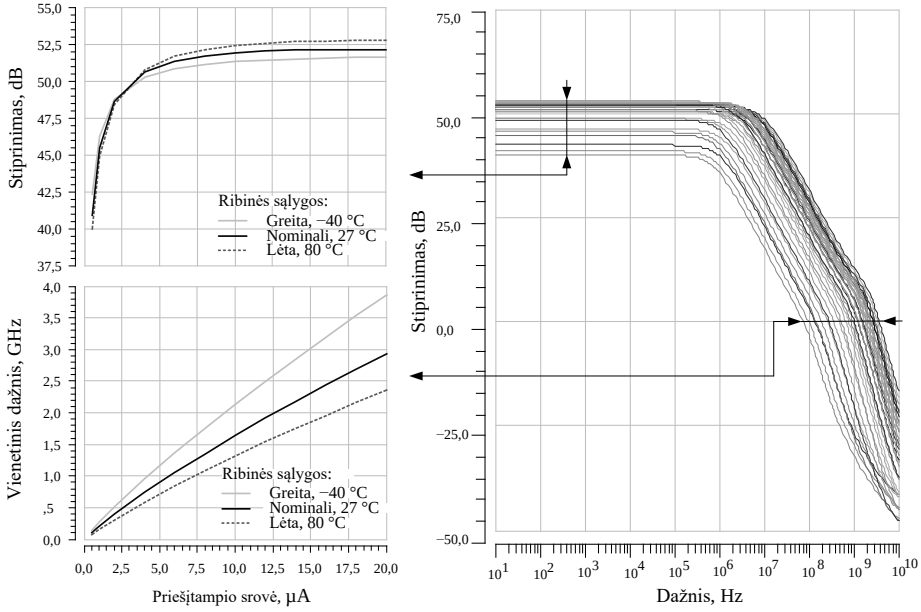
3.5 pav. Operacinio stiprintuvo topologija 65 nm KMOP technologijoje
Fig. 3.5. Topology view of the operational amplifier in 65 nm CMOS

Siekiant užtikrinti diferencinę porą ir jos aktyviąsias apkrovas sudarančių tranzistorių parametrų tolygumą ir sumažinti jų išsibarstymą dėl gamybos netobulumų, šių tranzistorių kraštuose yra išdėstyti fiktyvieji tranzistoriai.

Taip pat, norint sumažinti gretimų įtaisų, esančių tame pačiame integriniame grandyne, ir jų skleidžiamų triukšmų įtaką, diferencinė pora bei jos aktyviosios apkrovos yra apgaubtos dvigubais apsauginiais žiedais, kuriuos sudaro n duobės ir p tipo sritys. n duobių sritys yra jungiamos prie didžiausios maitinimo įtampos, o p tipo sritys – prie žemės. Taip yra sukuriamas dvigubas nuskurdintas sluoksnis, kuris nepraleidžia nepageidaujamų krūvininkų.

Topologijoje yra palikta laisvo ploto, taip padarant galimybę padidinti diferencinės poros dydį. Tai leidžia koreguoti OS parametrus, siekiant jį pakartotinai panaudoti kituose IG blokuose su sąlyginai mažomis laiko sąnaudomis topologijos koregavimui.

Operacinio stiprintuvo maitinimo linijoms yra naudojamas aukščiausias metalo sluoksnis (septintas), šioje technologijoje pasižymintis ypač maža kvadrato varža, siekiant užtikrinti reikiamą maitinimo įtampos lygį ir sumažinti maitinimo įtampos kritimą veikimo metu.



a) b)

3.6 pav. Pagrindiniai operacinio stiprintuvo modeliavimo parametrai: a) vienetinio dažnio, stiprinimo ir b) DACh priklausomybė nuo priešįtampio srovės

Fig. 3.6. Main parameters of operational amplifier simulation: a) unity gain, open loop gain and b) magnitude response with different bias settings

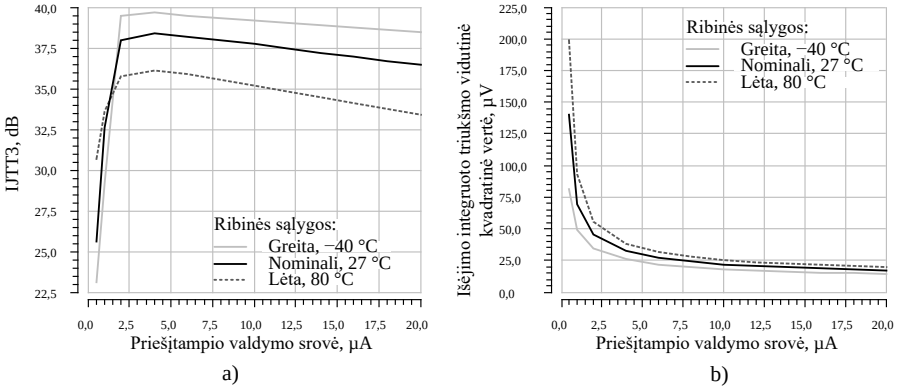
Pagrindiniai OS modeliavimo parametrai ribinėse 65 nm KMOP technologijos sąlygose pateikiami 3.6 ir 3.7 paveiksluose. Iš 3.6 paveikslo

matyti, kad suprojektuoto OS atviros grandinės stiprinimas ir vienetinis stiprinimas ribinėse sąlygose svyruoja atitinkamai tarp 51–53 dB ir 2–3,8 GHz. Keičiant OS *M5* atraminės srovės vertę nuo 1 µA iki 20 µA, OS atviros grandinės stiprinimas ir vienetinis dažnis nominaliose ribinėse sąlygose kinta 41–52 dB ir 0,1–2 GHz ribose, o OS vartojamoji galia nuo 0,25 iki 7,3 mW (esant 1,2 V maitinimo įtampai).

Suprojektuoto OS IJTT3 ir išėjimo integruoto triukšmo vidutinės kvadratinės vertės pokytis esant skirtingoms atraminės srovės vertėms parodytas 3.7 paveiksle. IJTT3 gautas formuojant du (1 MHz ir 1,1 MHz) diferencinės 1 $V_{pk\text{-}pk}$ sinusinius signalus OS įėjime, kada jis sujungtas vienetinio stiprinimo konfigūracijoje naudojant 3 kΩ varžus. Mažinant atraminę srovę IJTT3 nežymiai gerėja – esant mažesnėms tranzistoriaus aktyviųjų apkrovų srovėms, jų ištakos–santakos soties įtampa mažėja, dėl ko praplatėja OS tiesinis diapazonas. IJTT3 vertė pradeda sparčiai mažėti, kada atraminė srovė pasiekia vertę, prie kurios OS išėjimo pakopa dėl sumažėjusios įtampos kitimo spartos netiesiškai atkartoja įėjimo signalą esant 3 kΩ apkrovai.

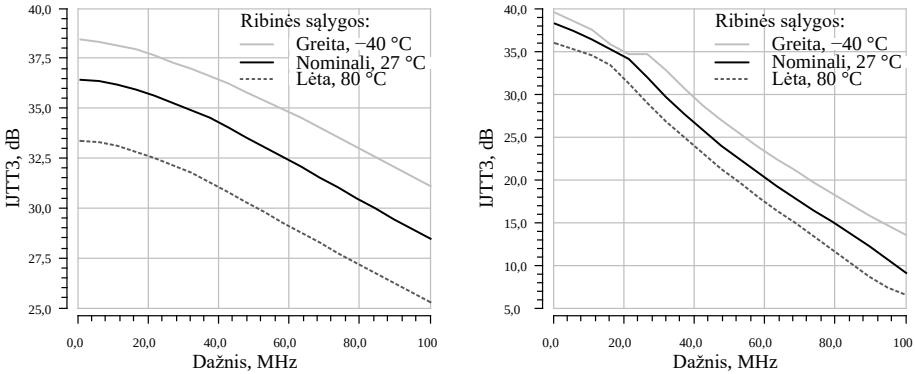
3.8 paveiksle a ir b dalyse pavaizduota OS IJJT3 dažninė priklausomybė esant skirtingoms atraminėms srovėms, kurios atitinkamai yra 5 µA ir 20 µA. Iš grafikų matyti, kad OS filtro IJTT3 parametrų neįtakos daugiau negu vienu decibelu 10 MHz juostoje, jeigu jo atraminė srovė bus nustatyta į 20 µA, filtro PDJ neviršys 100 MHz ir grįžtamojo ryšio rezistorių vertės nebus mažesnės nei 3 kΩ. Mažinant atraminę srovę, pasireiškia OS ribotos išėjimo įtampos kitimo spartos įtakojami signalo iškraipymai (3.8 pav. d dalį).

Taigi, suprojektuotas OS yra tinkamas aktyviųjų filtrų struktūrų ir jų derinimo grandynų parametrams tirti.



3.7 pav. Pagrindiniai operacinio stiprintuvo modeliavimo parametrai: a) IJTT3 taško ir b) integruoto triukšmo nuo 1 Hz iki 100 MHz priklausomybė nuo priešįtampio srovės

Fig. 3.7 Main parameters of operational amplifier simulation:
a) IIP3 and b) output voltage noise bias current dependency



a) b)

3.8 pav. Operacinio stiprintuvo IJTT3 priklausomybė nuo dažnio esant: a) 20 µA; b) 5 µA atraminei srovei

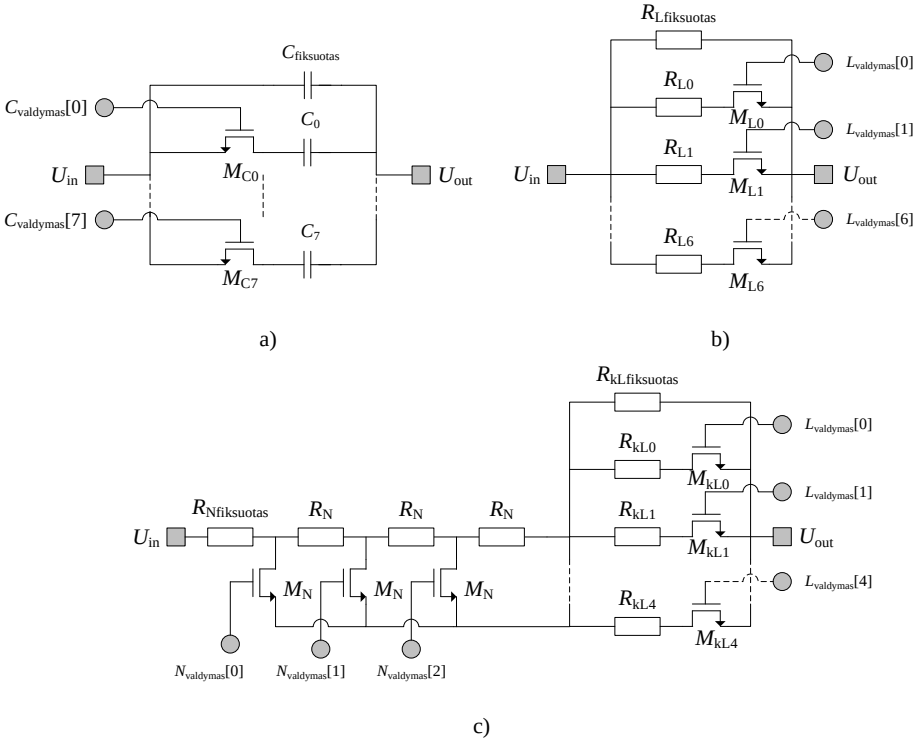
Fig. 3.8. Operational amplifier IIP3 vs frequency at different bias current settings: a) 20 µA; b) 5 µA

3.1.3. Derinimo matricų projektavimas

Atsižvelgiant į projektuojamų filtrų bei jų struktūrų kombinacijas ir joms įgyvendinti reikalingus rezistorių verčių santykius, apskaičiuojamos rezistoriaus R ir kondensatoriaus C vertės (3.1 ir 3.2 pav.), kurios atitinkamai lygios 6 kΩ ir 130 fF. Rezistoriaus vertė apskaičiuota atsižvelgiant į 3.1.2 skirsnyje gautus OS modeliavimo rezultatus ir įvertinant, kad BiF struktūrose varžos gali dvigubai sumažėti įgyvendinant skirtingas filtro aproksimacijas.

Atlikus pasyvių elementų sklaidos 65 nm KMOP technologijos modeliavimus apskaičiuota, kad maksimali PDJ sklaida gali siekti 39 %. Atsižvelgiant į elementų sklaidos ribas ir į reikalingą valdymo skilčių skaičių norint jas pasiekti (2.30), rezistorių derinimo riba $\Delta\omega$ ir žingsnis $\varphi_{\text{žingsnis}}$ atitinkamai nustatomas į 40 % ir 1,5 %.

Projektuojamo DKF derinamų kondensatoriaus ir rezistoriaus matricų struktūros pavaizduotos 3.9 paveiksle. Verta paminėti, kad tokia pati (vienodų verčių) derinama kondensatoriaus matrica panaudojama tiek DKF, tiek TKF filtrams. Kondensatoriaus matrica (3.9 a dalį) yra sudaryta iš 8 $C_{\text{valdymas}[n]}$ signalų, kurie leidžia nustatyti 256 skirtingas kondensatoriaus talpų kombinacijas, valdomas dvejetainiu kodu. Kondensatorius C_0 užduoda minimalų kondensatorių matricos talpos valdymo žingsnį, o likusieji kondensatoriai sudaromi principu $2^n \cdot C_0$. Projektuojant kondensatorių matricas svarbiausią atkreipti dėmesį į minimalų šio bloko valdymo žingsnio C_0 ir $C_{\text{fiksuotas}}$ santykį. Per maža $C_{\text{fiksuotas}}$ vertė nulems, kad kai dvejetainis kodas keičiamas iš „0“ į „1“ PDJ bus keičiama dideliu žingsniu.



3.9 pav. Projektuojamo diskrečiai konfigūruojamo filtro kondensatoriaus ir rezistoriaus matricų struktūros: a) diskrečiai valdomų kondensatorių; b) LRM; c) NLRM

Fig. 3.9. Tuning banks for the discrete step control active low-pass filter: a) switched capacitor; b) parallel; c) parallel and series connected resistor banks

Sukurtas LRM matricos (3.9 pav. b dalį) verčių apskaičiavimo būdas tikrinamas projektuojant tokio tipo matricą naudojant (2.27)–(2.33). Norint užtikrinti 1,5 % derinimo žingsnio tikslumą ir 40 % derinimo ribas iš (2.30) apskaičiuojama, kad reikalingas n = 7 skilčių LRM valdymo signalas. Norint užtikrinti tokį patį derinimo ruožą su 1 % arba 0,5 % derinimo žingsniu, būtų atitinkamai reikalingos 8 ir 9 valdymo skiltys, dėl ko didėtų rezistorių matricos užimamas plotas ir parazitinių talpų vertė dėl reikalingų papildomų valdymo tranzistorių.

Pasiūlyta NLRM naudojama DKF (žr 3.9 pav. c dalį) sudaroma remiantis (2.27)–(2.45) lygtimis ir nustačius k = 4 (rezistorių vertės mažinamos 4 kartus). Atsižvelgiant į filtrui keliamus derinimo ribų ir žingsnio reikalavimus ir naudojant (2.30) yra apskaičiuojamas lygiagrečios rezistorių matricos $L_{valdymas}$

skaičus m = 5. $R_{\mathrm{kLfiksuotas}}$ ir $R_{\mathrm{L0\text{-}5}}$ vertės atitinkamai apskaičiuojamos (2.34) ir (2.41). Minėta, kad nuoseklios rezistorių matricos elementų vertės nustatomos atsižvelgiant į LRM rezistorių vertes. NRM rezistorių nominalai apskaičiuojami taikant (2.42) ir (2.43). NRM valdymui reikalingi p = 3 signalai, kurie valdomi 2 skilčių dvejetainio kodo keitikliu dešimtainiu kodu.

$M_{\mathrm{C0\text{-}7}}$, $M_{\mathrm{kL0\text{-}4}}$ ir $M_{\mathrm{L0\text{-}6}}$ tranzistorių geometriniai matmenys projektuojami atsižvelgiant į prie jų santakų prijungtų komponentų verčių didėjimo tvarką, t. y. M_{C0}, M_{kL0} ir M_{L0} tranzistoriai yra mažiausi, M_{C7}, M_{kL4} ir M_{L6} – didžiausi.

Toliau pateikiami suprojektuotų NLRM ir LRM matricų varžų skaičiavimai 65 nm KMOP IG technologijos sąlygose. Kompiuterinis modeliavimas atliktas su struktūromis, kurios projektuotos nominaliai 6 kΩ vertei užtikrinti ribinėse IG sąlygose. Varžos apskaičiavimui naudojamas idealus operacinis stiprintuvas, kuris jungiamas kaip pirmos eilės invertuojantis ŽDF. ŽDF įėjimo ir grįžtamojo ryšio pakopas sudaro tiriama rezistorių matrica ir fiksuotos vertės kondensatorius. Darant prielaidą, kad kondensatoriaus vertė nekinta, visi grįžtamojo ryšio grandinės pasyvių elementų nuokrypiai gali būti išreiškiami per varžo vertės pokytį. Tokiu atveju, iš PDJ vertės pokyčio apskaičiuojama rezistoriaus vertės nuokrypis, kurį reikia kompensuoti derinimo struktūros valdymo signalų pagalba (Kiela, Jurgo, Navickas 2017).

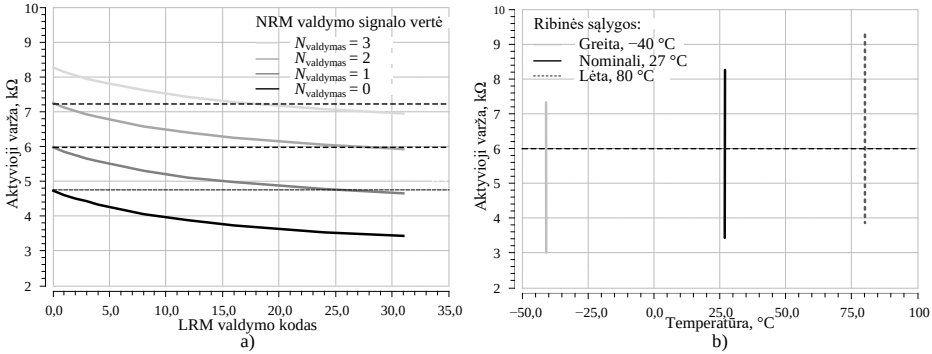
NLRM struktūros varžos modeliavimo rezultatai ribinėse IG technologijos sąlygose pateikiami 3.10 ir 3.11 paveiksluose. 3.10 paveiksle parodyti rezultatai gauti neatsižvelgiant į IG esančių kondensatorių verčių sklaidą – naudotas idealus kondensatorius. Matyti, kad NLRM matricos valdymo ribos yra perteklinės, t. y. norint pasiekti nominalią 6 kΩ varžą, nereikia išnaudoti visų valdymo signalų kombinacijų. 3.11 paveiksle atvaizduoti NLRM matricos varžos vertės pokyčio rezultatai, gauti naudojant IG formuojamą metalas-oksidas-metalas kondensatorių. Iš rezultatų matyti, kad greitoje ribinėje sąlygoje reikalinga kraštinė valdymo signalo reikšmė, kad NLRM struktūra pasiektų 6 kΩ varžo vertę.

Suprojektuotos LRM varžos derinimo ribos atsižvelgiant į rezistorių ir kondensatorių verčių sklaidą pavaizduotos 3.12 paveiksle. Iš grafiko matyti, kad kaip ir NLRM matricos atveju, greitoje IG ribinėje sąlygoje reikalinga kraštinė LRM valdymo signalo vertė, kad būtų pasiekta nominali 6 kΩ vertė.

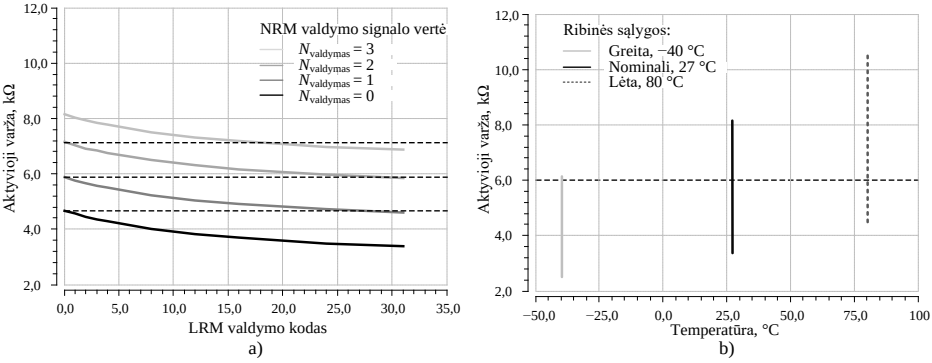
3.2 lentelėje pateikti LRM ir NLRM varžų derinimo ribų ir maksimalaus žingsnio vertės gautos ribinėse IG sąlygose. Derinimo ribos skaičiuojamos nuo varžos vertės, gautos nustačius derinimo struktūrų valdymo signalus į lygius, kurie naudojantis 2.2.1 skirsnyje aprašytais projektavimo būdais turi nustatyti derinimo matricas 6 kΩ (LRM atveju L_{valdymas} = 26, NLRM atveju L_{valdymas} = 21 ir N_{valdymas} = 1).

Iš rezultatų matyti, kad LRM struktūra nuo norimo maksimalaus 1,5 % derinimo žingsnio vertės nominalioje ir greitoje ribinėse sąlygose nukrypsta

atitinkamai 0,01 % ir 0,1 %. Taip pat, $+\Delta\omega$ derinimo riba lėtoje ribinėje sąlygoje nesiekia norimų 40 %, tačiau skirtumas siekia tik 1,8 %.



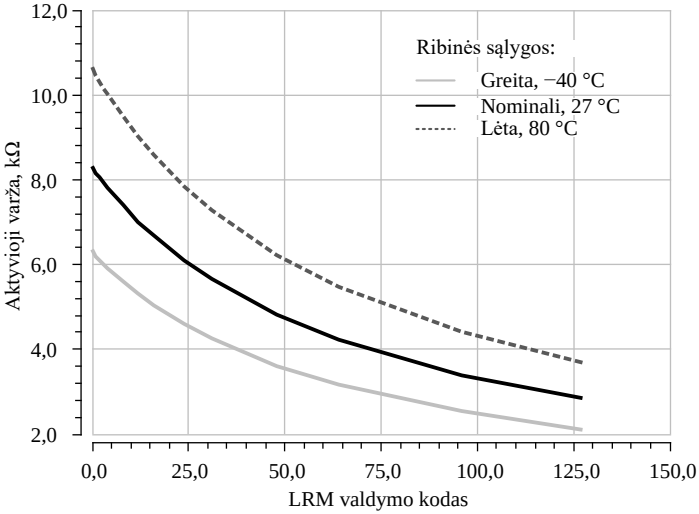
3.10 pav. NLRM varžos derinimo ribos, atsižvelgiant tik į rezistorių sklaidą: a) nominalioje IG ribinėje sąlygoje; b) visose IG ribinėse sąlygose
Fig. 3.10. SPRM resistance tuning range when only resistor variation is included: a) nominal corner; b) across all corners



3.11 pav. NLRM varžos derinimo ribos, atsižvelgiant į rezistorių ir kondensatorių sklaidą: a) nominalioje IG ribinėje sąlygoje; b) visose IG ribinėse sąlygose
Fig. 3.11. SPRM resistance tuning range when resistor and capacitor variation is included: a) nominal corner; b) across all corners

Iš 3.2 lentelėje pateiktų rezultatų matyti, kad visas NLRM derinimo ruožas yra sumažėjęs lyginant su LRM struktūra. Priežastis – didesnio struktūroje naudojamų pasyvių elementų ir valdymo tranzistorių skaičius, kuriuos ribinės sąlygos įtakoja skirtingai. Šios struktūros $+\Delta\omega$ derinimo ribos didžiausias nuokrypis nuo norimos vertės siekia 6,6 %, tačiau verta pastebėti, kad dėl viso derinimo ruožo susiaurėjimo, maksimalus $\varphi_{\text{žingsnis}}$ visose ribinėse sąlygose

tenkina norimą 1,5 % vertę, o pati struktūra užtikrina 6 kΩ derinimo galimybę. Taip pat didelis siūlomos NLRM derinimo struktūros privalumas yra sumažėję rezistorių verčių nominalai, kurių norint realizuoti 6 kΩ derinimo matricą su užduotomis derinimo ruožo ir maksimalaus žingsnio vertėmis iš viso reikia 72,1 kΩ. Palyginimui, tik LRM matricą naudojančiam 6 kΩ derinimo grandynui su tokiu pat derinimo tikslumu reikia suformuoti 8 rezistorius, kurių bendra varža yra 1,1 MΩ. Ploto atžvilgiu, 6 kΩ NLRM struktūra užima 2,4 kartus mažiau vietos lyginant ją su tokio pat nominalo LRM struktūra (NLRM – 417 μm^2; LRM – 998 μm^2). Šių derinimo struktūrų topologijos parodytos A priede, A.1 ir A.2 paveiksluose.



3.12 pav. LRM varžos derinimo ribos, atsižvelgiant į rezistorių ir kondensatorių sklaidą integrinių grandynų ribinėse sąlygose

Fig. 3.12. PRM resistance tuning range when resistor and capacitor variation is included across all corners

Atsižvelgiant į tai, kad abi projektuotos derinimo struktūros užtikrina norimą rezistoriaus vertės nustatymą visose ribinėse sąlygose, o LRM struktūros atveju maksimalaus derinimo žingsnio paklaida neviršija 0,1 %, galime daryti išvadą, kad pasiūlyti tokio tipo matricų projektavimo būdai yra tinkami naudoti DKF filtrų derinimo matricų projektavimui.

Projektuojamo TKF tyrimui naudojamų derinimo rezistorių su IVT struktūros pavaizduotos 3.13 paveiksle. TKF parametrų tyrimui iš viso naudojamos 5 struktūros:

1. Sukryžiuotų MOP tranzistorių (SK-MOP, 3.13 pav. a dalį). Struktūros privalumai analizuoti 1.3.1 skirsnyje.
2. Impedanso daugintuvų struktūra, analizuota 2.2.2 skirsnyje (ID-MOP, 3.13 pav. b dalį).
3. Pasiūlytos tolydžiai valdomos rezistorių matricos su aktyviuoju grįžtamuoju ryšiu (TAGR) atmaina, kada IVT nuosekliai jungiamas į signalo kelią nenaudojant lygiagrečiai jungto rezistoriaus (nuoseklus TAGR, 3.13 pav. c dalį).
4. Siūloma tolydaus valdymo su aktyviuoju grįžtamuoju ryšiu struktūra su vienu aktyviuoju elementu (TAGR1, 3.13 pav. d dalį).
5. Siūloma tolydaus valdymo su aktyviuoju grįžtamuoju ryšiu struktūra su dviem aktyviaisiais elementais (TAGR2, 3.13 pav. e dalį). Struktūra paremta TAGR1, tačiau šioje struktūroje IVT tranzistorius išskaidomas į du segmentus. Tokiu būdu praplečiamos tranzistorių tiesinės veikos ribos išlaikant bendrą grandinės varžą.

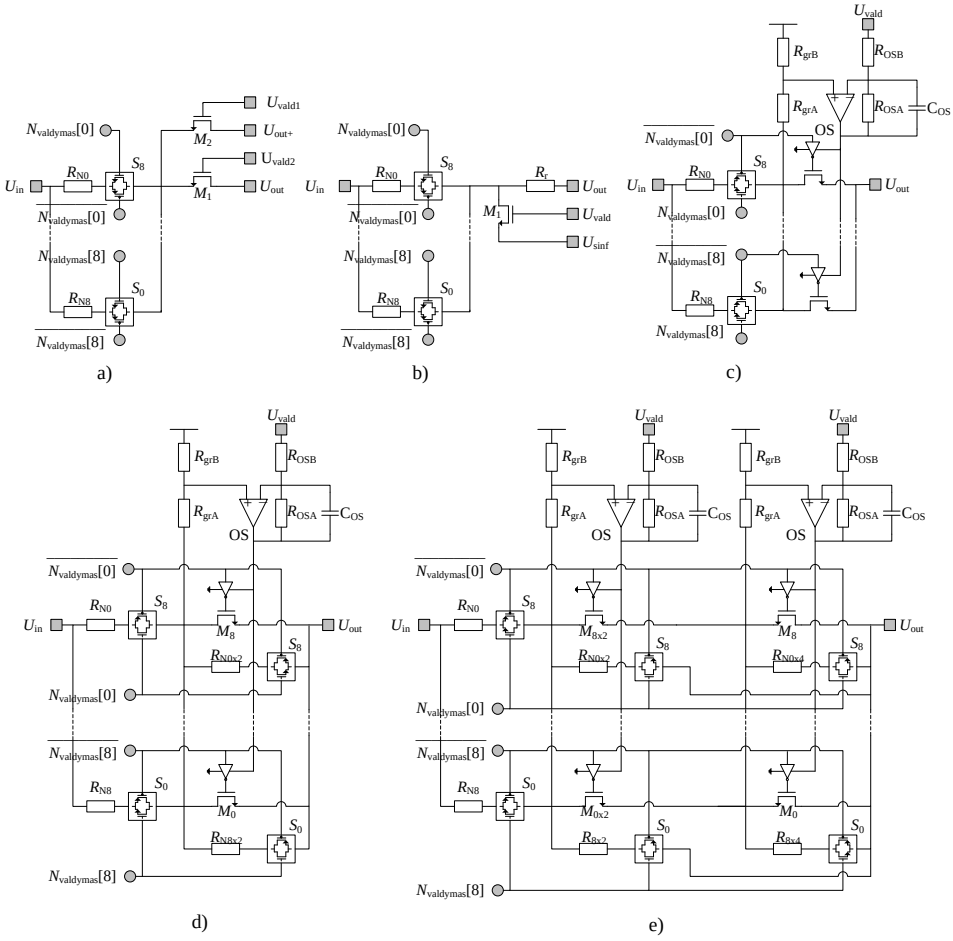
Visi 5 tiriami įtampa valdomos rezistorių derinimo grandynai naudoja vienodą grubaus varžos parinkimo struktūrą, sudarytą iš diskrečiai dešimtainio kodo keitikliu dvejetainiu kodu valdomų rezistorių grandinės R_{N0}–R_{N8}. Šių rezistorių vertės apskaičiuojamos naudojantis (2.65)–(2.68) lygtimis. Atsižvelgiant į tai, kad TKF gali būti konfigūruojamas 5 eilės atsakui su Q verte, didesne už 1, minimali ir maksimali derinimo rezistorių matricos vertė atitinkamai parenkama 3,5 kΩ ir 40 kΩ. Iš (2.67) apskaičiuojama, kad tokiam varžų ruožui reikalingas 9 skilčių valdymas, kuris realizuojamas 4 skilčių dvejetainiu kodu.

TAGR2 struktūros varžos derinimo ribos atsižvelgiant į rezistorių ir kondensatorių verčių sklaidą pavaizduotos 3.14 paveiksle. Iš grafiko matyti, kad struktūra su skirtingomis diskrečių ir tolydžių signalų valdymo vertėmis esant nominaliomis IG ribinėmis sąlygomis gali būti tolydžiai derinama nuo 2,1 kΩ iki 70 kΩ (3.14 pav. a dalį), o ribinėse sąlygose užtikrina reikalaujamas derinimo ribas.

Likusios tolydžiai derinamos struktūrų valdymo kreivės panašios į pavaizduotas 3.14 paveiksle ir taip pat užtikriną norimas derinimo ruožo ir maksimalaus žingsnio vertes (skiriasi valdymo įtampos ribos), todėl atskirai šiame skyriuje nebus pateiktos.

3.2 lentelė. LRM ir NLRM varžos derinimo ribos ir maksimalus žingsnis IG ribinėse sąlygose
Table 3.2. PRM and SPRM tuning range and the maximum step across all cornerns

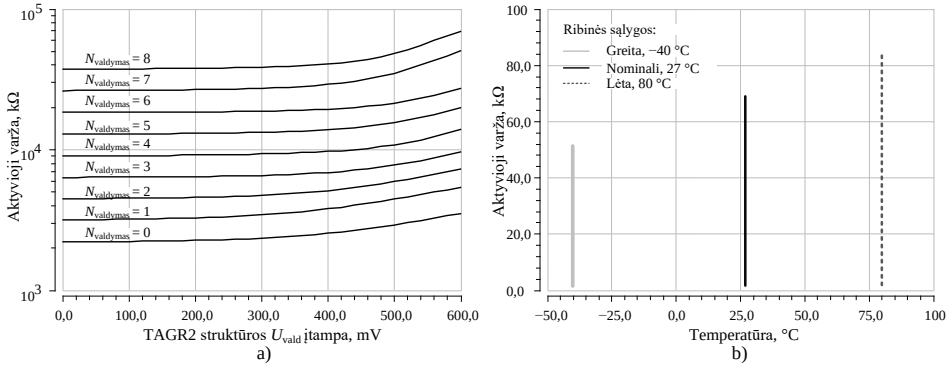
Derinimo matricos struktūra	Ribinė sąlyga	$L_{valdymas}$ signalo vertė	$N_{valdymas}$ signalo vertė	Varža, Ω	Derinimo ruožas $-\Delta\omega$, %	Derinimo ruožas $+\Delta\omega$, %	Derinimo žingsnis $\varphi_{žingsnis}$, %
LRM	Nominali, 27 °C	0	–	8291	51,94	40,05	1,48
		1		8168			
		26		5920			
		127		2845			
	Lėta, 80 °C	0		10620	51,84	38,19	1,51
		1		10460			
		26		7685			
		127		3701			
	Greita, −40 °C	0		6301	52,38	41,40	1,60
		1		6200			
		26		4456			
		127		2122			
NLRM	Nominali, 27 °C	0	3	8154	44,00	35,13	1,40
		1	3	8040			
		21	2	6034			
		31	0	3379			
	Lėta, 80 °C	0	3	10520	44,19	33,37	1,43
		1	3	10370			
		21	2	7888			
		31	0	4402			
	Greita, −40 °C	0	3	6125	43,69	36,38	1,45
		1	3	6036			
		21	2	4491			
		31	0	2529			



3.13 pav. Tolydžiai konfigūruojamo filtro tyrimui naudojamų derinimo rezistorių struktūros: a) SK-MOP; b) ID-MOP; c) nuoseklus TAGR; d) TAGR1; e) TAGR2
Fig. 3.13. Investigated continuously tunable structures: a) CC-MOS; b) IM-MOS; c) series connected CTAF; d) CTAF1; e) CTAF2

3.3 lentelėje pateikiamas TAGR2 struktūros varžos derinimo ruožas keičiant valdymo įtampą U_{vald}. Matyti, kad derinimo ruožas stipriai įtakojamas ribinių IG sąlygų, dėl kurių kinta IVT kanalo varža ir slenkstinė įtampa. Verta pastebėti, kad norint užtikrinti maksimalų derinimo žingsnį $\varphi_{\text{žingsnis}} < 1{,}5$ %, tokio tipo struktūrai reikalingas 7 skilčių SAK įtampos generatorius. Naudojant 9 skilčių SAK užtikrinamas mažesnis negu 0,3 % maksimalus derinimo žingsnis.

Suprojektuotos tolydžiai valdomos derinimo struktūros tenkina derinimo ribų ir maksimalaus žingsnio reikalavimus, o jų varžų vertės naudojant diskrečius ir tolydžius valdymo signalus gali būti derinamos 3,5–40 kΩ ribose. Detalus šių struktūrų tyrimas atliekamas skaičiuojant suprojektuoto TKF filtro parametrus (3.3 poskyrį).



3.14 pav. Suprojektuotos TAGR2 derinimo struktūros varžos priklausomybė nuo diskretaus ir tolydaus valdymo signalų: a) nominalioje; b) visose ribinėse sąlygose
Fig. 3.14. CTAF2 tuning structure resistance dependancy on discrete and continiuous control singnals: a) nominal; b) all corners

3.3 lentelė. TAGR2 struktūros įtampa valdomos varžos ribos ir maksimalaus žingsnio priklausomybė nuo įtampos valdymui realizuoti reikalingo skaitmeninio-analoginio keitikilio skilčių skaičiaus integrinių grandynų ribinėse sąlygose, kada $N_{valdymas}$ = 3.
Table 3.3. CTAF2 resistance vs voltage tuning and maximum control step value at different digital-analog converter resolutions over all process corners, when $N_{valdymas}$ = 3

		Ribinė sąlyga: nominali, 27 °C			Ribinė sąlyga: lėta, 80 °C			Ribinė sąlyga: greita, −40 °C		
SAK bitai	Valdymo įtampa U_{vald}, mV	Varža, Ω	$\Delta\omega$, %	$\varphi_{žingsnis}$, %	Varža, Ω	$\Delta\omega$, %	$\varphi_{žingsnis}$, %	Varža, Ω	$\Delta\omega$, %	$\varphi_{žingsnis}$, %
–	0	6275		–	8189		–	4673		–
	600	9041			14096			5702		
>9	599	9020		0,23	14064		0.23	5692		0,18
9	598,83	9017	44,08	0,27	14060	72,13	0.26	5690	22,02	0,21
8	597,66	8992		0,54	14025		0.50	5677		0,44
7	595,31	8945		1,06	13960		0.96	5653		0,86
6	590,63	8850		2,11	13828		1.90	5606		1,68

3.2. Diskrečiai valdomo integrinio analoginio filtro struktūros tyrimai

Šiame skyriuje atliekami suprojektuotų DKF filtrų su LRM ir NLRM derinimo struktūromis parametrų tyrimai atliekant kompiuterinius skaičiavimus 65 nm KMOP IG technologijoje. Taip pat atliekami suprojektuoto netiesioginio savaiminio derinimo grandyno, skirto LRM ir NLRM derinimo struktūromis, skaičiuojamieji tyrimai.

3.2.1. Integrinio analoginio filtro parametrų tyrimas

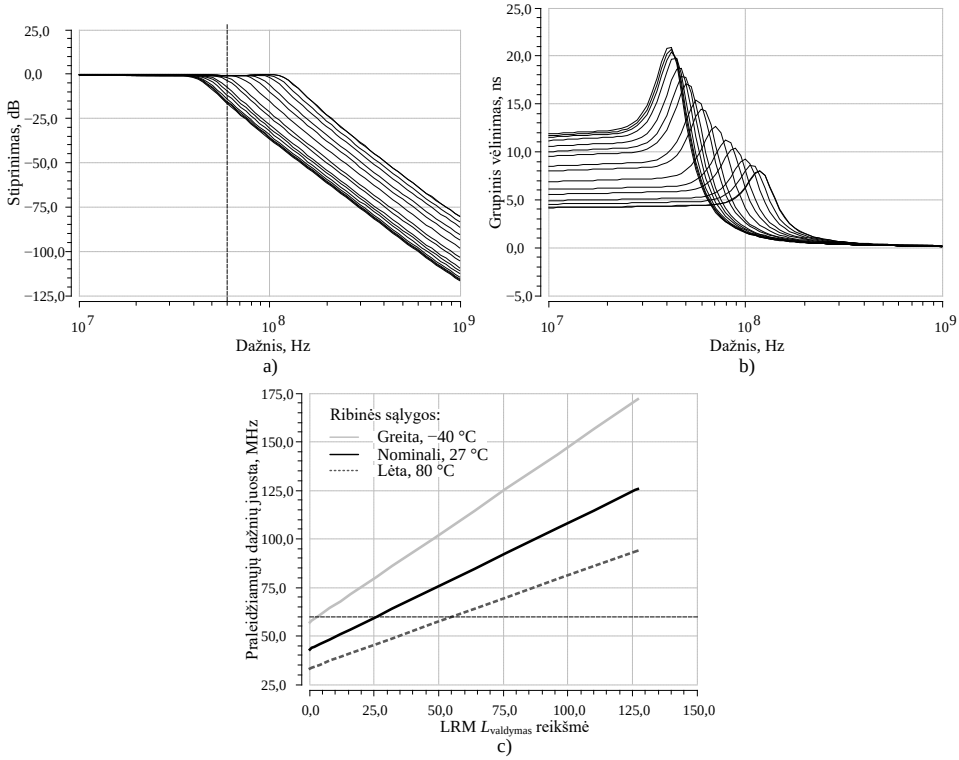
Minėta, kad suprojektuoti DKF turi keturias filtro eilės konfigūravimo galimybes. Papildomai, DKF gali būti nustatomas į skirtingas filtro aproksimacijas. Toks derinimas realizuojamas DKF esančioje BiF struktūroje keičiant R_Q vertę (3.1 pav.), kuri parinkta taip, kad būtų galima BiF atsaką keisti tarp Batervorto ir Čebyševo su 3 dB pulsacija. Kombinuojant 4 eilės filtro struktūrą, kuri turi Legendre aproksimaciją, ir antros eilės BiF atsakus, galima realizuoti šių aproksimacijų tarpinius variantus. Viena iš kombinacijų apjungia Legendre atsaką su Čebyševo 3 dB, taip realizuojant artimą Legendre aproksimaciją PDJ viduje, tačiau turinčią didesnę draudžiamųjų dažnių juostos fronto kitimo spartą aukštesniuose dažniuose. Tokia konfigūracija naudinga DSI įtaisams, kuriems reikia išlaikyti amplitudės monotoniškumą PDJ, ir taip pat užtikrinti DSI įtaiso generuojamų atvaizdų filtravimą už kanalo juostos ribos.

3.15 paveiksle pavaizduotas DKF filtro su LRM derinimo struktūros dažninės amplitudės ir grupinio vėlinimo charakteristikos pokytis keičiant L_{valdymas} reikšmes, kai filtras nustatytas į 60 MHz PDJ. Iš 3.15 paveikslo c dalies matyti, kad LRM derinimo struktūra užtikrina 4 eilės filtro PDJ derinimą visose ribinėse sąlygose. Didžiausia $\varphi_{\text{žingsnis}}$ vertė gaunama greitoje IG ribinėje sąlygoje ir siekia 1,54 %. Nominalioje ir lėtoje ribinėse sąlygose $\varphi_{\text{žingsnis}}$ vertė atitinkamai lygi 1,49 % ir 1,5 %. Didžiausia PDJ amplitudės pulsacija neviršija 0,01 dB visose ribinėse sąlygose, kada PDJ ne didesnė negu 60 MHz. Suprojektuoto filtro topologijos vaizdas pateikiamas A priede, A.3 paveiksle.

3.16 paveiksle pavaizduota 2 eilės BiF struktūros konfigūracija, kai filtro aproksimacija nustatyta į Batervorto atsaką. Iš 3.16 paveikslo a ir b dalių matyti, kad suprojektuotos LRM derinimo struktūros taip pat užtikrina šio filtro PDJ derinimą visose ribinėse sąlygose. $\varphi_{\text{žingsnis}}$ vertė nominalioje, lėtoje ir greitoje ribinėse sąlygose atitinkamai siekia 1,52 %, 1,48 % ir 1,59 %.

3.17 paveiksle pavaizduota 2 eilės BiF struktūros konfigūracija, kai filtras nustatytas į Čebyševo su 3 dB pulsacija aproksimaciją. Iš 3.17 paveikslo b dalies matyti, kad keičiant L_{valdymas} reikšmes, pulsacijos lygis nominalioje ribinėje sąlygoje nekinta daugiau negu 0,1 dB. Maksimalus pulsacijos nuokrypis nuo

nominalių visose IG ribinėse sąlygose neviršija ±0,4 dB, o ne didesnėje negu 60 MHz PDJ juostoje ±0,1 dB. Šioje filtro konfigūracijoje, didžiausia $\varphi_{\text{žingsnis}}$ vertė yra 1,52 %.

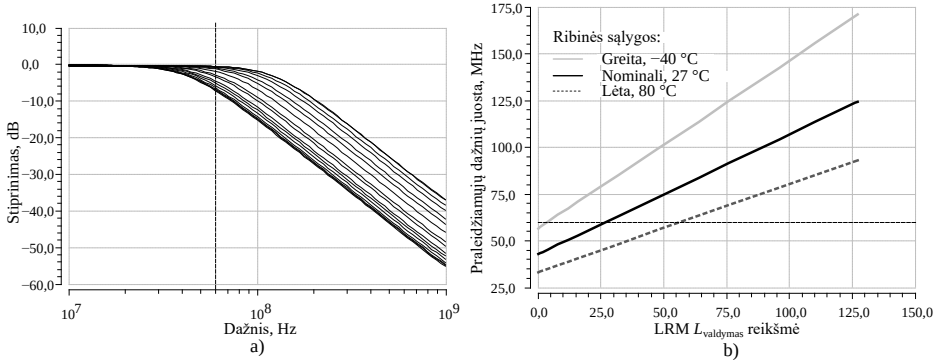


3.15 pav. Diskrečiai konfigūruojamo filtro su LRM derinimo struktūra: a) dažninės amplitudės ir b) grupinio vėlinimo charakteristikų pokytis keičiant L_{valdymas} reikšmes, kai filtras sukonfigūruotas 4 eilės 60 MHz PDJ nominaliose IG ribinėse sąlygose; c) Filtro PDJ priklausomybė nuo L_{valdymas} reikšmės visose ribinėse sąlygose.

Fig. 3.15. Discrete step configuration filter with a PRM structure: a) amplitude and b) group delay responses at different L_{valdymas} values, when the filter is set in a 4th order configuration for a 60 MHz bandwidth at nominal corner settings; c) Filter bandwidth corection with L_{valdymas} across all corners

Viena iš DKF savybių yra galimybė optimizuoti filtro parametrus konkrečioms filtro darbo sąlygoms. 3.18 paveikslo a ir b dalyse atitinkamai parodyta 60 MHz ir 10 MHz PDJ 4 eilės filtro su Legendre atsaku OS atraminės srovės pokyčio įtaka filtro tiesiškumo, galios ir perdavimo funkcijai. Iš grafikų matyti, kad keičiant OS atraminę srovę, DKF filtrą galima nustatyti į minimalios vartojamosios galios tašką, išlaikant norimą aproksimaciją (maksimaliai plokščią

norimoje juostoje). Minimali atraminės srovės vertė, leidžianti išlaikyti norimas filtro perdavimo funkcijos savybes, priklauso nuo PDJ ir yra skirtingiems filtro nustatymams kita. Verta paminėti, kad 3.18 grafikuose tiesiškumas išreiškiamas naudojant ne IJTT3, o DDBS (1.2 poskyrių, (1.13)). Šis matavimas analoginiuose filtruose turi didesnę praktinę reikšmę, nes įvertina filtro įnešamo triukšmo ir IJTT3 parametrą, t. y. nusako filtro dinaminį diapazoną, kuriame nebus norimo signalo iškraipymų atsižvelgiant į minimalų aptinkamo signalo lygį (Meghdadi *et al.* 2012: 1168–1177).



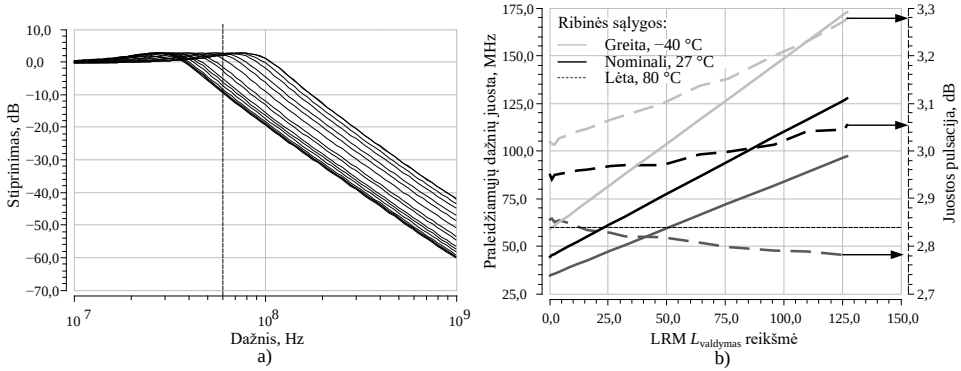
3.16 pav. Diskrečiai konfigūruojamo filtro su LRM derinimo struktūra: a) dažninės amplitudės charakteristikos nominaliose ribinėse sąlygose ir b) filtro PDJ priklausomybė nuo $L_{valdymas}$ reikšmės visose ribinėse sąlygose, kada filtras sukonfigūruotas 2 eilės 60 MHz PDJ su Batervorto aproksimacija

Fig. 3.16. Discrete step configuration filter with a PRM structure: a) amplitude response at nominal corner settings and b) filter bandwidth corection with $L_{valdymas}$ across all corners, when the filter is set in a 2nd order configuration for a 60 MHz bandwidth with a Butterworth response

Iš 3.18 paveikslo matyti, kad perkonfigūravus filtro PDJ iš 60 MHz į 10 MHz, jo OS vartojamoji galia gali būti sumažinta 4 kartus. Filtro atraminės srovės vertę galima mažinti iki lygio (3.18 pav. b dalį), prie kurio nustatytose sąlygose nepasireiškia OS ribotos išėjimo įtampos kitimo spartos įtakojami IJTT3 iškraipymai ir filtro perdavimo funkcija tenkina numatytus reikalavimus. Priklausomai nuo filtro įgyvendinimo tipo (ŠGR, BiF), šių struktūrų OS galios biudžeto paskirstymo, keičiant atraminės srovės vertę galima gauti skirtingas DDBS vertes (Meghdadi *et al.* 2012: 1168–1177).

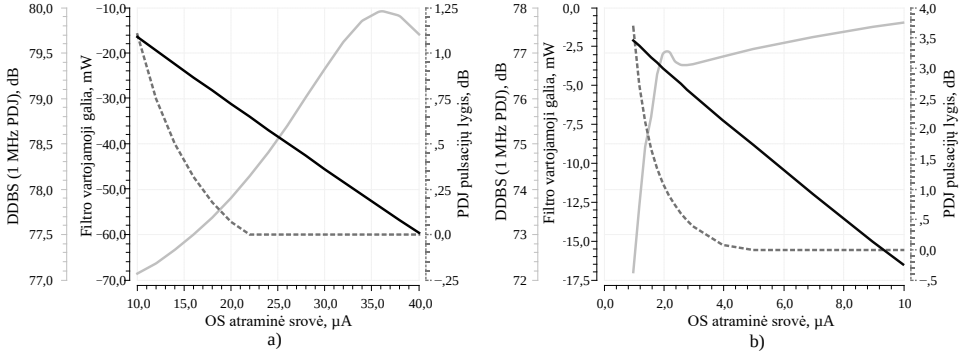
Pagrindinės DKF eilės ir aproksimacijos konfigūravimo galimybės parodytos 3.19 paveiksle. DKF eilė gali būti keičiama tarp 2, 4 ir 6. Kai filtras sukonfigūruojamas į 2 eilės ŽDF, jo aproksimacija gali būti keičiama tarp Batervorto ir Čebyševo 3 dB pulsacijos, o 4 eilės ŠGR pakopa turi fiksuotą Legendre aproksimaciją. Įjungus abi filtro pakopas, gaunama kombinuota 2 ir 4

eilės filtrų aproksimacija, kuri yra valdoma keičiant filtro pakopų PDJ ir BiF aproksimacijos nustatymus. 3.19 paveiksle pavaizduotas 6 eilės atsakas nustatytas taip, kad turėtų maksimaliai plokščią kanalo juostos dažninę amplitudės charakteristiką su papildomu slopinimu draudžiamųjų dažnių juostoje.



3.17 pav. Diskrečiai konfigūruojamo filtro su LRM derinimo struktūra: a) dažninės amplitudės charakteristikos nominaliose ribinėse sąlygose ir b) filtro PDJ ir pulsacijų priklausomybė nuo $L_{valdymas}$ reikšmės visose ribinėse sąlygose, kai filtras sukonfigūruotas 2 eilės 60 MHz PDJ su Čebyševo 3 dB aproksimacija

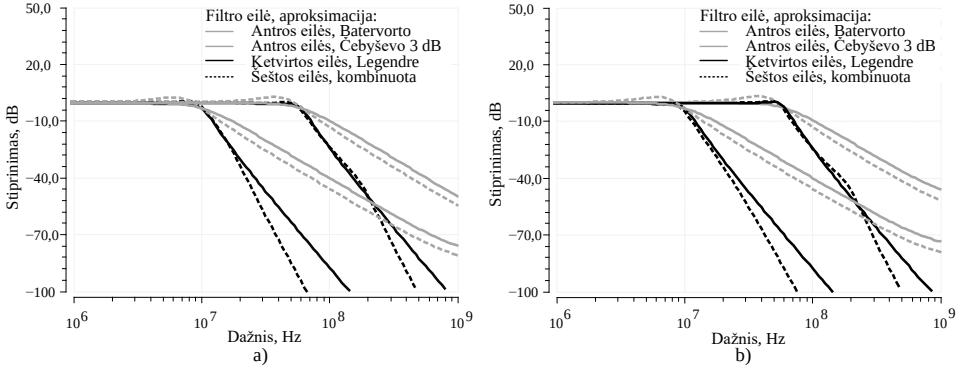
Fig. 3.17. Discrete step configuration filter with a PRM structure: a) amplitude response at nominal corner settings and b) filter bandwidth and ripple corection with $L_{valdymas}$ across all corners, when the filter is set in a 2nd order configuration for a 60 MHz bandwidth with a Chebyshev 3 dB in-band ripple response



3.18 pav. 4 eilės pakopos diskrečiai konfigūruojamo filtro su LRM struktūra galios, DDBS ir aproksimacijos nuokrypių priklausomybė nuo OS atraminės srovės, PDJ nustatyta į a) 60 MHz ir b) 10 MHz

Fig. 3.18. 4th order discrete step configuration filter stage with PRM structure power, IIP3 and response deviation at different operational amplifier bias settings for a) 60 MHz and b) 10 MHz bandwidth

NLRM naudojančio DKF charakteristikų kreivės yra panašios į pavaizduotas 3.16–3.18 paveiksluose, todėl atskirai nėra pateikiamos. Vienintelis NLRM struktūras naudojančio DKF skirtumas – padidėjusios filtro kanalų juostos pulsacijos vertės (0,3 dB), kada DKF nustatytas į maksimalią 60 MHz PDJ. Tiesa, šis pokytis nepastebimas 2 eilės Batervorto aproksimacijos konfigūracijoje. Iš 3.9 paveikslo c dalies matyti, kad NLRM struktūra gali įtakoti aukštos kokybės arba didesnės negu 2 eilės filtrus ir jų perdavimo charakteristikas didinant k vertę. Jeigu R_N vertė yra kelių šimtų omų eilės, šių rezistorių grandinę valdančiųjų tranzistorių M_N kanalo varža turi neviršyti dešimčių omų, ko pasėkoje turi būti didinamas tranzistoriaus užimamas plotas. Didinat M_N tranzistoriaus geometrinius matmenis, didėja parazitinės tranzistoriaus kontaktų vertės, ko pasėkoje keičiant $N_{valdymas[n]}$ valdymo signalą, susidaro $R_{Nfiksuotas}$–C_{MN}–R_N–C_{MN} grandinė, kuri įtakoja filtro grįžtamojo ryšio grandinės derinimo rezistorių bloko perdavimo funkciją. Renkantis k vertę projektuojant aukštą PDJ vertę turinčius DKF, visada reikia įvertinti valdymo tranzistorių kanalo varžos ir tranzistoriaus ploto santykį.



3.19 pav. Suprojektuotų diskrečiai konfigūruojamo filtrų su a) LRM ir b) NLRM struktūromis eilės konfigūravimas nustačius filtro PDJ į 10 MHz ir 60 MHz

Fig. 3.19. Discrete step configuration filter with a) PRM and b) SPRM structures frequency configuration options shown at 10 and 60 MHz bandwidth

DKF naudojančių LRM arba NLRM derinimo struktūras parametrų palyginimas pateikiamas 3.4 lentelėje. Filtrų tiesiškumo kompiuterinio skaičiavimo metu naudoti du tonai f_1 ir f_2, kurių diferencinė įtampa lygi 1 $V_{pk\text{-}pk}$, o tonų dažniai, kai filtro PDJ nustatyta į 10 ir 60 MHz su ± 1 % paklaida, atitinkamai yra f_1 = 1 MHz, f_2 = 1,1 MHz, ir f_1 = 10 MHz, f_2 = 11 MHz.

Iš 3.4 lentelėje pateiktų duomenų matyti, kad LRM ir NLRM struktūras naudojančių filtrų parametrai pateikiamose konfigūracijose esant 10 MHz PDJ yra labai panašūs. Naudojant 2 eilės filtro pakopą, NLRM struktūros IJTT3 ir

DDBS vertės atitinkamai sumažėja ne daugiau nei 0,8 dB ir 0,4 dB lyginant su LRM struktūra. Naudojant 4 arba 6 eilės DKF konfigūraciją, filtrų su NLRM tiesiškumo parametrų IJTT3 ir DDBS vertės atitinkamai sumažėja ne daugiau negu 3,3 dB ir 1,6 dB lyginant su LRM struktūra.

Kada DKF sukonfigūruotas 60 MHz PDJ, 2 ir 6 eilės pakopos DDBS parametrai naudojant NLMR ir LMR struktūras atitinkamai skiriasi ne daugiau negu 0,7 dB ir 1,7 dB. Didžiausias skirtumas tarp abejų skaičiuotų struktūrų tiesiškumo parametrų verčių visose pateikiamose konfigūracijose gautas skaičiuojant 4 eilės filtrų pakopos parametrus. Šiuo atveju, NLRM struktūras naudojančių filtrų IJTT3 ir DBBS vertės yra mažesnės atitinkamai 4,4 ir 3 dB.

Minėta, kad NLRM struktūra įtakoja aukštos kokybės ir didesnės negu 2 eilės filtrus dėl naudojamos struktūros ypatumų. Didžiausią įtaką NLRM struktūras naudojančių filtrų tiesiškumo parametrui turi rezistorių derinimo struktūroje naudojami 2 nuosekliai jungti MOP tranzistoriai. Palyginimui, LRM struktūroje naudojami MOP raktai sudaro tik vieną nuoseklų jungimą. Iš tiesų, NLRM struktūras naudojančių 4 ir 6 eilės filtrų IJTT3 ir DDBS parametrai yra geresni (vidutiniškai 2 dB) už LRM struktūras naudojančių filtrų, jeigu Nvaldymas = 3 (vienas nuosekliai jungtas MOP tranzistorius) dėl sumažėjusios signalo amplitudės MKL tranzistoriaus santakos–ištakos kontaktuose.

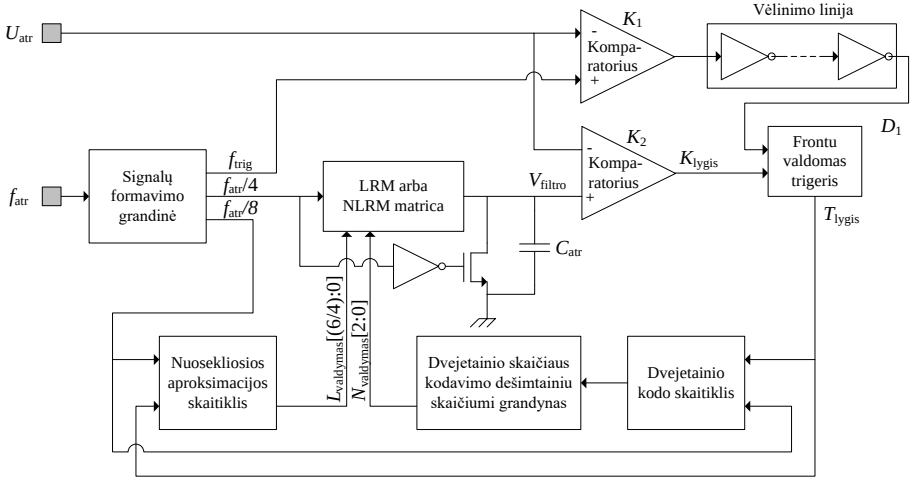
3.4 lentelė. Diskrečiai konfigūruojamo filtro su LRM ir NLRM struktūromis parametrai esant skirtingoms DKF filtro konfigūracijoms su 10 MHz ir 60 MHz PDJ
Table 3.4. Discrete step configuration filter with PRM and SPRM structures main parameters with different filter configuration settings at 10 MHz and 60 MHz bandwidth

		Praleidžiamųjų dažnių juosta = 10 MHz			Praleidžiamųjų dažnių juosta = 60 MHz		
Filtro eilė, aproksimacija	Derinimo struktūra	IJTT3, dB	$v_{\text{išėjimo}}$ (1 MHz), µV	DDBS (1 MHz), dB	IJTT3, dB	$v_{\text{išėjimo}}$ (10 MHz), µV	DDBS (10 MHz), dB
2 eilės, Čebyševo 3 dB	LRM	32,13	33,86	77,19	32,69	86,76	71,36
	NLRM	31,36	30,49	76,87	31,73	85,94	70,72
2 eiles, Batervorto	LRM	32,88	43,06	76,3	33,18	108,8	70,3
	NLRM	32,21	38,68	76,05	33,67	107,7	70,63
4 eilės, Legendre	LRM	35,74	34	79,4	33,13	89,28	71,35
	NLRM	32,41	34,45	77,03	28,77	90,09	68,4
6 eilės, Legendre	LRM	32,32	48,54	75,11	29,52	114,2	67,6
	NLRM	29,74	46,28	73,48	27	112,8	65,93

Iš rezultatų matyti, kad pasiūlyta diskrečiai konfigūruojamo filtro struktūra leidžia valdyti filtro eilės, aproksimacijos, vartojamosios galios ir tiesiškumo parametrus, o tokie filtrai yra tinkami naudoti moderniuose DSI. Taip pat, pasiūlyti diskrečiai valdomų derinimo matricų projektavimo būdai yra tinkami DKF filtrų projektavimui integriniuose grandynuose.

3.2.2. Integrinio analoginio filtro savaiminio derinimo grandyno kompiuterinis modeliavimas

2.3.1 skirsnyje siūlomo suprojektuotų LRM ir NLRM struktūrų netiesioginio savaiminio derinimo grandyno tyrimui naudojama papildyta schema pavaizduota 3.20 paveiksle. Šios struktūros LRM ir NLRM matricų verčių paieškos ribinėse sąlygose laikinės diagramos, kai f_{atr} dažnis lygus 10 MHz, atitinkamai parodytos 3.21 paveikslo a ir b dalyse. Derinamo filtro, kurį sudaro pasirinkta matrica ir atraminės vertės kondensatorius C_{atr}, išėjimo ir jo lygį su atramine įtampa lyginančio komparatoriaus išėjimo laikinės diagramos parodytos 3.22 paveiksle. Savaiminio derinimo grandyno tyrimui naudojami du f_{atr} dažniai – 10 MHz ir 1 MHz. Kadangi 3.1.3 skirsnyje apskaičiuota nominalaus derinimo matricų rezistoriaus vertė lygi 6 kΩ, kondensatoriaus C_{atr}, vertė iš (2.69) ir (2.70) nustatoma 12 pF ir 120 pF, kai f_{atr} dažniai atitinkamai lygūs 10 MHz ir 1 MHz.

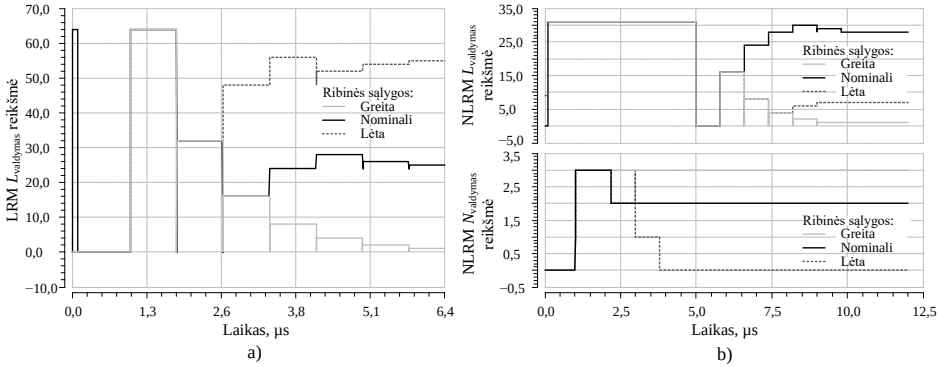


3.20 pav. Diskrečiai valdomo aktyviojo RC filtro savaiminio derinimo sistemos struktūrinė schema

Fig. 3.20. Auto-tuning structure, that is used for the proposed discrete step resistor bank

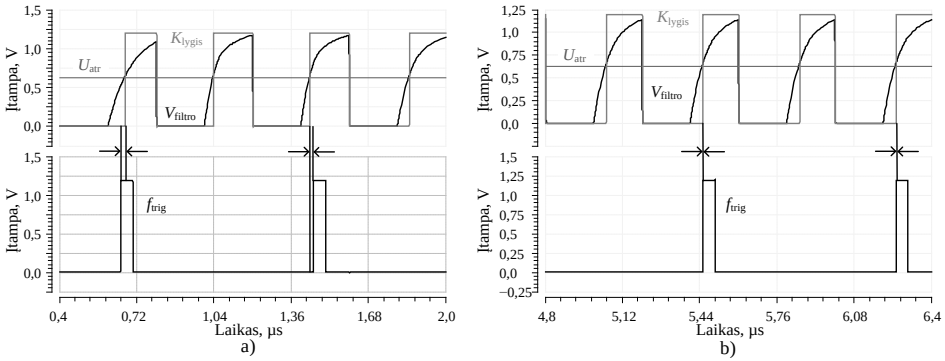
LRM signalo verčių paieškos atveju, (3.21 pav. a dalį), laiko tarpe nuo 0,1 µs iki 0,5 µs visa sistema yra pradinio nustatymo (angl. *reset*) būsenoje, kurios metu valdymo signalo L_{valdymas}[6:0] išėjimai nustatomi į loginį „0“. Toliau, naudojant nuosekliosios aproksimacijos skaitiklio bloką, kurio struktūra parodyta 2.22 paveikslo b dalyje, atsižvelgiant į frontu valdomo trigerio D_1 signalo lygį, periodu $f_{\text{atr/8}}$ keičiama L_{valdymas}[6:0] reikšmė. Kada f_{trig} impulso kylančio fronto vertė veda komparatoriaus formuojamo K_{lygis} signalo frontą, LRM valdymo signalas yra didinamas. Tokiu būdu sumažinama derinimo matricos varža. Priešingu f_{trig} ir K_{lygis} signalų frontų atveju, LRM varža yra didinama. Galutinės LRM valdymo signalo reikšmės L_{valdymas}[6:0] suradimas trunka 8 $f_{\text{atr/8}}$ signalo periodus arba 6,4 µs, kada f_{atr} =10 MHz (Kiela, Jurgo, Kladovščikov 2016).

NLRM valdymo signalų paieška gali būti išskirta į du etapus: N_{valdymas}[1:0] ir L_{valdymas}[4:0] signalų verčių nustatymą (3.21 pav. b dalį). Kaip ir LRM paieškos atveju, iš pradžių visa sistema yra pradinio nustatymo būsenoje. Šiuo atveju, L_{valdymas}[4:0] vertės nustatomos į loginį „1“ ir laikomos tokioje padėtyje, kol pasibaigia nuoseklios rezistorių matricos vertės paieška. N_{valdymas}[1:0] signalo vertės paieška vykdoma naudojant dvejetainio kodo skaitiklį, kuris pradžioje irgi nustato visas N_{valdymas}[1:0] vertes į loginį „1“, t. y. paieška pradedama nuo didžiausios nuoseklios rezistorių matricos ir mažiausios lygiagrečios rezistorių matricos varžų verčių. Tokiu būdu sukuriama papildoma apsauga nuo galimo R_{N} varžos valdymo žingsnio padidėjimo dėl netinkamo M_{N} tranzistoriaus geometrinių verčių parinkimo arba IG ribinių sąlygų įtakos jo kanalo varžai.



3.21 pav. Diskrečiai konfigūruojamo filtro naudojamo netiesioginio savaiminio derinimo grandyno rezistorių valdymo signalo vertės paieška prie skirtingų ribinių sąlygų: a) LRM struktūros; b) NLRM struktūros

Fig. 3.21. Discrete step configuration filter indirect self-tuning circuit code acquisition: a) for PRM structure; b) for SPRM structure



3.22 pav. Diskrečiai konfigūruojamo filtro naudojamo netiesioginio savaiminio derinimo grandyno rezistorių valdymo signalo vertės paieškos laikinė diagrama: a) paieškos pradžioje; b) paieškos pabaigoje

Fig. 3.22. Discrete step configuration filter indirect self-tuning circuit code acquisition time diagram: a) starto of search; b) end of search

Nuoseklios rezistorių matricos varža mažinama atsižvelgiant į D_1 trigerio lygį. Įvykus lygio persivertimui, $N_{valdymas}$[1:0] vertė fiksuojama ir išlaikoma tokioje padėtyje visą likusį savaiminio derinimo grandyno darbo laiką iki sekančios sisteminės pertraukties. Pasibaigus NRM matricos vertės paieškai, LRM valdymo signalas surandamas jau aptarta seka naudojant nuosekliosios aproksimacijos skaitiklį. Galutinės NLRM valdymo signalo reikšmės $N_{valdymas}$[1:0] ir $L_{valdymas}$[4:0] suradimas trunka 13 f_{atr}/8 signalo periodų arba 10,4 µs, kada f_{atr} =10 MHz.

Suprojektuotam netiesioginio savaiminio derinimo grandyno parametrų ir derinimo tikslumo tyrimui naudojamos keturios struktūros:

1. Struktūra [1]: komparatorius K_2 yra idealus; f_{trig} signalas su trigerio D_1 įėjimu sujungtas tiesiogiai.
2. Struktūra [2]: komparatorius K_2 yra realus; f_{trig} signalas su trigerio D_1 įėjimu sujungtas tiesiogiai.
3. Struktūra [3]: komparatorius K_2 yra realus; f_{trig} signalas su trigerio D_1 įėjimu sujungtas naudojant papildomą komparatorių K_1, kurio struktūra identiška K_2.
4. Struktūra [4]: komparatorius K_2 yra realus; f_{trig} signalas su trigerio D_1 įėjimu sujungtas naudojant papildomą komparatorių K_1, kurio struktūra identiška K_2, o f_{trig} signalas papildomai vėlinamas naudojant inverterių grandinę.

Savaiminio derinimo grandyno su LRM ir NLRM derinimo struktūromis kompiuterinių skaičiavimų rezultatai pateikti 3.5 lentelėje. Duomenys, iš kurių gauti 3.5 lentelėje pateikti PDJ nuokrypio vidurkiai, pavaizduoti B priede, B.1 ir B.2 lentelėse.

Iš rezultatų matyti, kad nenaudojant papildomų signalo vėlinimo grandynų (struktūra [2]), filtro PDJ derinimo tikslumas abiem derinimo struktūrų atvejais yra didesnis negu 12 % kai f_{atr} = 10 MHz. Jeigu f_{atr} yra sumažinamas iki 1 MHz, nuokrypio vidurkis visose IG ribinėse sąlygose sumažėja iki 3 %. Tiesa, norint kalibruoti filtrą su atraminiu signalu kurio dažnis 1 MHz, reikia naudoti 120 pF atraminį kondensatorių C_{atr}, jeigu nominali rezistorių matricos vertė išlaikoma lygi 6 kΩ. Tokio nominalo kondensatorius yra didesnis už visų 6 eilės DKF grįžtamojo ryšio grandinėse esančių kondensatorių verčių sumą. Dėl šios priežasties, praktikoje stengiamasi didinti derinimo metu naudojamo f_{atr} dažnį, tačiau dėl to didėja signalo vėlinimo komparatoriuje K_1 sukelti derinimo vertės paieškos nuokrypiai.

3.5 lentelė. Praleidžiamųjų dažnių juostos nuokrypiai, gauti naudojant savaiminio derinimo grandyno apskaičiuotas vertes ribinėse integrinių grandynų sąlygose
Table 3.5. Bandwidth deviation with control values calculated by the self-tuning circuit across all corner settings

		Praleidžiamųjų dnių juostos nuokrypio vidurkis visose IG ribinėse sąlygose, %			
Derinimo struktūra	Atraminis dažnis f_{atr}, MHz	Struktūra [1]	Struktūra [2]	Struktūra [3]	Struktūra [4]
LRM	10	1,04	12,07	6,76	0,91
	1	0,01	2,16	1,72	0,03
NLRM	10	2,33	12,58	7,80	2,44
	1	0,58	2,64	2,33	1,36

Vienas iš pasiūlytų metodų kompensuoti atsiradusias paklaidas yra papildomo komparatoriaus K_1 panaudojimas f_{trig} signalo kelyje. Iš 3.5 lentelėje pateiktų rezultatų matyti, kad papildomo komparatoriaus panaudojimas beveik dvigubai sumažina PDJ derinimo nuokrypius (struktūra [3]). Šio metodo ribojimas – K_2 komparatoriaus įėjime V_{filtro} fronto kitimo sparta yra lėtesnė negu f_{trig}. Šiuo atveju, ribota komparatoriaus stiprinimo vertė papildomai vėlina K_{lygis} signalo fronto formavimo spartą.

3.6 lentelė. Suprojektuotos filtro derinimo schemos pagrindinių parametrų palyginimas su kitų autorių darbais
Table 3.6. Designed tuning circuit parameter comparison to other works

Autorius	Praleidžiamųjų dažnių juosta, MHz	Derinimo ruožas Δω, %	Derinimo žingsnis $\varphi_{žingsnis}$, %	Derinimo trukmė $t_{derinimo}$, µs	Maitinimo įtampa U_{VDD}, V	IG technologijos minimalus matmuo, µm
(Oshima *et al.* 2004: 2052–2054)	2	28	5	160	–	0,18
(Lim *et al.* 2005: 637–640)	2; 5; 10	40	2,5	–	1,8	0,18
(Du *et al.* 2006: 1031–1034)	4	25	3	–	–	0,18
(Chen *et al.* 2008: 208–211)	120	40	5	8	1,5	0,18
(Heping *et al.* 2009: 95011)	3; 4; 9,5; 12	–	4	20	2,85	0,35
(Fan *et al.* 2009: 121–124)	3,75	40	4	–	1,8	0,18
(Jiang *et al.* 2011: 1066–1069)	0,2; 2	20	2,5	5,5	1,5	0,13
(Gao *et al.* 2011: 1034–1039)	80−400	–	3,6	–	1,2	0,13
(Li *et al.* 2012: 1–3)	4−40	–	6	4	2,8	0,13
(Gao *et al.* 2012: 226–229)	0,25−2	20	3	–	1,8	0,18
(Lo *et al.* 2014: 1164–1169)	2,5	45	3	–	1	0,055
(Wang *et al.* 2016: 20160764)	0,06-14	30	2	13	1,3	0,13
Disertacijoje siūloma (LRM struktūra)	10–60	40	0,9	6,4	1,2	0,065
Disertacijoje siūloma (NLRM struktūra)			1,4	104		

Atsižvelgiant tik į nominalių ribinių sąlygų vėlinimus, struktūroje [4] papildomai panaudota vėlinimo grandinė sudaryta iš invertorių, naudojamų skaitiklių logikoje. Taip pat, papildomai sumažintas kondensatorius C_{atr} verte, lygia komparatoriaus K_2 įėjimo parazitinei talpai C_{UU}. Šiuo atveju C_{UU} yra parazitinio kondensatoriaus vertė, susidaranti tarp užtūros-ištakos, užtūros-santakos ir užtūros-padėklo kontaktų. Iš 3.5 lentelėje pateiktų rezultatų matyti, kad naudojant papildomus vėlinimo kompensavimo grandynus, apskaičiuotus nominaliose sąlygose, derinimo nuokrypis sumažinamas iki verčių, artimų idealios derinimo grandinės modeliui visuose IG ribinėse sąlygose. Filtrų, naudojančių NLRM derinimo struktūras, paklaida visada bus didesnė dėl jau aptartų šios derinimo struktūros įnešamų filtro PDJ iškraipymų, kurių netiesioginio savaiminio derinimo grandynai negali įvertinti. Šiuo atveju, norint pasiekti mažesnę PDJ nuokrypio vertę, reikia naudoti tiesioginio arba dvigubo pagrindinio filtro savaiminio derinimo grandynų struktūras.

3.6 lentelėje pateikti suprojektuotos derinimo sistemos parametrų palyginimai su kitų autorių aprašytomis derinimo sistemomis. Lyginant jas tarpusavyje, suprojektuota derinimo sistema su LRM ir NLRM pasiekią geriausią filtro derinimo tikslumą (0,9 % ir 1,4 %).

3.3. Tolydžiai valdomo integrinio analoginio filtro struktūros tyrimai

Šiame skyriuje atliekami TKF filtrų su įvairiomis derinimo struktūromis parametrų tyrimai atliekant kompiuterinius skaičiavimus 65 nm KMOP IG technologijoje. Taip pat atliekami eksperimentiniai tyrimai su DSI taikant pasiūlytą tiesioginį KJIF derinimo būdą.

3.3.1. Integrinio analoginio filtro parametrų tyrimas

Suprojektuotų 5 tolydaus derinimo grandynų struktūrų (3.13 pav) kompiuterinio modeliavimo rezultatai pateikiami 3.23–3.25 paveiksluose. Tyrimų tikslas – palyginti skirtingų tolydžiai įtampa valdomų derinimo grandynų struktūrų valdymo įtampos U_{vald} pokyčio įtaką filtro pagrindiniams parametrams. Tyrimams naudota vieną BiF pakopa, kurios rezistorių derinimas įgyvendintas naudojant vieną iš tiriamų tolydaus derinimo struktūrų, o kondensatorių blokas yra toks pat kaip naudotas DKF tyrimų metu ir bendras visoms 5 BiF struktūroms. 3.23–3.25 paveiksluose pateikti grafikai gauti skaičiuojant BiF struktūras, kai jų PDJ nustatyta į 20 MHz ir koreguojama keičiant tik U_{vald} signalo įtampą. Filtrų tiesiškumo kompiuterinio skaičiavimo metu naudoti du tonai f_1 ir f_2, kurių diferencinė įtampa lygi 1 $V_{pk\text{-}pk}$, o dažniai atitinkamai yra f_1 =

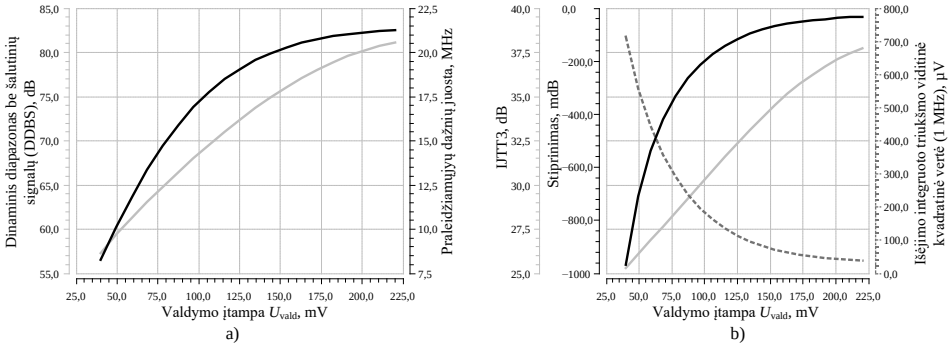
1 MHz, f_2 = 1,1 MHz. Papildomi grafikai, kai filtro PDJ nustatyta į 60 MHz, pateikiami B priede, B.1–B.5 paveiksluose. Tokiu atveju, filtrų tiesiškumo kompiuterinio skaičiavimo metu naudoti du 1 $V_{pk\text{-}pk}$ diferencinės įtampos signalai, kurių dažniai atitinkamai yra f_1 = 10 MHz, f_2 = 11 MHz.

BiF filtro su SK-MOP derinimo struktūra (3.13 pav. a dalį) praleidžiamųjų dažnių juostoje esančių signalų DDBS ir PDJ priklausomybė nuo valdymo įtampos U_{vald} pavaizduota 3.23 paveikslo a dalyje. Šiuo atveju, U_{vald} keičia U_{vald1} ir U_{vald2} įtampas atitinkamai:

$$U_{vald1} = \frac{U_{VDD} + U_{sinf}}{2} + U_{sinf} + U_{MTH} - U_{vald}; \tag{3.1}$$

$$U_{vald2} = \frac{U_{VDD} + U_{sinf}}{2} + U_{sinf} + U_{MTH} + U_{vald}, \tag{3.2}$$

čia U_{sinf} – filtro sinfazinė įtampa, U_{MTH} – įtampa, priklausoma nuo tranzistoriaus slenkstinės įtampos ir naudojama reguliuoti MOP raktų atidarymo diapazoną. Iš lygčių matyti, kad mažinant U_{vald} įtampą, MOP raktų M_1 ir M_2 kanalų varža atitinkamai vienu metu didinama ir mažinama.



3.23 pav. Bikvadratinio filtro su SK-MOP derinimo struktūra konfigūruota 20 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 1 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

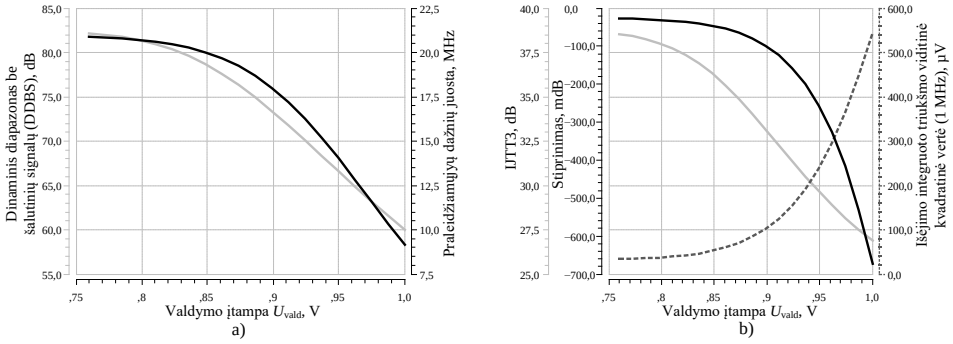
Fig. 3.23. Biquad filter with CC-MOS tuning structure set for 20 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 1 MHz bandwidth versus continuous control voltage

Iš grafiko matyti, kad norint sumažinti filtro PDJ juostą 40 %, SK-MOP įtampą U_{vald} reikia keisti 140 mV. Norint pasiekti maksimalų 0,1 % PDJ derinimo žingsnį, tokios tolydžiai derinamos struktūros valdymo įtampą reikia valdyti naudojant 9 skilčių SAK su kvantavimo žingsniu mažesniu negu

0,35 mV. Tokiu atveju įtampos valdymo formavimo SAK išėjimo triukšmo vertė turi būti itin maža arba papildomai filtruojama, taip apribojant triukšmo PDJ.

SK-MOP struktūrą naudojančio filtro DDBS vertė 40 % derinimo ribose sumažėja 18,9 dB, ir siekia 62,4 dB. Didžiausią įtaką tokiam DDBS vertės mažėjimui turi struktūros sukeliamas išėjimo integruoto triukšmo vidutinės vertės didėjimas (3.23 pav. b dalį). PDJ derinimo ribose, BiF struktūros išėjimo įtampos triukšmo vidutinės kvadratinės vertės integruotos 1 MHz juostoje didėja 6 kartus dėl papildomo srovės nuotėkio į diferencinę atšaką. Išėjimo triukšmo vertės didėjimas sukeliamas tų pačių priežasčių, kurios matomos ir ID-MOP struktūrose (2.2.2 skirsnį). Taip pat, srovės valdymu paremtose derinimo struktūrose keičiant filtro parametrus, būtina atkreipti dėmesį į OS baigtinį stiprinimą. Iš 3.23 paveikslo b dalies matyti, kad keičiant BiF pakopos PDJ, kinta ir jos stiprinimas. BiF su SK–MOP derinimo struktūra stiprinimas svyruoja iki 0,5 dB, kada filtro PDJ yra keičiama 40 % ribose.

BiF filtro su ID-MOP derinimo struktūra (3.13 pav. b dalį) praleidžiamųjų dažnių juostoje esančių signalų DDBS ir PDJ priklausomybė nuo valdymo įtampos U_{vald} pavaizduota 3.24 paveikslo a dalyje. Matyti, kad norint sumažinti filtro PDJ juostą 40 %, ID-MOP įtampą U_{vald} reikia keisti 150 mV ribose. Kaip ir SK-MOP struktūros atveju, norint pasiekti maksimalų 0,1 % PDJ derinimo žingsnį, tokios ID-MOP valdymo įtampą reikia valdyti naudojant 9 skilčių SAK su kvantavimo žingsniu mažesniu negu 0,38 mV.



3.24 pav. Bikvadratinio filtro su ID-MOP derinimo struktūra konfigūruota 20 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 1 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig. 3.24. Biquad filter with IM-MOS tuning structure set for 20 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 1 MHz bandwidth versus continuous control voltage

ID-MOP struktūrą naudojančio filtro DDBS vertė 40 % derinimo ribose sumažėja 17,2 dB ir siekia 65 dB. Matyti, kad šios struktūros DDBS vertė

tokiose pačiose derinimo ribose yra 2,5 dB didesnė lyginant su SK-MOP struktūra. Kaip ir prieš tai nagrinėtoje struktūroje, ID-MOP išėjimo integruoto triukšmo vidutinė kvadratinė ir stiprinimo vertės taip pat priklauso nuo U_{vald} signalo lygio ir atitinkamai mažėja tolydžiai koreguojant PDJ (didinant U_{vald} vertę).

Siūlomos TAGR derinimo struktūrų (3.13 pav. c, d ir e dalyse) praleidžiamųjų dažnių juostoje esančių signalų DDBS ir PDJ priklausomybės nuo valdymo įtampos U_{vald} pavaizduota 3.25 paveikslo a, c ir e dalyse. Iš paveikslų matyti, kad TAGR naudojančios struktūrų valdymo diapazonas yra praplėstas lyginant su ID-MOP ir SK-MOP struktūromis. Siauriausią valdymo diapazoną turinti nuosekli TAGR struktūra maksimalų 0,1 % PDJ derinimo žingsnį gali pasiekti naudojant 9 skilčių SAK su kvantavimo žingsniu mažesniu negu 1,3 mV. Šiuo atveju, minimali SAK žingsnio įtampos vertė padidinama 3,4 karto, lyginant su ID-MOP ir SK-MOP struktūromis, ko pasėkoje galima naudoti paprastesnius valdymo grandynus. Valdymo ribos gali būti koreguojamos – siaurinamos arba platinamos – atitinkamai didinant arba mažinant TAGR sudarančių $R_{\text{grB}}/R_{\text{grA}}$ rezistorių santykį (3.13 pav. c, d ir e dalis).

Taip pat, iš 3.25 paveikslo b, d ir f dalių matyti, kad TAGR struktūras naudojantys filtrai neturi ID-MOP ir SK-MOP būdingų išėjimo triukšmo vidutinės kvadratinės ir stiprinimo vertės priklausomybės nuo valdymo signalo U_{vald}. Filtruose su nuoseklaus TAGR struktūromis stiprinimo vertė 40 % PDJ valdymo ribose nekinta daugiau nei 0,07 dB, o TAGR2 struktūras naudojančių BiF stiprinimo vertė tokiose pačiose derinimo ribose svyruoja iki 0,01 dB. Maži stiprinimo verčių pokyčiai keičiant IVT užtūros įtampą atsiranda ir priklauso nuo OS atviros grandinės stiprinimo.

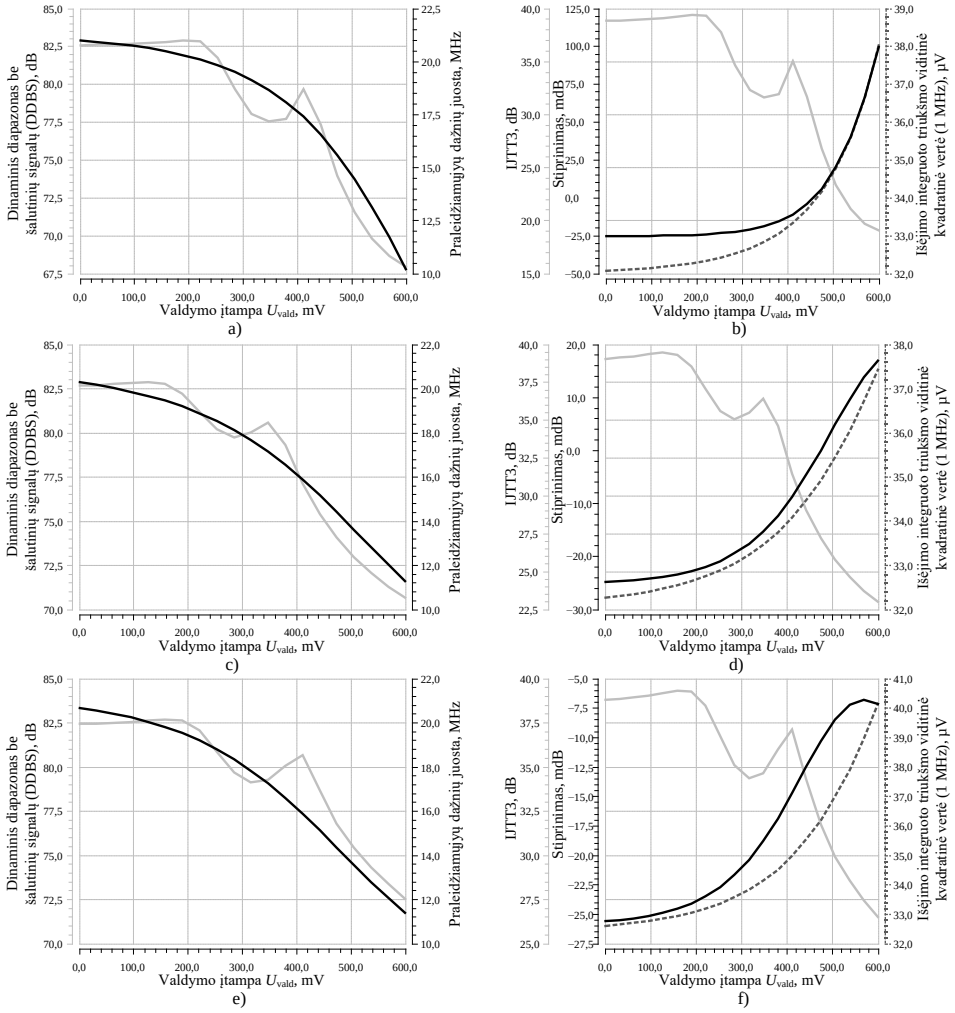
Iš 3.25 paveikslo a, c ir e dalių matyti, kad DDBS parametras siūlomose struktūrose kinta nepastoviai ir turi pikinę vertę. Priežastis – aktyviojo elemento (operacinio stiprintuvo), kuris formuoją aktyvųjį grįžtamąjį ryšį IVT, amplitudės ir fazės perdavimo funkcijos priklausomybė nuo valdymo signalo U_{vald}. Matyti, kad derinimo įtampos ruože nuo 0 iki apytiksliai 200 mV filtro tiesiškumo parametrai nėra priklausomi nuo valdymo įtampos U_{vald}. Filtro tiesiškumo parametrų neįtakojantį derinimo ruožą nulemia OS, formuojančio IVT užtūros įtampą, stiprinimo ir įtampos formavimo išėjime spartos ribojimai, signalo vėlinimas (Kiela, Navickas 2016).

3.7 lentelėje pateikiami BiF su 5 nagrinėtomis tolydžiai derinamomis struktūromis pagrindiniai parametrai, kada BiF PDJ nustatyta į 20 MHz ir 60 MHz, ir derinimo struktūromis keičiama 15 %, 25 % ir 40 % ribose. Iš lentelės duomenų matyti, kad BiF su TAGR2 struktūra, kada PDJ derinama 15 %, 25 % ir 40 % ribose esant 20 MHz PDJ, turi atitinkamai 9,1 dB, 12,8 dB ir 11,9 dB geresnę DDBS vertę negu BiF naudojantis SK-MOP struktūras ir atitinkamai 6,4 dB, 10,3 dB ir 9,4 dB už ID-MOP naudojančius BiF. Šiuo atveju,

filtras naudojantis TAGR2 struktūras DSI imtuve gali naudoti nuo 1 iki 2 skilčių didesnį ASK, t. y. praplėsti dinaminį imtuvo diapazoną atitinkamai 6 ir 12 dB.

3.7 lentelė. Bikvadratinio filtro parametrai, kada filtro grįžtamojo ryšio grandinėje naudojamos skirtingos IVT struktūros, o filtro PDJ koreguojama nuo 20 MHz ir 60 MHz
Table 3.7. Biquad filter parameters with different continuously tunable resistor bank structures when filter bandwidth is set to 20 MHz and 60 MHz

		Praleidžiamųjų dažnių juosta = 20 MHz			Praleidžiamųjų dažnių juosta = 60 MHz		
IVT struktūros	Derinimo ribos $\Delta\omega$, %	IJTT3, dB	$v_{\text{išėjimo}}$ (1 MHz), µV	DDBS (1 MHz), dB	IJTT3, dB	$v_{\text{išėjimo}}$ (10 MHz), µV	DDBS (10 MHz), dB
SK-MOP	15	31,1	146,9	70,1	29,69	185,00	65,76
ID-MOP		32,9	103	72,8	31,69	147,60	68,19
Nuoseklus TAGR		32,6	33,2	78,2	27,66	78,53	68,75
TAGR1		36,45	33,5	80,3	30,79	78,27	70,78
TAGR2		34,5	33,9	79,2	31,20	80,09	71,01
SK-MOP	25	29,24	239	66,42	26,93	292,40	61,53
ID-MOP		30,9	184	68,88	29,27	244,00	63,95
Nuoseklus TAGR		26,8	34,2	73,9	20,10	84,50	63,30
TAGR1		29,08	34,5	75,41	22,84	83,96	65,17
TAGR2		36,3	35,2	79,2	26,70	86,30	68,50
SK-MOP	40	27,3	401	62,4	24,85	416,10	58,24
ID-MOP		28,9	296	64,89	27,23	357,30	60,55
Nuoseklus TAGR		20,5	36,1	69,3	16,30	91,50	60,03
TAGR1		23,9	22,8	71,31	17,26	94,50	60,81
TAGR2		28,56	37,9	74,33	18,50	99,40	62,14



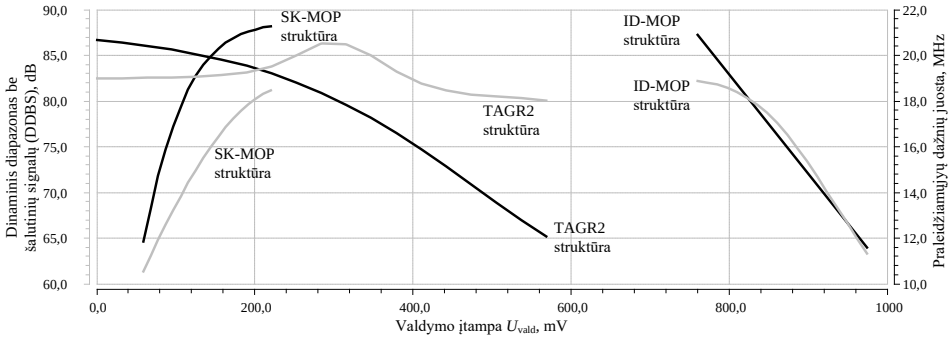
3.25 pav. Bikvadratinio filtro su siūloma derinimo struktūra konfigūruota 20 MHz PDJ: kairysis stulpelis – DDBS ir PDJ, dešinysis stulpelis – IJTT3, stiprinimo ir išėjimo 1 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos. Struktūros: a) ir b) nuoseklios TAGR struktūra; c) ir d) TAGR1 struktūra; e) ir f) TAGR2 struktūra

Fig. 3.25. Biquad filter with the proposed tuning structure set for 20 MHz bandwidth: left colum – SFDR and bandwidth, right column – in-band IIP3, gain and voltage noise over a 1 MHz bandwidth versus continuous control voltage. Structures: a) and b) series connected CTAF structure; c) and d) CTAF1 structure; e) and f) CTAF2 structure

Kada BiF PDJ nustatyta į 60 MHz, o jo tiesiškumo matavimai atliekami su 1 $V_{pk\text{-}pk}$ diferencinės įtampos signalais, kurių dažniai atitinkamai yra f_1 = 10 MHz, f_2 = 11 MHz, pradeda ryškėti TAGR struktūrų apribojimai. Matyti, kad tokiu atveju BiF su TAGR2 struktūra, kada PDJ derinama 15 %, 25 % ir 40 % ribose turi atitinkamai 5,2 dB, 7 dB ir 3,9 dB geresnę DDBS vertę negu BiF naudojantis SK-MOP struktūras ir atitinkamai 2,8 dB, 5,2 dB ir 1,6 dB už ID-MOP naudojančius BiF.

Nors TAGR2 struktūra turi geresnius DDBS parametrus visose derinimo ribose, naudoti tokią struktūrą derinant didesnį PDJ ruožą negu 25 % tampa nepraktiška dėl papildomo aktyviųjų elementų užimamo ploto ir papildomos vartojamos galios (vienas aktyvusis elementas naudojamas TAGR struktūrose vartoją 130 µW).

3.26 paveiksle pavaizduota BiF su TAGR2, SK-MOP ir ID-MOP derinimo struktūromis DDBS ir PDJ priklausomybė nuo valdymo įtampos, kada tiesiškumo skaičiavimo metu naudojamų tonų dažniai yra f_1 = 100 kHz, ir f_2 = 140 kHz. Iš paveikslo matyti, kad sukurtą TAGR2 struktūrą naudojantis BiF visame 40 % derinimo ruože išlaikė DDBS vertę didesnę už 80 dB, arba 16 ir 19 dB geresnę negu atitinkamai ID-MOP ir SK-MOP struktūras naudojantys BiF.

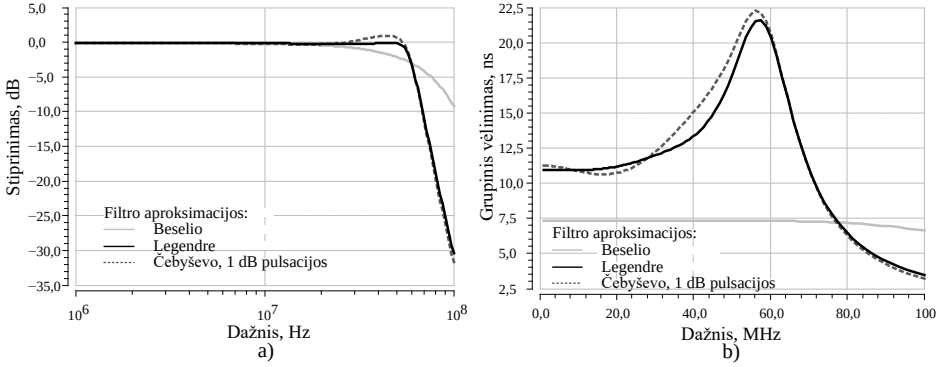


3.26 pav. Bikvadratinio filtro su TAGR2, SK-MOP ir ID-MOP derinimo struktūromis DDBS ir PDJ priklausomybė nuo valdymo įtampos, kada skaičiavimo metu naudojamų tonų dažniai yra f_1 = 100 kHz, ir f_2 = 140 kHz

Fig. 3.26. Biquad filter with CTAF2, CC-MOS and IM-MOS tuning structures SFDR and bandwidth values versus tuning control voltage when frequencies of two-tone intermodulation measurement uses f_1 = 100 kHz, ir f_2 = 140 kHz

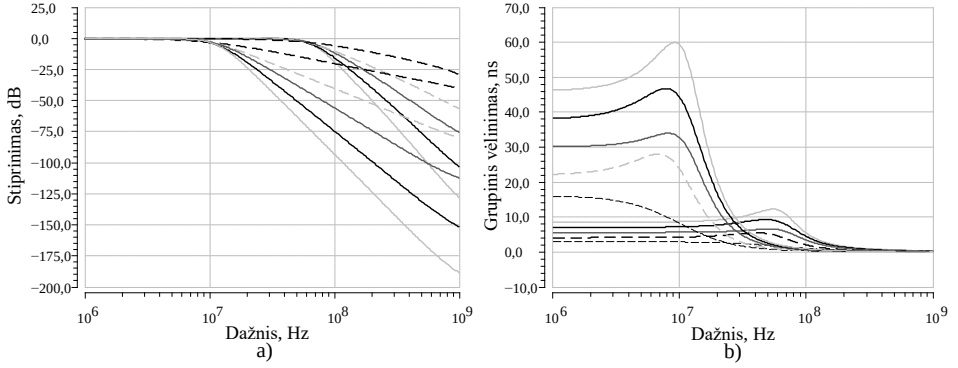
Siūloma TKF struktūra (3.2 pav.) tiriama naudojant TAGR2 derinimo struktūras. TKF naudojamų pakopų topologijos parodytos A priede, A.4 ir A.5 paveiksluose. Filtras sudarytas iš 3 pakopų – pirmos eilės filtro ir dveju BiF pakopų. Visos pakopos naudoja vienodas rezistorių ir kondensatorių derinimo matricas. TKF filtro aproksimacijų konfigūravimo galimybės parodytos

3.27 paveiksle. Matyti, kad siūlomas TKF filtras, naudojant diskretų ir tolydų rezistorių valdymą, gali būti sukonfigūruotas daugeliui dažnai belaidžio ryšio įtaisuose naudojamų aproksimacijų, tokių kaip Beselio, Batervorto arba Čebyševo.



3.27 pav. Siūlomo tolydžiai konfigūruojamo filtro konfigūravimas esant 60 MHz PDJ ir 5 eilės konfigūracijai: a) dažninė amplitudės charakteristika; b) grupinio vėlinimo charakteristika

Fig. 3.27. The proposed continuously tunable filter configuration when bandwidth is set to 60 MHz and the filter order is set to 5: a) amplutide response; b) group delay response

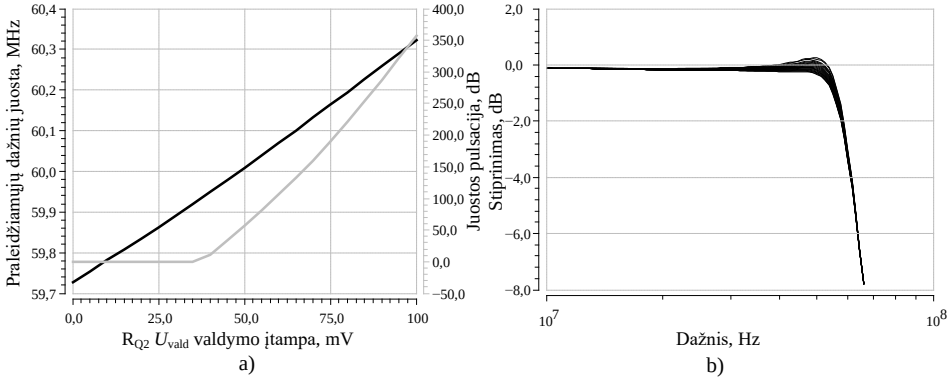


3.28 pav. Siūlomo tolydžiai konfigūruojamo filtro eilės konfigūravimas esant 10 Mhz ir 60 MHz PDJ: a) dažninė amplitudės charakteristika; b) grupinio vėlinimo charakteristika

Fig. 3.28. The proposed continuously tunable filter order configuration when bandwidth is set to 10 MHz and 60 MHz: a) amplutide response; b) group delay response

3.28 ir 3.29 paveiksluose atitinkamai parodytos siūlomo TKF eilės ir tikslios aproksimacijos derinimo galimybės. Suprojektuotas filtras gali būti sukonfigūruotas 1–5 eilės (1 eilės žingsniu) žemų dažnių filtro atsakui naudojant

S_1–S_3 perjungtuvus (3.2 pav.). Filtro aproksimacijos paieška iš pradžių atliekama naudojant diskrečius rezistorių ir kondensatorių derinimo matricų žingsnius naudojant $N_{valdymas}$ ir $C_{valdymas}$ signalus. Sekančiame etape atliekama tiksli norimos aproksimacijos derinimo procedūra naudojant U_{vald} pakopų signalus. Penktos eilės TKF filtro su norima 60 MHz PDJ verte Legendre aproksimacijos paieška naudojant antros BiF pakopos R_{Q2} bloko tolydaus derinimo U_{vald} įtampą parodyta 3.29 paveiksle.



3.29 pav. Siūlomo tolydžiai konfigūruojamo filtro Legendre aproksimacijos derinimas naudojant bikvadratinio filtro pakopos R_{Q2} derinimo struktūros valdymą, kada filtras sukonfigūruotas kaip 5 eilės žemų dažnių filtras su 60 MHz PDJ: a) PDJ ir juostos pulsacijų; b) dažninės amplitudės charakteristikos priklausomybė nuo U_{vald} įtampos

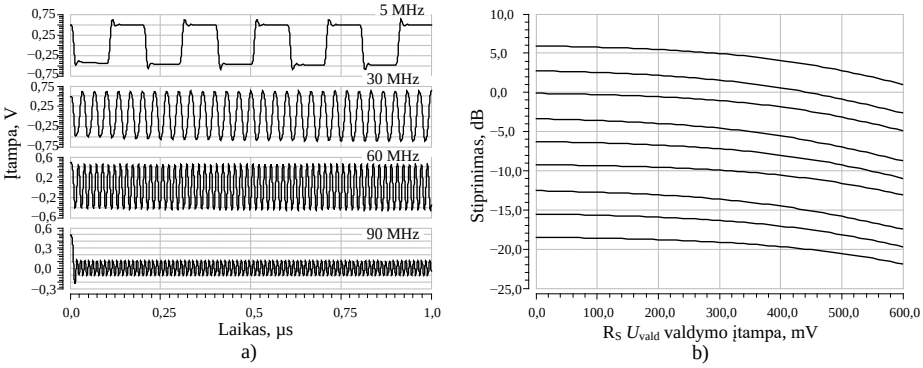
Fig. 3.29. Fine tuning of the proposed continuously tunable filter with Legendre response by using R_{Q2} continuous tuning structure, when the filter is set up as a 5th order low pass with a 60 MHz bandwidth: a) bandwidth and in-band ripple; b) amplitude response versus U_{vald} voltage

Suprojektuoto filtro PDJ ir juostos pulsacijos gali būti suderinamos atitinkamai ne didesniu negu 0,1 % ir 0,05 dB žingsniu naudojant 7 skilčių SAK su kvantavimo žingsniu mažesniu negu 5 mV bei užtikrinančiu bent 600 mV U_{vald} įtampos valdymo diapazoną. 3.30 paveikslo a dalyje parodyta TKF su 60 MHz PDJ konfigūracija laikinė diagrama, kai filtro įėjime formuojami 1 V_{pk-pk} diferenciniai skirtingų dažnių stačiakampio formos signalai, kurių priekinio ir galinio fronto kitimo trukmės yra lygios 1 ns. Stačiakampio formos signalas naudojamas filtro stabilumo ir išėjimo įtampos kitimo spartos patikrai. Iš 3.30 paveikslo a dalies matyti, kad filtro pakopos yra stabilios, esant 5 MHz signalui įtampos pereinamasis perviršis neviršyja 13 % signalo diferencinės amplitudės vertės, o nusistovėjimo vertės trukmė neviršija 7 % signalo periodo.

Suprojektuoto TKF pirmos eilės filtro pakopoje papildomai įgyvendintas filtro stiprinimo valdymas. Keičiant R_S derinimo grandyno diskrečius ir tolydžius

valdymo signalus, gaunamas tolydus TKF stiprinimo valdymas (3.30 pav. b dalį). Stiprinimas gali būti valdomas 25 dB ribose su maksimaliu 0,1 dB žingsniu.

3.8 lentelėje pateikiami TKF tiesiškumo ir triukšmo parametrai esant skirtingoms filtro eilės ir PDJ vertėms. Iš rezultatų matyti, kad suprojektuoto TKF DDBS vertė visose parodytose konfigūravimo sąlygose yra didesnė už 73 dB, o IJTT3 parametras nemažesnis negu 27 dB. Taip pat, tolydžiai konfigūruojamas filtras su TAGR2 derinimo struktūra lyginant su 3.2 poskyriuje suprojektuota DKF struktūra, leidžia tiksliau valdyti filtro eilės (1 eilės tikslumu lyginant su 2 eilių tikslumu) ir PDJ parametrus (maksimalus žingsnis 0,1 % lyginant su 1,6 %) naudojant tokį pati valdymo signalų skilčių skaičių (7 skiltis). Be to, TKF filtro aproksimacijų derinimo galimybės nėra ribojamos, skirtingai nuo DKF esančių fiksuotą filtro aproksimacijų skaičių turinčių pakopų.



3.30 pav. Siūlomo tolydžiai konfigūruojamo filtro: a) diferencinės išėjimo įtampos laikinė diagrama, kada filtras sukonfigūruotas kaip 5 eilės ŽDF su 60 MHz PDJ; b) stiprinimo derinimo ribos naudojant diskretų ir tolydų pirmos eilės pakopos filtro R_S struktūros valdymą

Fig. 3.30. The proposed continuously tunable filter: a) – differential voltage output when the filter is set up as a 5th order low pass with a 60 MHz bandwidth; b) gain control range with discrete and continuous R_S controls

Pagrindiniai TAGR2 struktūras naudojančių TKF trūkumai – padidėjęs lusto plotas ir papildomai TAGR sudarančių aktyviųjų elementų vartojama galia. TAGR2 struktūras naudojantis 5 eilės TKF užima 2,2 karto didesnį lusto plotą lyginant su 6 eilės DKF su LRM derinimo grandynais (atitinkamai 0,57 mm^2 ir 0,26 mm^2). Kiekvienas TAGR aktyvusis elementas naudoją papildomą 130 µW galią, ko pasėkoje, 5 eilės filtras vartoja 2,6 mW daugiau galios lyginant su tokiu pat filtru turinčiu pasyvų grįžtamojo ryšio grandyną.

Verta paminėti, kad sukurtų TAGR2 derinimo struktūrų panaudojimo galimybės neapsiriboja aktyviaisiais analoginiais filtrais skirtais belaidžio ryšio standartams. Tokios struktūros filtrai gali būti panaudojami fazės derinimo kilpų filtrų, itin tikslių PDJF, kurie gali būti naudojami mažo tarpinio dažnio DSI architektūrose, kūrimui.

3.8 lentelė. Tolydžiai konfigūruojamo filtro tiesiškumo ir triukšmo parametrai esant skirtingai filtro eilės konfigūracijai ir PDJ vertei
Table 3.8. Continuouslu tunable filter noise and linearity parameters at different filter order and bandwidth settings

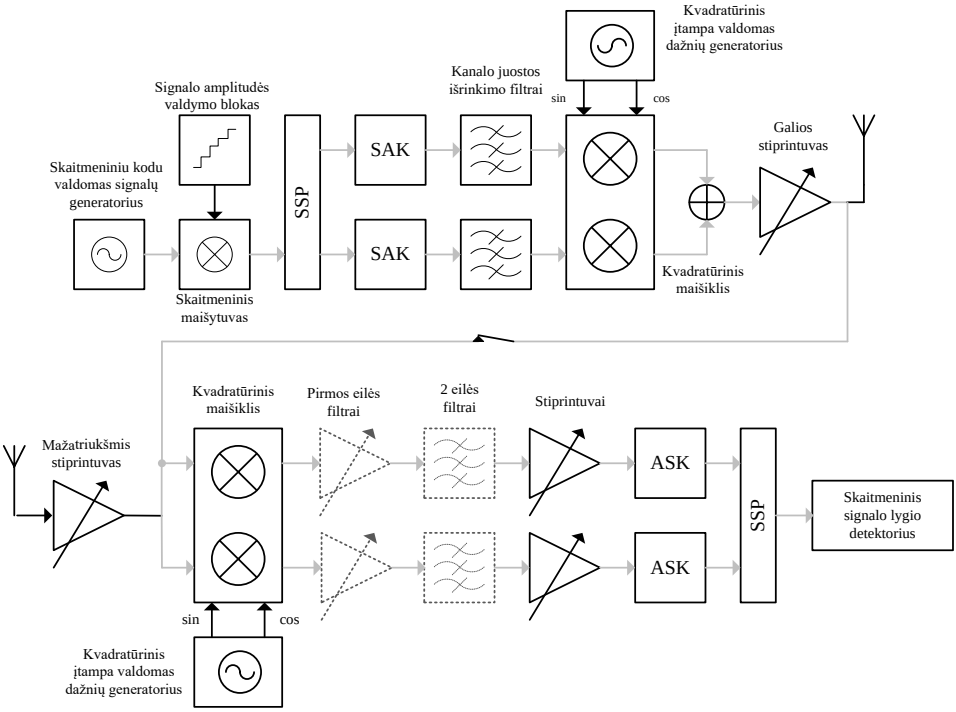
	Praleidžiamųjų dažnių juosta = 10 MHz			Praleidžiamųjų dažnių juosta= 60 MHz		
Filtro eilė	IJTT3, dB	$v_{\text{išėjimo}}$ (1 MHz), µV	DDBS (1 MHz), dB	IJTT3, dB	$v_{\text{išėjimo}}$ (10 MHz), µV	DDBS (10 MHz), dB
1	28,94	22,89	77,34	28,49	22,91	77,04
2	28,38	39,62	73,93	27,9	39,6	73,61
3	45,4	43,91	84,7	39,9	43,89	81,04
4	38,04	56,7	78,35	37,01	56,68	77,67
5	30,69	57,89	73,33	30,55	57,85	73,24

3.3.2. Integrinio analoginio filtro savaiminio derinimo grandyno eksperimentinis tyrimas

2.3.2 skirsnyje siūlomas savaiminio derinimo būdas, kuris gali būti naudojamas TKF, tiriamas naudojant vieną iš moderniausių disertacijos rašymo metu rinkoje esančių DSI. Verta paminėti, kad disertacijos autorius yra vienas iš projektuotojų, sukūrusių šį įtaisą. Eksperimentiniam tyrimui naudojama sistema ir DSI struktūrinė schema atitinkamai pavaizduotos B.1 ir 3.31 paveiksluose. Eksperimentiniams tyrimams naudojama įranga – signalų analizatorius (Agilent E4402B) ir įtampos šaltinis (Keysight E3631A).

DSI sudarytas kaip daugelio įėjimų ir išėjimų sistema, susidedanti iš dviejų siųstuvų ir dviejų imtuvų dirbančių 100 kHz – 3,8 GHz dažnių ruože. Filtrų savaiminio derinimo tyrimui naudojami DSI esantys du kaskadinti imtuvo ŽDF filtrai – pirmos eilės ir antros eilės BiF su Čebyševo 3 dB pulsacijos aproksimacija. Imtuvo filtrų PDJ derinimo ruožas – nuo 1 MHz iki 60 MHz. DSI filtrų derinimas atliekamas diskrečiais žingsniais keičiant juos sudarančių valdomų kondensatorių matricų vertes. Derinamos rezistorių matricos, kurios taip pat yra tiriamuose ŽDF, naudojamos IG procesų ir aplinkos įtakai koreguoti.

Naudojant abiejų imtuvo analoginių filtrų kondensatorių matricas, iš viso galimos 2^{23} PDJ nustatymo kombinacijos, todėl galima daryti prielaidą, kad tiriama sistema atitinka tolydžiai valdomo filtro modelį, kada jos PDJ derinama 1–15 MHz ribose (riba kurioje pasiekiamas mažiausias maksimalus derinimo žingsnis).



3.31 pav. Daugiastandarčio siųstuvo-imtuvo, naudojamo filtrų savaiminio derinimo būdui tirti, struktūrinė schema

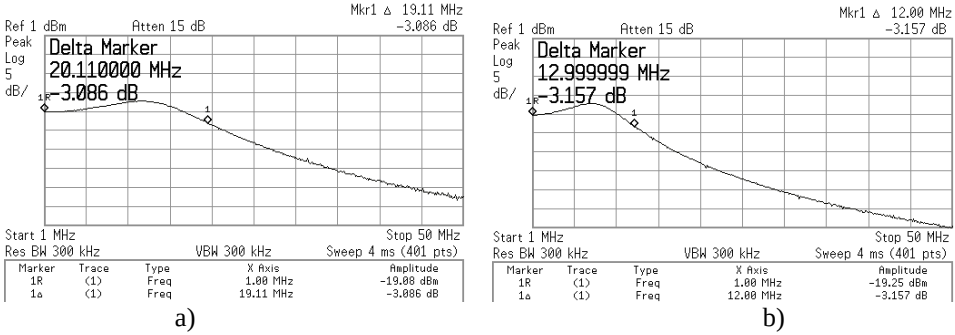
Fig. 3.31. Structure of transceiver, used for proposed filter tuning method verification

Eksperimentiniame tyrime naudojamame DSI turi visus 2.3.2 skirsnyje aprašytus skaitmeninius blokus reikalingus siūlomam tolydžiai valdomų filtrų derinimo metodui – skaitmeniniu kodu valdomą signalų generatorių ir skaitmeninį lygio detektorių atitinkamai siųstuvo ir imtuvo SSP blokuose.

Toliau aprašoma savaiminio filtrų derinimo procedūra, naudojama nustatyti tiriamo DSI imtuvo filtrų kaskadą į 10 MHz PDJ su maksimaliai plokščia dažnine amplitudės charakteristika juostos viduje. Kadangi imtuvo filtrą sudaro dvi nepriklausomai valdomos filtrų pakopos, jų PDJ derinimas vykdomas keliais etapais.

Derinimo procedūros pradžioje, DSI siųstuvo grandyne esantys KJIF nustatomi į maksimalios PDJ konfigūracija t. y. jų kondensatorių matricoje esantys MOP raktai nustatomi į atkirtos rėžimą. Tokiu būdu užtikrinama, kad šių filtrų perdavimo charakteristikos neįtakotų signalo, naudojamo imtuvų filtrų derinimui. Naudojant aukštadažnius perjungtuvus siųstuvo galios stiprintuvo išėjimas DSI viduje sujungiamas su imtuvo kvadratūrinio maišiklio įėjimu. Šiuo atveju, imtuvo ir siųstuvo nešlių dažnis gali būti vienodas (naudojamas vienas kvadratūrinis įtampa valdomas dažnių generatorius) arba būti skirtingas (naudojami du kvadratūriniai įtampa valdomi dažnių generatoriai). Pastaruoju atveju, būtina įvertinti tarpinio dažnio signalo, naudojamo filtrų derinimui $f_{\text{derinimas}}$, pokytį imtuvo grandinėje atsirandantį dėl skirtingų imtuvo ir siųstuvo maišiklių kvadratūrinių įtampa valdomų dažnių generatorių dažnių (Kirvaitis *et al*. 2003: 237). Eksperimentinio tyrimo metu, derinimo procedūroje naudojamas vienas kvadratūrinis įtampa valdomas dažnio generatorius.

Imtuvo filtrų derinimo pradžioje, naudojant kondensatorių matricos valdymo signalą pirmos eilės filtro PDJ yra maksimaliai išplečiama (kaip ir siųstuvo grandyne esančių filtrų) ir siekia 200 MHz. Šiuo atveju, imtuvo SSP bloke esantis skaitmeninis signalo lygio detektorius išskirs tik 2 eilės imtuvo filtro perdavimo funkcijos įtakojamus $f_{\text{derinimas}}$ tono amplitudės pokyčius (3.32 pav. a dalį).



a) b)

3.32 pav. Pagaminto filtro derinimo eiga: a) pradiniai imtuvo filtrų nustatymai; b) PDJ vertė po pirminio antros eilės ŽDF nustatymų parinkimo

Fig. 3.32. Manufactured filter tuning steps: a) initial receiver fiter settings; b) 2nd order filter bandwidth after the initial guess

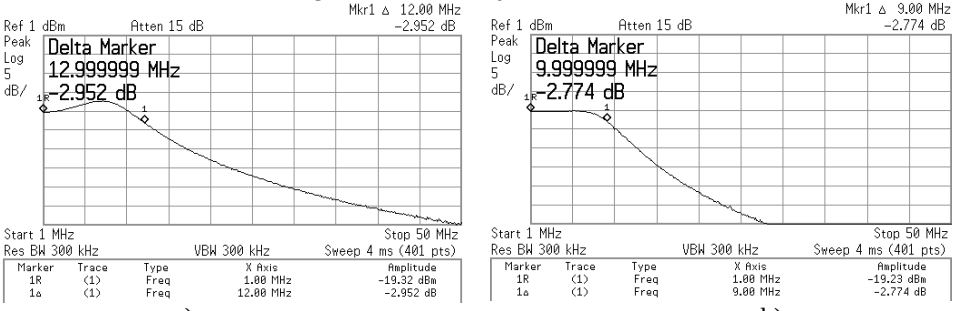
Siųstuvo SSP bloke generuojamas skaitmeninis vieno tono signalas $f_{\text{derinimas}}$ su mažu postūmiu nuo nulinio dažnio (iki 100 kHz). Siųstuve SSP ir SAK blokai turi dirbti pakankamai aukštu diskretizavimo dažniu, kad nebūtų sukuriamas $f_{\text{derinimas}}$ atvaizdas greta filtrų kaskadų derinimui naudojamo tono dažnio. Imtuve

esantis skaitmeninis lygio detektorius fiksuoja šią vertę ir priskirią ją PDJ stiprinimo vertei A_{juosta}. Sekančiu žingsniu, 2 eilės BiF filtro PDJ vertė nustatoma į norimą 13 MHz PDJ (vertė, reikalinga gauti norimą 10 MHz PDJ naudojant kaskadintus filtrus) naudojant kompiuterinio modeliavimo metu gautas kondensatorių valdymo vertes. Iš 3.32 paveikslo b dalies matyti, kad DSI 2 eilės filtro PDJ tik nežymiai skiriasi nuo kompiuterinių skaičiavimų metu gautų verčių. $f_{\text{derinimas}}$ signalas nustatomas į 13 MHz ir naudojant imtuvo skaitmeninio lygio detektorių, keičiant 2 eilės filtro kondensatorių matricos valdymo vertes, atliekama susiaurinta valdymo signalo binarinė paieška. Paieškos pabaigoje randama artimiausia BiF kondensatorių matricos valdymo vertė, su kuria $f_{\text{derinimas}}$ signalo lygis tampa apytiksliai lygus $A_{\text{juosta}}/\sqrt{2}$ (3.33 pav. a dalį).

Sekančiu žingsniu, atliekamas pirmos eilės filtro kondensatorių matricos vertės pirminis parinkimas remiantis kompiuterinių skaičiavimų metu gautomis vertėmis (pirmos eilės PDJ nustatoma į 7,2 MHz). Siųstuvo generuojamas $f_{\text{derinimas}}$ signalo dažnis keičiamas į 10 MHz ir jo lygis matuojamas naudojant imtuvo skaitmeninį signalo lygio detektorių. Kombinuotas nesuderintos pirmos ir suderintos antros eilės filtrų atsakas pavaizduotas 3.33 paveikslo b dalyje.

Toliau, kaip ir antros eilės BiF derinimo metu, naudojant susiaurintą binarinę paiešką, ieškomas pirmos eilės filtro kondensatorių matricos valdymo signalas kuris artimiausias $A_{\text{juosta}}/\sqrt{2}$ vertei.

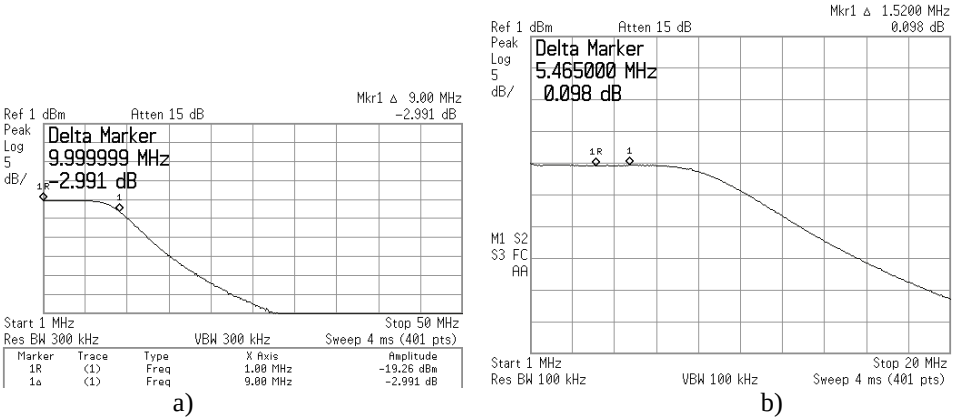
Verta paminėti, kad atliekant filtrų pakopų PDJ paiešką, signalo A_{juosta} lygis išlieka pastovus, nes keičiamos tik filtrų kondensatorių derinimo vertės. Be to, filtrų kalibravimo procedūrą reikia atlikti tik po nuolatinės įtampos poslinkio derinimo procedūrų, kad nebūtų įtakojama A_{juosta} vertė. Tolimesnės filtrų PDJ juostos korekcijos dėl temperatūrinių svyravimų atliekamos naudojant rezistorių derinimo matricas atsižvelgiant į DSI viduje esančio termometro duomenis.



a) b)

3.33 pav. Pagaminto filtro derinimo eiga: a) – PDJ vertė po antros eilės ŽDF nustatymų derinimo; b) PDJ vertė po pirminio pirmos eilės ŽDF nustatymų parinkimo

Fig. 3.33. Manufactured filter tuning steps: a) 2nd order filter bandwidth after tuning; b) bandwidth after initial 1st order filter stage value guess



a) b)

3.34 pav. Pagaminto filtro derinimo eiga: a) PDJ vertė atlikus visą imtuvo ŽDF nustatymų derinimo procedūrą; b) PDJ pulsacijų maksimali vertė atlikus visą imtuvo filtrų suderinimo procedūrą

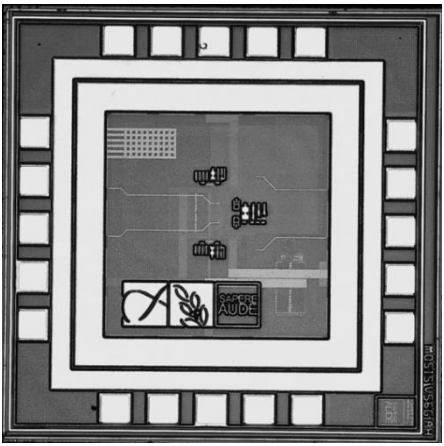
Fig. 3.34. Manufactured filter tuning steps: a) bandwidth setting after full receiver filter tuning procedure; b) maximum in-band ripple after full tuning procedure

Suderinto filtro dažninė amplitudės charakteristika parodyta 3.34 pav. Iš grafikų matyti, kad filtro PDJ suderinta žingsniu, mažesniu nei 0,5 %, o juostoje esančių pulsacijų maksimali vertė neviršija 0,1 dB. Dinamiškai keičiant $f_{\text{derinimas}}$ signalo dažnį, galima gauti visas filtrų kaskados amplutinės dažninės charakteristikos vertės, dominančiose dažniuose, kurių neriboja ASK ir SAK veikimo sparta. Dėl šio priežasties, tokia procedūra gali būti naudojama tolydžių filtrų savaiminio derinimo procedūroms.

3.4. Integrinio analoginio filtro lusto eksperimentiniai tyrimai

Kompiuterinių skaičiavimų modelių tikslumui, suprojektuoto OS ir TKF parametrams tirti suprojektuotas ir pagamintas antros eilės ŽDF naudojantis daugelio grįžtamų ryšių bikvadratinę filtro struktūrą (2.1 pav. a dalį). Lustas projektuotas naudojant IBM 0,18 μm KMOP IG technologiją, jo užimamas plotas 1 mm2, neįtraukiant kontaktinių aikštelių užimamą plotą (3.35 pav.). Lusto viduje suprojektuotas stabilizuotas temperatūroje srovės šaltinis, kurio generuojama atraminė srovės vertė yra valdoma ir naudojama pilnai diferencinio OS darbo taškui nustatyti. Luste naudojamo OS struktūra identiška naudotai DKF ir TKF filtrų tyrimams (3.3 ir 3.4 pav.). Suprojektuoto ŽDF filtro PDJ diskrečiais ir tolydžiais žingsniais valdoma nuo 10 MHz iki 80 MHz. Grubaus

PDJ vertės konfigūravimui naudojamos diskrečiais žingsniais valdomos kondensatorių ir rezistorių matricos, o tikslus PDJ derinimas atliekamas keičiant IVT įtampa (naudota IVT struktūra parodyta 1.22 pav. c dalį).



3.35 pav. Suprojektuoto filtro nekorpusuoto lusto fotografija
Fig. 3.35. Die photo of the designed filter

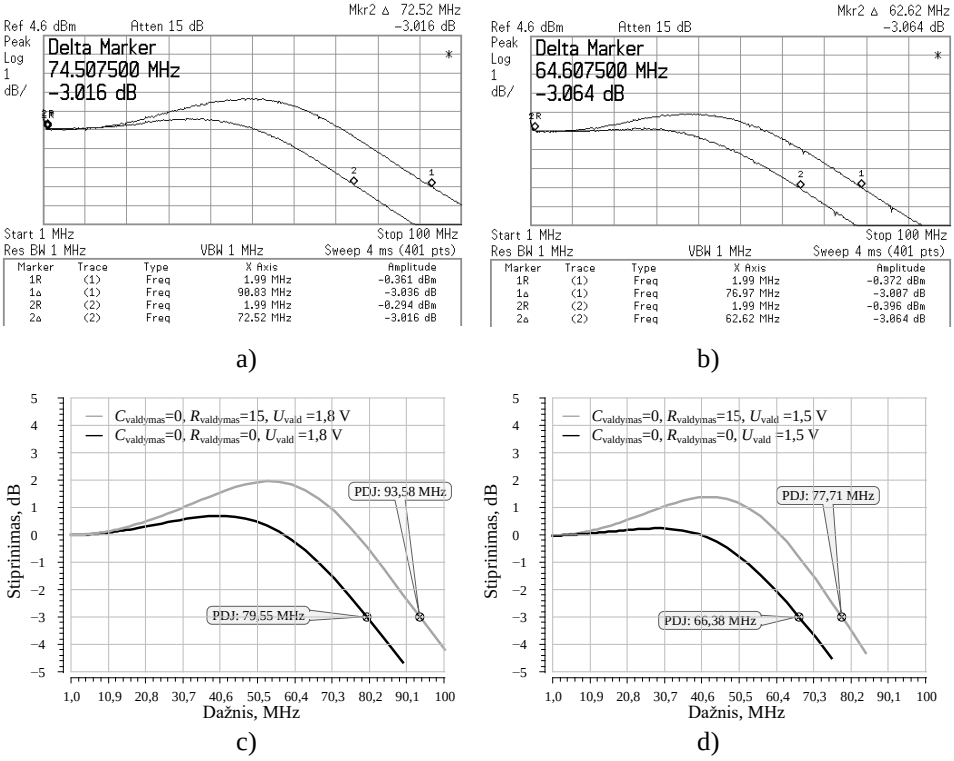
Lustui tirti, suprojektuota ir pagaminta spausdintinė plokštė (3.37 pav. a dalį). Spausdintinę plokštę sudaro perjungtuvai, naudojami OS priešįtampio darbo taško, diskrečiam kondensatorių ir rezistorių matricos signalo valdymui. Dėl riboto lusto kontaktų skaičiaus, kondensatorių ir rezistorių valdymui panaudojami valdymo signalai su atitinkamai 2 ir 4 skiltimis. Plokštėje taip pat numatyti stabilizuotos srovės šaltinio matavimo kontaktai, o pačios plokštės dydis yra 6,6 cm × 4,3 cm. Eksperimentinių pagaminto filtro matavimo metu naudotas stendas pavaizduotas 3.36 paveikslo b dalyje. Stendą sudarantys prietaisai skirti lusto parametrų matavimams:

1. Signalų generatorius Agilent E4432B.
2. Signalų analizatorius Agilent E4402B.
3. Įtampos šaltinis Keysight E3631A.
4. Multimetras Keysight U3402A.
5. Oscilografas Hewlett Packard infinium (2 Gsa/s).

Kadangi suprojektuotas filtras yra pilnai diferencinės struktūros, buvo panaudoti papildomi stiprintuvai, kurie konfigūruoti vienetiniam stiprinimui ir skirti signalo lygiui keisti iš nediferencinio į pilnai diferencinį ir atvirkščiai: įėjimui naudotas LMH6552MA stiprintuvas (vienetinis dažnis 1,5 GHz), o išėjimui – AD8045ARDZ (vienetinis dažnis 1 GHz). Matyti, kad abu

stiprintuvai užtikriną PDJ plotį, kuris neįtakoja tikrinamo filtro dažninės amplitudės charakteristikos.

Išmatuotos ir kompiuterinių skaičiavimų metu gautos suprojektuoto filtro dažninės amplitudės charakteristikos ir PDJ vertės pavaizduotos 3.36 paveiksle. Kada filtras nustatytas į maksimalios PDJ juostos vertę (C_{valdymas} = 0, R_{valdymas} = 15, U_{vald} = 1,8 V), išmatuota ir kompiuterinių skaičiavimų metu gauta PDJ vertė yra atitinkamai 92,8 MHz ir 93,6 MHz. Naudojant diskrečiai valdomų rezistorių matricą, tokių pačių tyrimų metu PDJ vertė gali būti sumažinama atitinkamai iki 74,5 MHz ir 79,6 MHz. Iš rezultatų matyti, kad eksperimentinio matavimo metu gauta 19,7 %, o kompiuterinių skaičiavimų metu gauta 17,6 % juostos derinimo riba nuo maksimalaus filtro dažnio.



3.36 pav. Tiriamo suprojektuoto filtro DACh, kada C_{valdymas} vertė nustatyta į 0, o R_{valdymas} vertė keičiama tarp 0 ir 15: a) išmatuotas DACh su U_{vald} = 1,8 V; b) išmatuotas DACh su U_{vald} = 1,5 V; c) kompiuterinio skaičiavimo metu gautas DACh su U_{vald} = 1,8 V; d) kompiuterinio skaičiavimo metu gautas DACh su U_{vald} = 1,5 V

Fig. 3.36. The designed filter magnitude response when C_{valdymas} is set to 0, and R_{valdymas} is varied between 0 and 15: a) measured magnitude response with U_{vald} = 1.8 V; b) measured magnitude response with U_{vald} = 1.5 V; c) simulated magnitude response with U_{vald} = 1.8 V; d) simulated magnitude response with U_{vald} = 1.5 V

Kai filtras nustatytas į maksimalios PDJ juostos vertę, ojo PDJ koreguojama IVT ($C_{valdymas}$ = 0, $R_{valdymas}$ = 15, U_{vald} = 1,5 V), išmatuota ir kompiuterinių skaičiavimų metu gauta PDJ vertė yra atitinkamai 79 MHz ir 77,7 MHz. Naudojant diskrečiai valdomų rezistorių matricą, PDJ vertė gali būti sumažinam atitinkamai iki 64,6 MHz ir 66,4 MHz. Iš rezultatų matyti, kad eksperimentinio matavimo metu gauta 18,2 %, o kompiuterinių skaičiavimų metu gauta 14,5 % juostos derinimo riba nuo maksimalaus filtro dažnio.

Grafikai, gauti nustačius filtrą į žemiausios PDJ konfigūraciją pateikiami B priede B.8 paveiksle. 3.9 lentelėje pateikti kompiuterinio skaičiavimo ir eksperimentinio matavimo metu gauti filtro PDJ duomenys esant skirtingoms filtro konfigūracijoms.

Iš 3.9 lentelės matyti, kad kompiuterinio skaičiavimo ir eksperimentinių matavimų metu gauti rezultatai nesiskiria daugiau negu 6,5 %, o didžiausias skirtumas gaunamas prie maksimalios filtro PDJ.

3.9 lentelė. Kompiuterinių skaičiavimų ir eksperimentinių matavimų metu gauti filtro PDJ vertės esant skirtingiems filtro nustatymams
Table 3.9. Simulated and measured filter bandwidth values at different filter settings

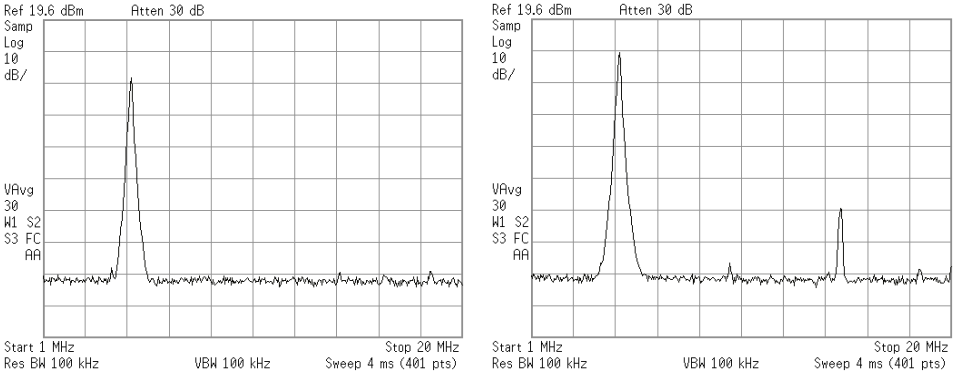
			Praleidžiamųjų dažnių juosta, MHz		
Valdymo įtampa U_{vald}, V	Kondensatoriaus matricos valdymo kodas, $C_{valdymas}$	Rezistoriaus matricos valdymo kodas, $R_{valdymas}$	Kompiuterinis skaičiavimas	Matavimas	Skirtumas, %
1,8	0	0	79,6	74,5	−6,41
		15	93,6	92,8	−0,85
	3	0	8,6	8,2	−4,65
		15	11	10,5	−4,55
1,5	0	0	66,4	64,6	−2,71
		15	77,7	79	1,67
	3	0	7	7,1	1,43
		15	8,5	8,8	3,53

3.37 paveikslo a ir b dalyse parodytas filtro išėjimo spektras, kada įėjime atitinkamai yra 0 dBm ir 10 dBm signalas. Iš 3.37 paveikslo b dalies matyti, kad filtro išėjime atsiranda −40 dBm vertės dėl trečios eilės iškraipymų atsiradusi komponentė, kada įėjimo signalas viršyja 2 Vpk-pk.

3.38 paveiksle a dalyje parodytas filtro išėjimo spektras, kada U_{vald} įtampa nustatoma į 1,4 V. Šiuo atveju, U_{vald} priartėja prie IVT slenkstinės įtampos, ko pasėkoje stipriai sumažėja filtro tiesiškumo parametrai. Matyti, kad aplinkui antros ir trečios eilės norimo signalo komponentes generuojamos papildomos harmonikos. Priežastis – tyrimams naudojamoje plokštėje esančio neigiamos įtampos generatoriaus, skirto įėjimo ir išėjimo stiprintuvams, krūvio pompos sukeliami triukšmai patenkantys į filtro įėjimą. 3.38 paveikslo b dalyje parodytas filtro išėjimo spektras, kada jo įėjime nėra formuojamas norimas signalas. Matyti, kad neigiamos įtampos šaltinio harmonikų lygis siekia −60 dBm, o krūvio pompos generavimo dažnis ygus 2,065 MHz.

Rašyta, kad luste yra suprojektuotas stabilizuotos srovės šaltinis. Naudojant srovės veidrodžius, generuojama 20 µA stabilizuota srovė yra paskirstoma lusto viduje. Vienas iš srovės veidrodžių išėjimų atviros santakos jungimu išvestas į lusto išorę, o prie jo prijungtas plokštėje esantis 40,2 kΩ rezistorius. Išmatavus šio rezistoriaus vertę Keysight U3402A multimetru, kurio rezoliucija yra ±10 Ω, tikslumas ±0,06 %, gauta nominali rezistoriaus vertė lygi 40,18 kΩ. Išmatavus įtampą šio rezistoriaus terminaluose, gauta vertė lygi 803 mV ± 100 µV naudojant tą patį multimetrą, kurio įtampos matavimo rezoliucija yra 10 µV, tikslumas ±0,012 %. Apskaičiuota suprojektuoto srovės generatoriaus vertė lygi 19,99 µA ±10 nA.

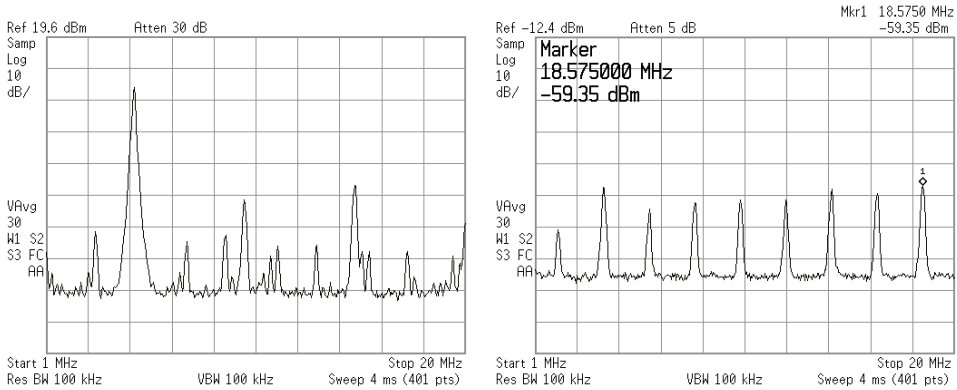
Lusto vartojamosios srovės eksperimentinių matavimų ir kompiuterinio skaičiavimo metu gautos vertės parodytos 3.10 lentelėje. Iš lentelės matyti, kad mažiausia paklaida, atsirandanti 20 µA nustatymui, proporcingai didėja atraminės srovės vertės pokyčiui. Tai rodo, kad susidaręs vartojamosios srovės skirtumas yra OS srovės veidrodžių skirstymo grandyne.



a) b)

3.37 pav. Pagaminto lusto išėjimo spektras, kai įėjime esančio signalo lygis: a) 0 dBm; b) 10 dBm

Fig. 3.37. Output spectrum of manufactured filter when input signal level is: a) 0 dBm; b) 10 dBm



a) b)

3.38 pav. Pagaminto lusto: a) išėjimo spektras, kai įėjime 0 dBm signalas, o U_{vald}=1,4 V; b) spektre matomos neigiamos įtampos šaltinio generuojamos harmonikos

Fig. 3.38. Manufactured filter: a) output spectrum when input signal level is 0 dBm and U_{vald}=1,4 V; b) negative power supply clock harmonics seen at output of the filter

Iš eksperimentinių tyrimų metu gautų rezultatų matyti, kad suprojektuotas lustas atitinka kompiuterinio modeliavimo metu gautas filtro parametrų vertes. Didžiausias parametrų nuokrypis (6,5 %) gautas matuojant PDJ, kada filtras sukonfigūruotas maksimaliai PDJ vertei. Vidutinis išmatuotų parametrų nuokrypis lyginant su kompiuterinio skaičiavimo metu gautomis vertėmis neviršija 3%.

3.10 lentelė. Kompiuterinių skaičiavimų ir eksperimentinių matavimų metu gauta filtro vartojamos srovės vertė

Table 3.10. Simulated and measured filter current consumption

	Filtro vartojamoji srovė, mA		
Atraminė srovė I_{atr}, µA	Kompiuterinis skaičiavimas	Matavimas	Skirtumas, %
20	3,5	3,45	−1,43
40	6,47	6,37	−1,55
60	9,39	9,19	−2,13
80	12,27	11,87	−3,26

3.5. Trečiojo skyriaus išvados

1. Suprojektuoto operacinio stiprintuvo (OS) vienetinio dažnio, vartojamosios galios, stiprinimo ir išėjimo triukšmo vertės gali būti valdomos naudojant atraminės srovės valdymo grandyną, o toks OS yra tinkamas sukurtų konfigūruojamų filtrų struktūrų parametrų tyrimams, kai filtrų praleidžiamųjų dažnių juosta (PDJ) derinama nuo 10 MHz iki 60 MHz.
2. Diskrečiai valdomai nuosekliai ir lygiagrečiai sujungtų rezistorių matricos (NLRM) struktūrai reikalinga mažesnė matricą sudarančių rezistorių varžų vertė, lyginant su tokių pačių parametrų lygiagrečiai sujungtu rezistorių matricos (LRM) struktūra.
3. Sukurto diskrečiai konfigūruojamo filtro (DKF) su NLRM derinimo struktūra įėjimo atžvilgiu išreikštas praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taško (IJTT3) vertė yra vidutiniškai 2 dB mažesnė lyginant su tokių pačių rezistorių verčių LRM derinimo struktūras naudojančiu DKF, kada filtras nustatytas 2, 4, 6 eilės konfigūracijai, o jo PDJ derinama 10 MHz ir 60 MHz ribose. Sumažėjusio IJTT3 parametro priežastis – NLRM struktūroje esantis papildomas nuosekliai prijungtas metalas-oksidas-puslaidininkis (MOP) tranzistorius.
4. Netiesioginis savaiminio derinimo grandynas, paremtas laiko konstantos pokyčio matavimu, su papildoma signalo vėlinimo grandine užtikrina vidutinį ne didesnį nei 1 % DKF su LRM struktūra PDJ nuokrypio vidurkį visose integrinio grandyno ribinėse sąlygose naudojant ne didesnį nei10 MHz atraminį dažnio signalą.
5. Tolydus PDJ derinimas naudojant impedanso daugintuvo ir sukryžiuotų MOP derinimo matricas iki 5 kartų didina išėjimo integruotą triukšmo vidutinę kvadratinę vertę, kai PDJ derinimo ribos yra 40 %, o išėjimo triukšmas integruojamas 10 MHz ruože.
6. Tolydžiai valdomos derinimo struktūros (TAGR2) dinaminio diapazono be šalutinių signalų vertė lyginant su impedanso daugintuvo ir sukryžiuotų MOP derinimo struktūromis yra bent 9 dB didesnė, kada filtro PDJ tolydžiai derinama 40 % ribose, o IJTT3 matavimui naudojamų tonų dažnis ne didesnis nei 1,1 MHz.
7. Pasiūlytos diskrečiai ir tolydžiai konfigūruojamos filtro struktūros leidžia keisti filtro parametrus numatytose ribose ir gali būti

naudojamos daugiastandarčiuose siųstuvuose-imtuvuose, skirtų programine įranga valdomo radijo, kūrimui.

8. Kompiuterinių skaičiavimų modelių tikslumui pasinaudojus MOSIS programa 0,18 μm IBM integrinėje KMOP technologijoje, suprojektuotas ir pagamintas suprojektuotas ir pagamintas antros eilės žemų dažnių filtras, naudojantis daugelio grįžtamų ryšių bikvadratinę filtro struktūrą. Eksperimentiniai lusto matavimo rezultatai parodė, kad suprojektuoto filtro išmatuotų parametrų nuokrypis lyginant su kompiuterinio skaičiavimo metu gautomis vertėmis neviršija 3 %.

Bendrosios išvados

1. Sukurtos ir ištirtos integrinių analoginių aktyviųjų RC filtrų su savaiminio derinimo grandynais derinimo struktūros ir jų projektavimo būdai, kurie leidžia apskaičiuoti diskrečiai ir (arba) tolydžiai valdomas derinimo matricas, skirtas integrinių analoginių aktyviųjų RC filtrų praleidžiamajai dažnių juostai derinti reikalaujamu tikslumu ir gamybos technologijos netobulumų ir aplinkos įtakotiems šio parametro nuokrypiams kompensuoti.

2. Sukurta diskrečiai valdomos rezistorių matricos struktūra bei pasiūlytas būdas, skirtas tokių perjungiamų rezistorių matricų projektavimui ir leidžiantis optimaliai apskaičiuoti struktūros rezistorių skaičių ir varžas, kai žinomos filtrų praleidžiamųjų dažnių juostos derinimo ribos ir minimalus žingsnis.

3. Sukurta tolydžiai valdoma derinimo struktūra, naudojanti grįžtamąjį ryšį su aktyviuju elementu tranzistoriaus darbo charakteristikai ištiesinti. Pasiūlytoje struktūroje išvengiamas valdymo įtampos dvigubinimo reikalavimas ir praplečiamos valdymo įtampos ribos.

4. Sudarytas savaiminio derinimo grandynas, paremtas vėlinimo kilpos struktūra, skirtas sukurtos diskrečiai valdomų rezistorių matricos verčių nuokrypių automatizuotajam koregavimui. Savaiminio derinimo grandynas naudoja du skirtingus skaitiklius ir gali būti naudojamas nuosekliai sujungtų rezistorių ir lygiagrečiai sujungtų rezistorių matricoms derinti.

5. Diskrečiai valdomai 6 kΩ nuosekliai ir lygiagrečiai sujungtų rezistorių matricos (NLRM) struktūrai, turinčiai 40 % derinimo ribą ir 1,5 % maksimalų

derinimo žingsnį, reikalinga 15 kartų mažesnė matricą sudarančių rezistorių varžų vertė, lyginant su tokių pačių parametrų lygiagrečiai sujungtų rezistorių matricos struktūra.

6. Sukurtas netiesioginis savaiminio derinimo grandynas, paremtas laiko konstantos pokyčio matavimu, su papildoma signalo vėlinimo grandine užtikrina vidutinį 1 % diskrečiai konfigūruojamų filtrų su lygiagrečiai sujungtų rezistorių matricos struktūra praleidžiamųjų dažnių juostos nuokrypio vidurkį visose integrinio grandyno ribinėse sąlygose ir temperatūrų diapazone nuo −40 °C iki 80 °C naudojant 10 MHz atraminį dažnio signalą.

7. Pasiūlytos tolydžiai valdomos derinimo struktūros dinaminio diapazono be šalutinių signalų vertė lyginant su impedanso daugintuvo ir sukryžiuotų MOP derinimo struktūromis yra bent 9 dB didesnė, kai tolydžiai konfigūruojamo filtro praleidžiamųjų dažnių juosta tolydžiai derinama 40 % ribose, o praleidžiamųjų dažnių juostoje esančių signalų trečios eilės tiesiškumo taško matavimui naudojamų tonų dažnis ne didesnis nei 1,1 MHz.

Literatūra ir šaltiniai

Abdollahi-Alibeik S., *et al.* 2011. A 65nm dual-band 3-stream 802.11 n MIMO WLAN SoC, *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*.

Abdulaziz M., Nejdel A., Törmänen M., Sjöland H. 2013. A 3.4 mW 65nm CMOS 5 th order programmable active-RC channel select filter for LTE receivers, *Radio Frequency Integrated Circuits Symposium (RFIC), 2013 IEEE*.

Abdulaziz M., Tormanen M., Sjoland H. 2014. A 4 th order Gm-C filter with 10MHz bandwidth and 39dBm IIP3 in 65nm CMOS, *European Solid State Circuits Conference (ESSCIRC), ESSCIRC 2014-40th*.

Ali A. S., Radwan A.G., Soliman A. M. 2013. Fractional order Butterworth filter: active and passive realizations, *IEEE Journal on emerging and selected topics in circuits and systems* 3(3): 346–354.

Alzaher H. A., Elwan H. O., Ismail M. 2002. A CMOS highly linear channel-select filter for 3G multistandard integrated wireless receivers, *Solid-State Circuits, IEEE Journal of* 37(1): 27–37.

Amaral W. A., *et al.* 2012. A 2.4 GHz transceiver for wireless sensor network *2012 8th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)*.

Amico S. D., Baschirotto A., De Matteis M., Ghittori N., Vigna A., Malcovati P. 2008. A CMOS 5 nV Hz 74-dB-Gain-Range 82-dB-DR Multistandard Baseband Chain for Bluetooth, UMTS, and WLAN, *Solid-State Circuits, IEEE Journal of* 43(7): 1534–1541.

Anderson M., *et al.* 2012. A 4.75--34.75 MHz digitally tunable active-RC LPF for> 60dB mean RX IRR in 65nm CMOS *ESSCIRC (ESSCIRC), 2012 Proceedings of the*.

Anon 2016. *EE announces next phase in oper source networks with leading UK inovators.* Prieiga per internetą: http://ee.co.uk/our-company/newsroom/2016/ee-announces-next-phase-in-open-source-networks-with-leading-uk-innovators/ee-announces-next-phase-in-open-source-networks-with-leading-uk-innovators.

Armagan E., Kuntman H. 2013. Configurable frequency agile filter application of balanced differential pair based CCCII circuit in 28nm process, *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*.

Aslanzadeh H. A., Pankratz E. J., Sánchez-Sinencio E. 2009. A 1-V+ 31 dBm IIP3, reconfigurable, continuously tunable, power-adjustable active-RC LPF, *Solid-State Circuits, IEEE Journal of* 44(2): 495–508.

Bao K., Fan X., Wang Z. 2013. A 0.18-μm-CMOS low-power reconfigurable low pass filter for multi-standard receivers, *Advanced Technologies for Communications (ATC), 2013 International Conference on*.

Baschirotto A., D'Amico S., De Matteis M. 2006. Advances on analog filters for telecommunications, *Advanced Signal Processing, Circuits, and System Design Techniques for Communications, 2006*.

Borremans J., van Liempd B., Martens E., Cha S., Craninckx J. 2013. A 0.9 V low-power 0.4--6 GHz linear SDR receiver in 28 nm CMOS *Symp. on VLSI Circuits, Dig. Tech. Papers*.

Cavalcante L. R., Diniz P. S. R. 1991. Computer aided design of optimal cascade active filters, *Circuits and Systems, 1991., Proceedings of the 34th Midwest Symposium on*.

Chakraborty S., *et al.* 2013. An ultra low power, reconfigurable, multi-standard transceiver using fully digital PLL, *VLSI Circuits (VLSIC), 2013 Symposium on*.

Chamla D., Kaiser A., Cathelin A., Belot D. 2004. A multi-mode continuously-tunable lowpass filter for Zero-IF mobile applications, *Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European*.

Chen G., Li Z., Su H., Zhang L., Li W. 2010. A 5 th-order Chebyshev active RC complex filter with automatic frequency tuning for wireless sensor networks application, *Signals Systems and Electronics (ISSSE), 2010 International Symposium on*.

Chen R., Hashemi H. 2015. Reconfigurable SDR receiver with enhanced front-end frequency selectivity suitable for intra-band and inter-band carrier aggregation, *Solid-State Circuits Conference-(ISSCC), 2015 IEEE International*.

Chen W. H., Jung B. 2011. High-speed low-power true single-phase clock dual-modulus prescalers, *Circuits and Systems II: Express Briefs, IEEE Transactions on* 58(3): 144–148.

Chen W. K. 2009. *Passive, active, and digital filters.* CRC Press.

Chen Y. C., Chiu W. H., Lin T. H. 2008. A 120-MHz active-RC filter with an agile frequency tuning scheme in 0.18-µm CMOS *VLSI Design, Automation and Test, 2008. VLSI-DAT 2008. IEEE International Symposium on*.

Chiou C. F., Schaumann R. 1981. Refined procedure for optimising signal-to-noise ratio in cascade active-RC filters, *IEE Proceedings G Circuits, Devices and Systems [see also IEE Proceedings-Circuits, Devices, and Systems]* 4(128): 189–191.

Choi J., Im D., Kim B. K., Lee K. 2012. Hardware-efficient non-decimation RF sampling receiver front-end with reconfigurable FIR filtering, *ESSCIRC (ESSCIRC), 2012 Proceedings of the*.

Cicalini A., *et al.* 2011. A 65nm CMOS SoC with embedded HSDPA/EDGE transceiver, digital baseband and multimedia processor, *2011 IEEE International Solid-State Circuits Conference*.

Czarnul Z. 1986. Modification of Banu-Tsividis continuous-time integrator structure, *IEEE Transactions on Circuits and Systems* 33(7): 714–716.

Debaillie B., Van Wesemael P., Vandersteen G., Craninckx J. 2009. Calibration of direct-conversion transceivers, *Selected Topics in Signal Processing, IEEE Journal of* 3(3): 488–498.

De Matteis M., Amico S. D., Andriulo P., Cocciolo G., Baschirotto A. 2009. A 4 th order CMOS 65nm wideband low power analog filter for wireless receivers, *Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on*.

De Matteis M., Cocciolo G., De Blasi M., Baschirotto A. 2011. A 1.3 mW CMOS 65nm 4 th order 52dB-DR continuous-time analog filter for DVB-T receivers, *Electronics, Circuits and Systems (ICECS), 2011 18th IEEE International Conference on*.

De Matteis M., D'Amico S., Cocciolo G., De Blasi M., Baschirotto A. 2013. A 54dB-DR 1-GHz-bandwidth continuous-time low-pass filter with in-band noise reduction, *Circuits and Systems (ISCAS), 2013 IEEE International Symposium on*.

De Matteis M., Pezzotta A., Baschirotto A. 2011. 4 th-Order 84dB-DR CMOS-90nm low-pass filter for WLAN receivers, *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on*.

Der Plas J. 1991. MOSFET-C filter, with low excess noise and accurate automatic tuning, *Solid-State Circuits, IEEE Journal of* 26(7): 922–929.

Du D., Li Y., Wang Z., Tan S. 2006. An active-RC complex filter with mixed signal tuning system for low-IF receiver *Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on*.

ENIAC 2013. *ENIAC Joint Undertaking Industry and Research Committee*.

Fan C., Lu Y., Mao C. 2009. Design of A Chebyshev Low Pass Filter with automatic frequency calibration, *Microelectronics & Electronics, 2009. PrimeAsia 2009. Asia Pacific Conference on Postgraduate Research in*.

Freeborn T., Maundy B., Elwakil A. S. 2015. Approximated fractional order Chebyshev lowpass filters, *Mathematical Problems in Engineering* 2015.

Fu L., Chi B., Feng H., Wang Z. 2010. A 5M-50M reconfigurable Gm-C low-pass filter in 130nm CMOS for SDR receivers, *Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on*.

Gao J., Jiang H., Zhang L., Dong J., Wang Z. 2012. A programmable low-pass filter with adaptive miller compensation for zero-IF transceiver, *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*.

Gao T., Li W., Chen Y., Li N., Ren J. 2011. A 5.5 mW 80-400MHz Gm-C low pass filter with a unique auto-tuning system, *IEICE Electronics Express* 8(13): 1034–1039.

Gao Z., Yu M., Ye Y. 2006. A RF high-Q on-chip bandpass filter for aerospace wireless applications, *Systems and Control in Aerospace and Astronautics, 2006. ISSCAA 2006. 1st International Symposium on*.

Geis A., Ryckaert J., Borremans J., Vandersteen G., Rolain Y., Craninckx J. 2009. A Compact low power SDR receiver with 0.5--20MHz baseband sampled filter, *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*.

Georgiadis A. 2004. Gain, phase imbalance, and phase noise effects on error vector magnitude, *IEEE Transactions on Vehicular Technology* 53(2): 443–449.

Giannini V., Craninckx J., Amico S. D., Baschirotto A. 2007. Flexible baseband analog circuits for software-defined radio front-ends, *Solid-State Circuits, IEEE Journal of* 42(7): 1501–1512.

Gross S., *et al.* 2010. Dual-band CMOS transceiver with highly integrated front-end for 450Mb/s 802.11 n systems, *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*.

Han D. O., Kim J. H., Lee K. D., Park S. G., Oh S. M., Kim E. J. 2011. Fully integrated dual-band transceiver for IEEE 802.11 a/b/g/j/n wireless local area network applications with hybrid up/down conversion architecture, *Circuits, Devices & Systems, IET* 5(6): 433–441.

Heping M., Fang Y., Yin S., Dai F. F. 2009. A multi-standard active-RC filter with accurate tuning system, *Journal of Semiconductors* 30(9): 95011.

Hilber G., Burgstaller A., Stitz E. H., Rauchenecker A., Ostermann T., Gila J., Schiefer M. 2014. Stability analysis and design methodology for an Akerberg-Mossberg filter, *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*.

Houfaf F., Egot M., Kaiser A., Cathelin A., Nauta B. 2012. A 65nm CMOS 1-to-10GHz tunable continuous-time low-pass filter for high-data-rate communications, *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*.

Huang Q., *et al.* 2010. A tri-band SAW-less WCDMA/HSPA RF CMOS transceiver with on-chip DC-DC converter connectable to battery, *2010 IEEE International Solid-State Circuits Conference-(ISSCC)*.

Huang Y., *et al.* 2013. A High-Linearity WCDMA/GSM Reconfigurable Transceiver in 0.13-CMOS, *Microwave Theory and Techniques, IEEE Transactions on* 61(1): 204–217.

Hwang J. H., Lee M. Y., Jeong C. Y., Yoo C. 2005. Active-RC channel selection filter tunable from 6 kHz to 18 MHz for software-defined radio, *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*.

Inoue T., Ueno F., Sonobe S., Kawasaki M. 1990. A design of automatically tunable active MOSFET-RC filters using a single-ended circuit structure, *Electronics and Communications in Japan (Part III: Fundamental Electronic Science)* 73(10): 1–12.

Ishihara N., Amakawa S., Kazuya M. 2011. RF CMOS integrated circuit: History, current status and future prospects, *IEICE transactions on fundamentals of electronics, communications and computer sciences* 94(2): 556–567.

Itakura T. 2010. Phase compensation techniques for low-power operational amplifiers, *IEICE transactions on electronics* 93(6): 730–740.

Jiang C., Xie R., Li W., Huang Y., Hong Z. 2011. Reconfigurable low pass filter with Automatic Frequency Tuning for WCDMA and GSM application, *ASIC (ASICON), 2011 IEEE 9th International Conference on*.

Jin X., Dai F. F. 2012. A 6 th order zero capacitor spread 1MHz--10MHz tunable CMOS active-RC low pass filter with fast tuning scheme, *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*.

Junbo L., Xiangning F., Kuan B. 2012. A 4th-order active-g m-RC reconfigurable filter with time constant auto-tuning *High Speed Intelligent Communication Forum (HSIC), 2012 4th International*.

Jurisic D., Moschytz G. S., Mijat N. 2012. Low-noise, low-sensitivity, active-RC allpole filters using impedance tapering, *International journal of circuit theory and applications* 40(5): 503–532.

Kagoshima K., Kawama S., Toyoyama S., Iizuka K. 2006. Fast automatic tuning of channel selection filters based on phase delay calibration, *Custom Integrated Circuits Conference. CICC06. IEEE*.

Khumsat P., Worapishet A. 2012. A 0.5-V R-MOSFET-C filter design using subthreshold R-MOSFET resistors and OTAs with cross-forward common-mode cancellation technique, *Solid-State Circuits, IEEE Journal of* 47(11): 2751–2762.

Kikkert C.J. 2007. Filter requirements for wideband mobile radio systems *Information, Communications & Signal Processing, 2007 6th International Conference on*.

Kim B., Kim D. 2014. Low-voltage current-mode integrator for channel selection filter, *IEICE Electronics Express* 11(1): 20130845.

Kirvaitis R., Martavičius R. 2003. *Analoginė elektronika. Vadovėlis aukštųjų mokykų studentams.* Vilnius: Technika.

Kobayashi H., Aoki H., Katoh K., Li C. 2014. Analog/mixed-signal circuit design in nano CMOS era, *IEICE Electronics Express* 11(3): 20142001.

Kousai S., Hamada M., Itakura T. 2009. A Novel Automatic Quality Factor Tuning Scheme for a Low-Power Wideband Active-RC Filter, *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences* 92(2): 411–420.

Kousai S., Hamada M., Ito R., Itakura T. 2007. A 19.7 MHz, fifth-order active-RC Chebyshev LPF for draft IEEE802. 11n with automatic quality-factor tuning scheme, *Solid-State Circuits, IEEE Journal of* 42(11): 2326–2337.

Kurahashi P., Hanumolu P. K., Temes G. C., Moon U. K. 2007. Design of low-voltage highly linear switched-R-MOSFET-C filters, *Solid-State Circuits, IEEE Journal of* 42(8): 1699–1709.

Lababidi R., Tong D., Louzir A., Robert J. L., Le Naour J. Y., Lintignat J., Jarry B., Barelaud B. 2011. Tunable low-pass active filter using active capacitor for multimode standards, *Electronics, Circuits and Systems (ICECS), 2011 18th IEEE International Conference on*.

Lee S. S., Lee S., Choi S., Kahng S. 2011. A WiX RF transceiver for Gbps wireless communication *Consumer Electronics (ICCE), 2011 IEEE International Conference on*.

Li S. T., Li J. C., Gu X. C., Wang H. Y., Zhuang Z. 2012. A 4--40MHz Active-RC chebyshev LPF with digital-assisted calibration for direct-conversion DVB-S/S2 & ABS-S TV tuners, *Solid-State and Integrated Circuit Technology (ICSICT), 2012 IEEE 11th International Conference on*.

Li Y., Zhang Y. T. 2012. A fully-integrated R-MOSFET-C filter for biomedical applications, *Biomedical and Health Informatics (BHI), 2012 IEEE-EMBS International Conference on*.

Lim J., Cho Y., Jung K., Park J., Choi J., Kim J. 2005. A wide-band active-RC filter with a fast tuning scheme for wireless communication receivers, *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*.

Lim K., *et al.* 2011. A 2x2 MIMO tri-band dual-mode direct-conversion CMOS transceiver for worldwide WiMAX/WLAN applications, *Solid-State Circuits, IEEE Journal of* 46(7): 1648–1658.

Liu J., Fahmy A., Kim T., Maghari N. 2015. A fully synthesized 0.4 V 77dB SFDR reprogrammable SRMC filter using digital standard cells, *Custom Integrated Circuits Conference (CICC), 2015 IEEE*.

Lo T. Y., Lo C. H. 2014. 1-V 365-2.5-MHz Channel Selection Filter for 3G Wireless Receiver in 55-nm CMOS, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 22(5): 1164–1169.

Ma D., Wilamowski B. M., Dai F. F. 2009. A tunable CMOS resistor with wide tuning range for low pass filter application, *Silicon Monolithic Integrated Circuits in RF Systems,, 2009. SiRF"09. IEEE Topical Meeting on*.

Mak P. I., Pan B. U. S., Martins R. P. 2007. *Analog-Baseband Architectures and Circuits for Multistandard and Low-Voltage Wireless Transceivers*, Springer Science & Business Media.

Martin K., Sedra A. 1981. Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters, *IEEE Transactions on Circuits and Systems* 28(8): 822–829.

Mason R., Fortier J., DeVries C. 2012. Complete SOC transceiver in 0.18 m CMOS using Q-enhanced filtering, sub-sampling and injection locking, *Solid-State Circuits, IEEE Journal of* 47(8): 1800–1809.

Masuch J., Delgado-Restituto M. 2013. A 1.1-mW-RX-dBm Sensitivity CMOS Transceiver for Bluetooth Low Energy, *Microwave Theory and Techniques, IEEE Transactions on* 61(4): 1660–1673.

Meghdadi M., Bakhtiar M. 2012. Analysis and optimization of SFDR in differential active-RC filters, *IEEE Transactions on Circuits and Systems I: Regular Papers* 59(6): 1168–1177.

Metin B., Herencsar N., Cicekoglu O. 2013. A low-voltage electronically tunable MOSFET-C voltage-mode first-order all-pass filter design, *Radioengineering* 22(4): 985.

Mijat N., Jurišić D., Ranilović M. 2010. Novel low-sensitivity, third-order LP active Leap-Frog filter *MIPRO, 2010 Proceedings of the 33rd International Convention*.

Monsurrò P., Pennisi S., Scotti G., Trifiletti A. 2015. High-tuning-range CMOS band-pass IF filter based on a low-Q cascaded biquad optimization technique, *International Journal of Circuit Theory and Applications* 43(11): 1615–1636.

Moschytz G. S., Horn P. 1981. *Active filter design handbook*, John Wiley & Sons, Inc.

Navickas R. 2008. *Nanotechnologijos elektronikoje: mokomoji knyga*, Vilnius: Technika.

Navickas R., Barzdėnas V. 2012. *Mikroschemų technologijų analizė*, VGTU leidykla „Technika “.

Nilsson M., *et al.* 2011. A 9-band WCDMA/EDGE transceiver supporting HSPA evolution, *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*.

Osa J. I., Carlosena A., Lopez-Martin A. J. 2001. MOSFET-C filter with on-chip tuning and wide programming range, *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on* 48(10): 944–951.

Oshima T., Maio K., Hioe W., Shibahara Y. 2004. Novel automatic tuning method of RC filters using a digital-DLL technique, *Solid-State Circuits, IEEE Journal of* 39(11): 2052–2054.

Oskooei M. S., Masoumi N., Kamarei M., Sjöland H. 2010. A 4.35-mW+ 22-dBm IIP3 continuously tunable channel select filter for WLAN/WiMax receivers in 90-nm CMOS, *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*.

Ou J., Ferreira P. M. 2014. A-Based Noise Optimization for CMOS Folded-Cascode Operational Amplifier, *IEEE Transactions on Circuits and Systems II: Express Briefs* 61(10): 783–787.

Palani R. K., Sturm M., Harjani R. 2013. A 1.56 mW 50MHz 3rd-order filter with current-mode active-RC biquad and 33dBm IIP3 in 65nm CMOS, *Solid-State Circuits Conference (A-SSCC), 2013 IEEE Asian*.

Park S., Ahn K., Kim K. 2012. An 880/1760 MHz tunable bandwidth active RC low-pass filter using high gain amplifier, *SoC Design Conference (ISOCC), 2012 International*.

Parsa A., Razavi B. 2009. A new transceiver architecture for the 60-GHz band, *Solid-State Circuits, IEEE Journal of* 44(3): 751–762.

Penttinen J. T. J. 2015. *The Telecommunications Handbook: Engineering Guidelines for Fixed, Mobile and Satellite Systems*, John Wiley & Sons.

Pezzotta A., De Matteis M., D'Amico S., Baschirotto A. 2013. A CMOS-28nm 880-MHz 4 th-order low-pass active-RC filter for 60 GHz transceivers, *Ph. D. Research in Microelectronics and Electronics (PRIME), 2013 9th Conference on*.

Pozar D. 2001. *Microwave and RF wireless systems*, John Wiley & Sons.

Ramasamy S., Venkataramani B. 2011. A low power reconfigurable analog baseband block for software defined radio, *Journal of Signal Processing Systems* 62(2): 131–144.

Reis A., Barros A. F., Lenzi K. G., Meloni L., Barbin S. E. 2012. Introduction to the software-defined radio approach, *Latin America Transactions, IEEE (Revista IEEE America Latina)* 10(1): 1156–1161.

Ruffieux D., Chabloz J., Contaldo M., Müller C., Pengg F. X., Tortori P., Vouilloz A., Volet P., Enz C. 2009. A narrowband multi-channel 2.4 GHz MEMS-based transceiver, *Solid-State Circuits, IEEE Journal of* 44(1): 228–239.

Sabatino N., Minoia G., Roche M., Baldi D., Temporiti E., Mazzanti A. 2014. A 5 th order g m-C low-pass filter with 3% cut-off frequency accuracy and 220MHz to 3.3 GHz tuning-range in 28nm LP CMOS, *European Solid State Circuits Conference (ESSCIRC), ESSCIRC 2014-40th.*

Sadhwani R., Kidwai A. A., Feng L. 2012. Direct conversion CMOS RF transceiver design techniques to improve co-existence challenges in multi-comm, SoCs *Radio and Wireless Symposium (RWS), 2012 IEEE*.

Sawahashi M., Murota K. 1989. Variable-bandwidth filter using SCF and MOSFET-C filter, *Circuits and Systems, 1989., IEEE International Symposium on*.

Seth S., Kwon D. H., Venugopalan S., Son S. W., Zuo Y., Bhagavatula V., Lim J., Oh D., Cho T. B. 2016. A Dynamically Biased Multiband 2G/3G/4G Cellular Transmitter in 28 nm CMOS, *IEEE Journal of Solid-State Circuits* 51(5): 1096–1108.

Shin H., Kim Y. 2010. A CMOS active-RC low-pass filter with simultaneously tunable high-and low-cutoff frequencies for IEEE 802.22 applications, *Circuits and Systems II: Express Briefs, IEEE Transactions on* 57(2): 85–89.

Siligaris A., *et al.* 2011. A 65-nm CMOS fully integrated transceiver module for 60-GHz wireless HD applications, *Solid-State Circuits, IEEE Journal of* 46(12): 3005–3017.

Soliman A. M., Madian A. H. 2009. Mos-C Tow-Thomas filter using voltage OP AMP, current feedback OP AMP and operational transresistance amplifier, *Journal of Circuits, Systems, and Computers* 18(1): 151–179.

Stojković N., Kamenar E., Šverko M. 2011. Optimized second-and fourth-order LP and BP filters, *Automatika--Journal for Control, Measurement, Electronics, Computing and Communications* 52(2).

Su K.L. 2012. *Analog filters,* Springer Science & Business Media.

Sungho B., Jeong S., Sunki M. I. N., Hwang M. W., Kyutae L. I. M., TENTZERIS E. M., others 2011. A 0.5--6 MHz Active-RC LPF with Fine Gain Steps Using Binary Interpolated Resistor Banks, *IEICE transactions on electronics* 94(8): 1328–1331.

Suzuki T., Takao O., Yoneyama T. 2002. Design and simulation of 4Q-multiplier using linear and saturation regions of MOSFET complementally, *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences* 85(6): 1242–1248.

Tajalli A., Leblebici Y. 2009. A widely-tunable and ultra-low-power MOSFET-C filter operating in subthreshold, *Custom Integrated Circuits Conference,, 2009. CICC"09. IEEE*.

Tan S. C. G., *et al.* 2012. An Ultra-Low-Cost High-Performance Bluetooth SoC in 0.11-CMOS, *Solid-State Circuits, IEEE Journal of* 47(11): 2665–2677.

Tan Y., *et al.* 2012. A 2.4 GHz WLAN transceiver with fully-integrated highly-linear 1.8 V 28.4 dBm PA, 34dBm T/R switch, 240MS/s DAC, 320MS/s ADC, and DPLL in 32nm SoC CMOS, *VLSI Circuits (VLSIC), 2012 Symposium on*.

Temes G. C., Silva J. 2004. Simple and efficient noise estimation algorithm, *Electronics Letters* 40(11): 1.

Thede L. D. 2005. *Practical analog and digital filter design*Artech House New Jersey.

Toth L., Efthivoulidis G., Gopinathan V., Tsividis Y. P. 1995. General results for resistive noise in active RC and MOSFET-C filters, *IEEE transactions on circuits and systems. 2, Analog and digital signal processing* 42(12): 785–793.

Tsividis Y., Banu M., Khoury J. 1986. Continuous-time MOSFET-C filters in VLSI, *Solid-State Circuits, IEEE Journal of* 21(1): 15–30.

Upathamkuekool C., Jiraseree-amornkun A., Mahattanakul J. 2011. Ultra low-power low-voltage active-RC filter with on-chip automatic tuning, *Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2011 8th International Conference on*.

Vasilopoulos A., Vitzilaios G., Theodoratos G., Papananos Y. 2006. A low-power wideband reconfigurable integrated active-RC filter with 73 dB SFDR, *Solid-State Circuits, IEEE Journal of* 41(9): 1997–2008.

Wang R., Lin M., Wang H., Sun S. 2016. A widely tunable active-RC complex filter for multi-mode wireless receivers with automatic frequency tuning, *IEICE Electronics Express* 13(18): 20160764.

Wang Y., Ye L., Liao H., Huang R., Wang Y. 2015. Highly Reconfigurable Analog Baseband for Multistandard Wireless Receivers in 65-nm CMOS, *Circuits and Systems II: Express Briefs, IEEE Transactions on* 62(3): 296–300.

Wang Z., Liu L., Cai J., Shao Z., Yang Y., Zhu X. 2012. 2.4 GHz/5GHz wide-band receiver in a wireless communication system based on 4×4 MIMO technology, *Computational Problem-Solving (ICCP), 2012 International Conference on*.

Wanhammar L. 2009. *Analog Filters Using MATLAB*, Springer.

Weiwei W., Xuegui C., Xiao W., Kefeng H., Xi T., Na Y., Hao M. 2011. A 4th-order reconfigurable analog baseband filter for software-defined radio applications, *Journal of Semiconductors* 32(4): 45008.

Winoto R., He M., Lu Y., Signoff D., Chan E., Lin C. H., Loeb W., Park J., Lin L. 2012. A WLAN and bluetooth combo transceiver with integrated WLAN power amplifier, transmit-receive switch and WLAN/bluetooth shared low noise amplifier, *Radio Frequency Integrated Circuits Symposium (RFIC), 2012 IEEE*.

Xu Z., Zhou J., Yu Z., Huang W., Ni Y., Huang F., Chu Y. 2012. Design of high performance RF transceiver for next generation wireless communications, *Microwave and Millimeter Wave Technology (ICMMT), 2012 International Conference on*.

Ye L., Liao H., Shi C., Liu J., Huang R. 2010. A 2.3 mA 240-to-500MHz 6 th-order active-RC low-pass filter for ultra-wideband transceiver, *Solid State Circuits Conference (A-SSCC), 2010 IEEE Asian*.

Yoshizawa A. 2002. Design considerations for large dynamic range MOSFET-C filters for direct conversion receivers, *Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European*.

Autoriaus mokslinių publikacijų disertacijos tema sąrašas

Straipsniai recenzuojamuose mokslo žurnaluose

Kiela K., Jurgo M., Navickas R. 2013. Design of a Linear-in-dB Power Detector in 65nm CMOS Technology, *Elektronika ir Elektrotechnika* 19(10): 91–94. (ISI Web of Science; IF: 0,358)

Kiela K., Navickas R. 2016. A method for continuous tuning of MOSFET-RC filters with extended control range, *Journal of electrical engineering-Elektrotechnicky casopis* (6): 449–453. (ISI Web of Science; IF: 0,498)

Kiela K., Navickas R. 2015. Automatizuotojo integrinių filtrų projektavimo ypatumai, *Science – Future of Lithuania/Mokslas – Lietuvos ateitis* 4(3): 323–329.

Kiela K., Jurgo M., Kladovščikov L. 2016. Integrinių analoginių filtrų grandynų derinimosi sistemos projektavimas, *Science – Future of Lithuania/Mokslas – Lietuvos ateitis* 8(3): 308–314.

Kiela K., Mamajev A., Navickas R. 2016. Integrinių analoginių RC filtrų struktūrų daugiastandarčiams siųstuvams-imtuvams tyrimas, *Science – Future of Lithuania/Mokslas – Lietuvos ateitis* 8(3): 315–320.

Kiela K., Jurgo M., Navickas R. 2017. Dual mode 4th order active-RC low-pass filter with tunable cut-off frequency from 3 MHz to 20 MHz in 65 nm CMOS. *Przegląd elektrotechniczny* 93(1): 263–267.

Straipsniai kituose leidiniuose

Kiela K., Navickas R. 2015. Active low-pass filter design with variable filter order for wideband transceivers, *2015 IEEE 3rd Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*: 1-4.

Summary in English

Introduction

The investigated problem

Constant growth and evolution of telecommunication market has set new requirements for wireless connection devices. One of the main requirements – new hardware must have the ability to be easily, fast and cheaply updated, to match and support new or developing technologies. One of widely developed and promising technologies is software defined radio (SDR). Main idea behind this technology – wide range of physical level functions can be supported and implemented on same hardware. In this case, support of various physical level functions is fully set and controlled by software.

The main task, solved by software defined radio, is to design hardware, which can transmit and receive data in wide frequency range. Moreover, an important economic problem lies behind this technical task – designed hardware must have competitive price and market introduction time, which does not fall behind existing standards of telecommunication market. The competitive price is achieved by decreasing number of discrete components, which is needed to implement software defined radio, e. g. by increasing scale of integration. It is made by employing fast-improving manufacturing technologies of integrated circuits to combine various hardware components into single chip.

One of the most important integrated circuits in SDR hardware is analog filter, which must have controlled bandwidth, response time and/or order of the filter. Analog filters perform functions of selection of data channel, suppression of the noise and unwanted signal. Parameters of filters, which are fabricated using semiconductor

integrated circuit technologies, can vary due to temperature, aging or inconsistencies in IC manufacturing process. Thus it is necessary to project additional circuitry, which compensates the variance of filter's components.

Therefore, the problem examined in this PhD thesis is self-tuning of integrated analog active RC filters. From this problem the working hypothesis is raised and proved. It states that use of self-tuning circuits allows achieving parameters of integrated analog active RC filters with needed accuracy.

Importance of the thesis

Requirements for analog filters are changing with increasing number of wireless standards. Data channels are becoming closer to each other in the frequency domain because of increasing occupation of the frequency spectrum. Data bandwidths can be dynamically changed to distribute the available resources across the entire network. Due to this dynamic structure of modern wireless traffic, multistandard analog RC filter parameters must have configurable bandwidths with precise control. The use of such SoCs helps to reduce cost of receive-transmit stations, makes it easier to implement wireless technologies in developing countries or newly created networks and also makes possible to operate with current and future wireless standards. Structures of integrated analog filters and their self-tuning circuits, which can be used in hardware of SDR, are not broadly researched; therefore research carried out in this work is relevant.

The object of research

The object of research – integrated analog active RC filter self-tuning circuits in wireless communication systems.

Goal of the thesis

Goal of the thesis – create new self-tuning circuits for design of configurable integrated analog active RC filters with parameters that achieve required precision

Tasks of the thesis

To achieve the goal of the thesis, following tasks are solved:

1. Create structures of configurable integrated analog active RC filters and their self-tuning circuits, which can be used in software-defined radio, and examine such filters' noise and linearity change with different tuning methods.
2. Create and examine design methods of self-tuning circuit and their models of integrated analog active RC filters, which compensate manufacturing variations and environmental temperature impact.
3. Create integrated analog active RC filters, which employ discrete and continuous self-tuning circuits and examine tuning circuit impact on filter frequency, phase and linearity parameters.

Research methodology

For research of integrated analog active RC filters and their self-tuning circuit models, analytical, mathematical, computer modelling methods were used. Integrated analog

filter parameter deviation research employed two integrated technologies (TSMC 65 nm and IBM 0.18 µm). During investigation of proposed configurable integrated analog filter structures, their tuning and self-tuning circuits, computer modelling using CADENCE software was carried out. Experimental research was used for verification of manufactured analog active RC filter parameters. Experimental research was carried out using signal generation and spectral analysis in 0.1–1 GHz frequency range.

Importance of scientific novelty

These significant results for science of electronic engineering were achieved in preparation of this thesis:

1. Integrated analog active RC filters with discrete and continuous control self-tuning circuits and their models, which compensates manufacturing variations and environmental impact with required precision, was designed and impact of such tuning circuits on filter's noise and linearity parameters were examined.
2. A method was proposed, which allows control of frequency magnitude and phase response of fully differential biquadratic integrated active RC filters, employing structures with two operational amplifiers.
3. Method for self-tuning structure composed of parallel and series connected resistor matrixes, which allows calculating needed resistor number and resistance when margins of filters' bandwidth correction and minimum step of correction are known, is proposed.
4. Indirect self-tuning circuit, which is based on measurement of time constant's variation, together with additional delay line, which improves the bandwidth tuning accuracy, is proposed.

Practical significance of achieved results

Methods and algorithms, suitable for usage in design of integrated analog active RC filters in various modern integrated circuits' manufacturing technologies were created during research using 65 and 180 nm technologies. In particular, results of research were used in chips of wireless multistandart transceivers and software-defined radio systems, designed and developed by UAB „Lime Microsystems". Integrated chip was designed for wireless communication systems, in which the integrated analog active RC filters with self-tuning circuits were designed. During chip design process, algorithms and methods for self-tuning circuits proposed during research, for tuning of the integrated analog active RC filters' bandwidth with required precision, were used. The designed integrated analog active RX filters were investigated and used in:

- scientific work "Research and modelling of nanoelectronics processes" (No. TMT 292, 2012–2016).
- scientific work "Integrated transceivers for wireless communications" (No. 4572-M, 2013).
- scientific work "Research and investigation of high frequency integrated circuits for smart wireless communication systems" (No. 10124, 2014).

The defended statements

1. Discreetly-controlled SPRM structure with reduction coefficient of resistors' value, equal to $k \geq 2$, will always have resistance at least 4 times lower than cumulative value of resistors, composing this structure, and maximum tuning step will not be larger, than tuning step of PRM structure.
2. Indirect self-tuning circuit, based on measurement of time constant's variation, together with additional delay line reduce discreetly-controlled filters' with PRM and SPRM tuning structures average deviation of bandwidth in all corners at least 10 %, matrixes of discreetly-controlled resistors are composed by using proposed design method and when frequency of reference signal is 10 MHz, maximum tuning margin and step respectively are 40 % and 1.5%.
3. Proposed tuning structure's (CTAF2) value of dynamic range without side signals is at least 9 dB larger, in comparison to impedance multiplier and crossed MOS tuning structures, when bandwidth of continuously-controlled filter is continuously tuning in 40 % range and frequency of tones, used for measurement of input-referred third order intercept point, is not larger than 1 MHz.
4. Proposed reconfigurable integrated analog active RC filter, which is composed of first order and second order biquadratic filters' structures with two operational amplifiers and uses created tuning integrated circuit with active component, used to extend the linear region of transistor transfer curve, allows to continuously change magnitude and phase frequency responses, order and quality factor of the filter.

Approval of the research findings

Seven articles are published on the subject of dissertation: three – in scientific journals included in Thomson Reuters Web of Science database (Kiela, Jurgo, Navickas 2013; Kiela, Navickas 2016; Kiela, Jurgo, Navickas 2017), one – in international conference publications which are assessed by Thomson Reuters database Proceedings (Kiela, Navickas 2015), three – in scientific journal listed in other international databases (Kiela, Navickas 2014; Kiela, Jurgo, Kladovščikov 2016; Kiela, Mamajev, Navickas 2016).

Dissertation research results have been announced in seven scientific conferences in Lithuania and abroad:

- IEEE 3rd Workshop on ,,*Advances in Information, Electronic and Electrical Engineering"*. Latvia, Riga, 13–14th, November 2015.
- IEEE 16th Lithuania-Belarus Workshop ,,*Advanced microwave devices and systems"*. Lithuania, Vilnius, 4th, December 2015.
- Trečioji tarptautinė konferencija „eStream 2016". Lithuania, Vilnius, 19th, April 2016.
- Šešioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija ,,*Mokslas – Lietuvos ateitis"*. Vilnius, 15th March 2013.

- Septynioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 21th March 2014.
- Aštuonioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 20th March 2015.
- Devynioliktoji respublikinė Lietuvos jaunųjų mokslininkų konferencija *„Mokslas – Lietuvos ateitis”*. Vilnius, 18th March 2016.

Structure of dissertation

The dissertation consists of introduction, three chapters, general conclusions, list of references, author‘s publications on the subject of dissertation, summary in English and 5 annexes

The total scope of dissertation – 176 pages (without annexes), 95 indexed equations, 87 pictures, 14 tables, and 130 references have been used.

1. Analysis of integrated continuous-time analog filters and their tuning circuits

The ever growing number of wireless communication standards has created a new trend in designs of wireless transceivers. Modern mobile transceivers should comply with a multitude of existing or developing wireless standards as the industry shifts to the software-defined radio (SDR) technology. A comparison of over 120 receiver and 80 transmitter architectures for various standards was made. It was found, that due to its simplicity, direct conversion transceiver architecture is best suited for SDR implementation. The reconfigurable nature of the SDR requires that the baseband channel selection filters, used in direct conversion architectures, should have a high degree of filter configuration capabilities, mainly centred, but not limited to: bandwidth, power dissipation, filter response and order.

Most of the time, flexible channel selection filters are based on active-RC or gm-C designs. High bandwidth applications usually use gm-C filters, but for application that require high linearity active-RC filter are still the best due to their large dynamic range, although they suffer from variations in process, voltage and temperature (PVT). PVT variation problem can be partially mitigated by the use of switched–R–MOSFET–C circuits, where accurate time-constants can be achieved based on duty cycle tuning. Due to a more digital nature of the switching gates, even fully synthesizable solutions for switched–R–MOSFET–C circuits are reported. One major drawback of such filters is the need of a high frequency clock signal to implement filter blocks with wide bandwidths. Moreover, a highly reconfigurable filter design, intended for SDR technology, could only be achieved by adding complex divider circuits and a dedicated PLL, both of which increase the complexity and design time of the transceiver.

Compared to active-RC filters with fixed capacitor and resistor tuning steps, MOSFET-RC filters’ structures are more suited for modern SDR transceivers that are used to implement a broad range of wireless communication standards, due to their better linearity performance. While high-bandwidth MOSFET–RC filters usually dissipate more power than other filter types, precise Q tuning methods can reduce the total power consumption by optimizing the operational amplifier biasing currents. Most

commonly used filters in baseband circuits of modern transceivers use active MOSFET-RC structures. Nonetheless, one of the major drawbacks of continuously tuneable MOSFET–RC filter is the linearity degradation due to the non-linear transistor behaviour.

One of the main issues present in integrated circuits is the designed circuits' parameter drift, induced by technology process variation. To control the unwanted distortion of analog filter's transfer function, various tuning methods of filter parameters can be used. Dedicated circuits can be used to enable self-tuning routines of filter parameters.

There are 3 main auto-tuning methods used for filter tuning:

1. Direct approach.
2. Indirect approach.
3. Using two identical filters.

The first method is based on a direct tuning approach. A test signal is generated at the input of the filter that is being tuned. The output is analysed by a dedicated circuit or sampled by an ADC. The gathered data is used to change the parameters of the filter. The main benefit of such approach is its accuracy, while the downside is that the filter is not operational for the duration of the tuning procedure. In some scenarios, where powering down the filter is not acceptable, two identical filters operating in parallel are used. While one of the filters is being tuned, another processes the wanted signal. This kind of approach eliminates the down-time of the baseband, but it also doubles the requirement of silicon area for the filter and is rarely used.

The most common approach for tuning of integrated filter's parameters is based on usage of dedicated indirect tuning circuits. In this case, the main filter is tuned by another circuit, which is composed of the same passive components, which are used in the main filter. There are 3 main indirect tuning approaches based on detection of time constant change. Most methods use comparator for detection of capacitor charge time. The charge period is compared to a stable period of reference signal and the direction of the tuning controls is steered by a phase detector output level along with some form of control logic. Another approach uses an on-chip RC oscillator to generate a signal, whose frequency depends on the passive component variation values inside the chip. Again, this value is compared to a reference frequency and the control value for passive component tuning banks is found which gives the smallest error for both frequencies. The main benefit of this kind of approach – no comparator is needed and a simple inverter can be used to square the RC oscillator signal.

After analysing current auto-tuning circuits, the following conclusions were derived:

1. Best accuracy of indirect auto-tuning circuits with discrete step controls is achieved with RC time-constant detection based approach.
2. In order to achieve less than ±1 % bandwidth tuning accuracy, when the tuning range is larger than ±30 %, a minimum of 8 bit control tuning bank is needed.
3. The analysis of auto-tuning circuits for filters with continuous control of bandwidth lack the depth that their discrete control counterparts have. New

methods need to be researched for implementation of true continuous-time tuned filter for applications in SDR.

2. Development and investigation of models for integrated continuous-time analog filters and their tuning circuits

Channel selection filters (CSF) used in software defined radio applications have to meet one main requirement – their parameters have to be controllable. CSF main parameters are: filter order, approximation type, bandwidth and its tuning range, output noise, linearity, dissipated power.

Three CSF 6th order filters with different structures were designed in 0.18 µm and 65 nm CMOS IC technologies to analyse their sensitivity to process and mismatch variation. The topologies of the filters included fully differential cascaded multiple feedback and biquad stages, and one filter was designed by using LC ladder approach. Each filter could be set to achieve two types of approximations – Legendre and Chebyshev with 1 dB in-band ripple.

The analysis of sensitivity in both technology nodes provided similar results – the main parameters' deviation source was the IC process variation, while the mismatch induced deviation of filters' parameters was smaller by at least one order. These results revealed that selection of filter's topologies based on their sensitivity to individual components in integrated circuits is not optimal – the main source for parameters' spread is due to process variation and can only be mitigated by the use of dedicated tuning circuits.

A continuously tuneable reconfigurable filter (CTRF) was proposed composed of *n* cascaded biquad stages and one first order stage, used to implement an uneven order filter. In most practical cases, the biquad stage number will be limited to 2 or 3, and it depends on the requirement of the available area of silicon and the total power consumption of the filter. The proposed discreetly tuneable reconfigurable filter (DTRF) is composed of two cascaded filter stages – 4th order and 2nd order. Filter order reconfiguration is achieved by powering down the selected stage and enabling or disabling CMOS switches. Using a combination of switches and power down controls, the filter can be reconfigured to achieve a 2nd, 4th or 6th order low-pass response. By enabling the 2nd order filter to have two types of responses – Chebyshev 3 dB ripple and Butterworth, the total combination of filter approximations is expanded.

The proposed resistor matrix for the DTRF stages is shown in Fig. S.2.1. The structure is composed of parallel and series connected resistor banks, which are controlled by separate lines. Series connected resistor matrix (SRM) is used to select the coarse resistor value, and the parallel connected resistor matrix (PRM) is used to achieve fine tuning of the desired resistance. The SRM is controlled by a binary-coded decimal control while the PRM is controlled by a simple binary control code. If only PRM bank is used, high value resistors are needed to achieve a small control step size (< 1 %). By using the proposed combination of both tuning banks (SPRM), the resistor values in the PRM can be reduced by a factor of *k* while maintaining the required tuning accuracy.

If a full SPRM structure is used, the resistor values are calculated based on the same PRM calculation method. In this case, PRM resistor values are decreased by a

factor of k and calculated according to (S2.1) and (S2.8), while the control code value m is extracted from (S2.5).

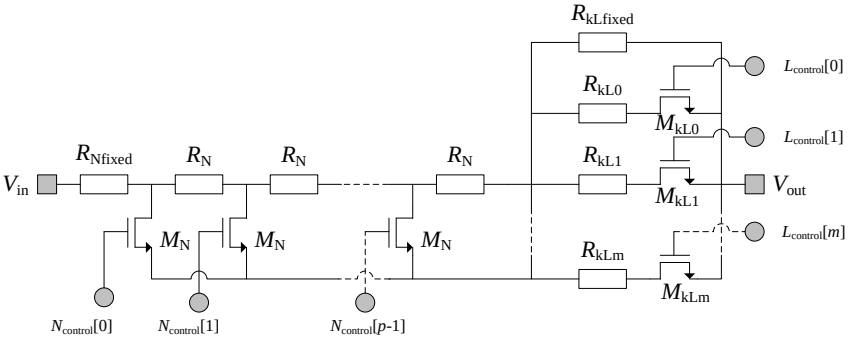


Fig. S.2.1. The proposed resistor tuning bank with discrete control

$$R_{kLfixed} = \frac{R}{k} \cdot \left(1 + \frac{\Delta\omega}{100}\right); \tag{S2.1}$$

$$R_{kLmin} = \frac{R}{k} \cdot \left(1 - \frac{\Delta\omega}{100}\right); \tag{S2.2}$$

$$\varphi_{kstep} = \varphi_{step} \cdot k; \tag{S2.3}$$

$$R_{kL} = \frac{100 \cdot R_{Lfixed}^2 \cdot k}{R \cdot \varphi_{kstep}} - R_{kLfixed}; \tag{S2.4}$$

$$m = \begin{cases} \alpha_k, & \beta_k > 1; \\ \alpha_k + 1, & \beta_k \le 1; \end{cases} \tag{S2.5}$$

$$\alpha_k = \left\lceil \log_2 \left(\frac{2 \cdot R_{Lfixed} \cdot \Delta\omega \cdot k}{R \cdot \varphi_{kstep}} \right) \right\rceil; \tag{S2.6}$$

$$\beta = \frac{R_{kLmin} \left(R_{kLfixed} + \left(\frac{R_{kL}}{2^{\alpha_k}} \right) \right)}{R_{Lfixed} \cdot \left(\frac{R_{kL}}{2^{\alpha_k}} \right)}; \tag{S2.7}$$

$$R_{kLm} = \frac{R_{kL}}{2^m}, \tag{S2.8}$$

here $\pm\Delta\omega$ – wanted tuning range of filter's bandwidth, expressed in percentage; φ_{step} – the maximum tuning step in the whole resistor bank tuning range expressed as

percentage. PRM resistor R_{L0} and the remaining resistor R_{Ln} values are calculated from (S2.8).

SRM fixed resistor's value is then calculated from (S2.9). The remaining values of resistors R_N are equal and can be found by using (S2.10). The number of control MOSFETs M_N needed for the SRM is always equal to $R_{Nnumber}$–1, where $R_{Nnumber}$ is expressed by (S2.11). It was mentioned, that the SRM control is implemented by using a binary-coded decimal code. The number of bits required to implement SRM control will differ from the number of M_N, and can be calculated from (S2.12). The additional one control bit is added to fully terminate all MOSFET switches.

$$R_{Nfixed} = R_{Lmin} - R_{kLmin}; \tag{S2.9}$$

$$R_N = R_{kLfixed} - R_{kLmin}; \tag{S2.10}$$

$$R_{Nnumber} = \frac{\left(R_{Lfixed} - R_{Lmin}\right)}{R_{Np}} - 1; \tag{S2.11}$$

$$p = \lceil \log_2\left(R_{Nnumber} + 1\right) \rceil. \tag{S2.12}$$

The proposed continuous tuning structure is shown in Fig. S.2.2. a). The structure is made of fixed resistors R_1–R_n with a series-connected and accordingly scaled *n*-type MOSFET transistor that acts as the continuous variable resistor. The resistor's branches are controlled by a binary (BCD) to decimal converted digital control word, meaning only one branch can be active at a time. The high impedance resistors R_{LinA} and R_{LinB} are used to linearize the MOSFET without loading other nodes. Active feedback amplifier, shown in Fig. S.2.2 b), is used to extend the range of voltage control for the active tuning MOSFET. Furthermore, the use of such a configuration removes the need of increased supply voltage for MOSFET control, compared to only passive realization. The active feedback amplifier uses a high gain folded cascode structure, where the output stage is used to drive the feedback resistor tors R_{fbA} and R_{fbB}. Its control voltage V_0 can be calculated according to Eq. (S2.13–S2.15).

$$V_o = \frac{A_0\left(R_{fbA}V_{i+} + R_{fbB}\left(V_{i+} - V_{tune}\right)\right)}{A_0 R_{fbA} + R_{fbA} + R_{fbB}}; \tag{S2.13}$$

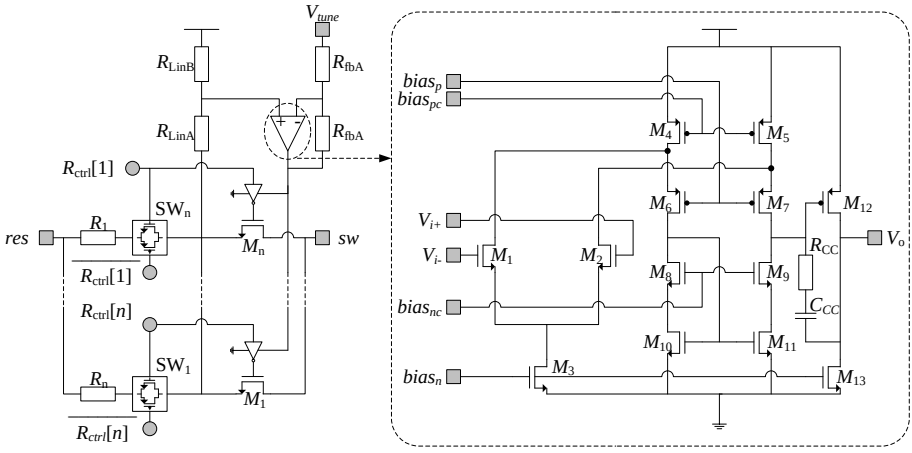
$$V_{i-} = V_{tune} + \frac{R_{fbA}}{R_{fbA} + R_{fbB}}\left(V_o - V_{tune}\right); \tag{S2.14}$$

$$V_{i+} = \frac{R_{oMn}\left(V_{supply}\left[R_n + R_{LinA}\right] + R_{LinB}V_{res}\right) + R_n\left(R_{LinB}V_{sw} + R_{LinA}V_{supply}\right)}{R_{oMn}\left(R_n + R_{LinA} + R_{LinB}\right) + R_n\left(R_{LinA} + R_{LinB}\right)}, \tag{S2.15}$$

here, A_0 is the open-loop gain of the active feedback amplifier; V_{res} and V_{sw} are common mode voltage levels at nodes *res* and *sw* respectively; R_n is the value of selected resistor, including the channel resistance of series-connected switch (SW_n); R_{oMn} is the channel

resistance of the continuously tunable MOSFET, where the resistance for the region of linear operation can be calculated from Eq. (S2.16).

$$R_{\mathrm{oM}n} = \frac{L}{W\mu_{\mathrm{n}}C_{\mathrm{ox}}\left(\left[V_{\mathrm{GS}} - V_{\mathrm{th}}\right] - \frac{V_{\mathrm{DS}}}{2}\right)}. \tag{S2.16}$$



a) b)

Fig. S.2.2. Proposed continuous tuning structure: a) resistor bank; b) active feedback amplifier

It was stated, that integrated analog filters are usually designed with self-tuning circuits to achieve tuning of value of passive components over the PVT spread. To evaluate the proposed discrete-step tuning block design, a self-tuning circuit is designed based on the frequency matching concept. The structure is shown in Fig. S.2.3.

The structure compares delay times of two signals. If the frequency of reference clock is low (less than 10 MHz), its delay in the digital circuits can be neglected and the period of that signal can be thought as constant. A divider is used to generate a lower frequency signal that is fed to the slave filter. A D flip-flop is then used as a phase detector to guide the counters in determining the correct tuning structure value.

The designed self-tuning circuit has two counters – one is based on successive approximation register (SAR) and the other is a simple binary counter. First, the SRM value is found, and only then the PRM value can be determined. During the SRM code search, PRM values are switched to the lowest possible value (switches of resistor bank are “on”).

While it was stated, that the delay in the digital circuits can be neglected, this is not the case if precise tuning is needed. Due to finite comparator gain, the output of this block is delayed which accumulates to an error in the range of several LSBs. To reduce this, a second comparator is proposed for the f_{latch} signal. An additional inverter delay line is used to further tune the delay mismatch across process corners.

The phase detector is implemented by the use of a D type flip-flop. The circuit is built using the true single phase clock logic, which requires small layout area, while having a faster response speed then the usual CMOS logic.

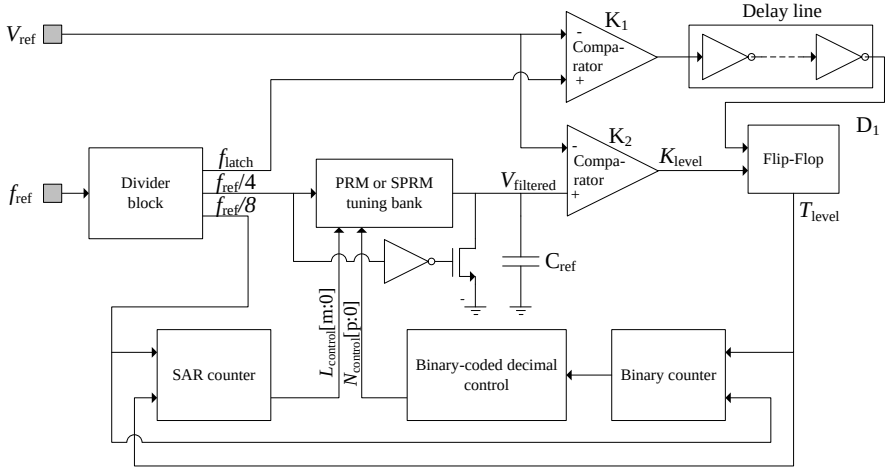


Fig. S.2.3. Self-tuning structure, that is used for the proposed discrete step resistor bank

3. Design and investigation of integrated continuous-time analog filters with discrete and continuous self-tuning circuits

The proposed SPRM tuning structure is analysed by designing a DTRF filter according to the proposed filter structure. It uses one biquad and one 4th order ladder stage. The biquad stage approximation can be digitally switched between Chebyshev, with a single 3 dB in-band ripple near its bandwidth, and Butterworth response. This is accomplished by adding an additional resistor bank in parallel to the first integrator feedback circuit. Two DTRF structures were designed – one using PRM and the other SPRM structures.

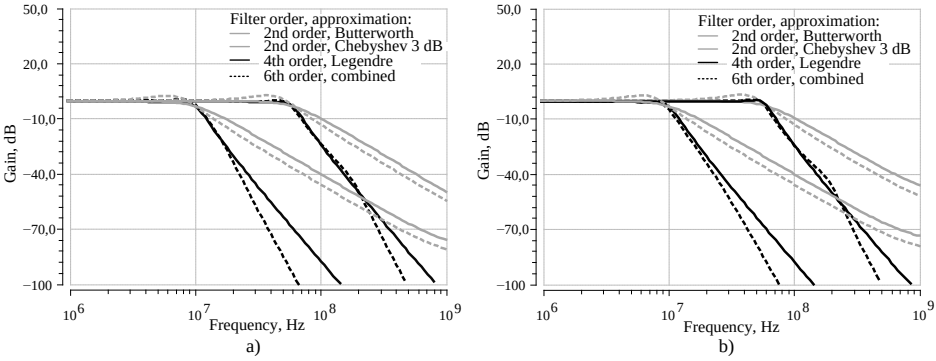


Fig. S.3.1. Discrete step tuning filter with a) parallel and b) series connected resistor matrix structures frequency configuration options shown at 10 and 60 MHz bandwidth

Designed filter frequency configurations can be seen in Fig S.3.1. Both SPRM and PRM structures have similar response, although the SPRM structure has higher peaking at 60 MHz bandwidth, due to additional parasitic capacitances and resistance present in the additional series connected MOSFET that controls the SRM.

Both DTRF filter structure parameters are shown in Table S.3.1. It can be seen, that both structures have very similar linearity and noise parameters. On average, filter with SPRM has a 2 dB worse SFDR value across all tested filter configuration conditions. This is mainly caused by the more complex nature of the tuning structure – additional series connected control MOSFETS slightly degrade the overall linearity of the filter. Increasing the MOSFET width helps to a point, where the parasitic capacitance at the source and drain terminals become dominant. Hence, SPRM structures that are used for higher bandwidth applications need to use a divider factor *k* value of no more than 4.

Table S.3.1. DTRF filter with PRM and SPRM structures main parameters with different filter configuration settings at 10 MHz and 60 MHz bandwidth

		Bandwidth = 10 MHz			Bandwidth = 60 MHz		
Filter order, approximation	Tuning structure	IIP3, dB	v_{out} (1 MHz), µV	SFDR (1 MHz), dB	IIP3, dB	v_{out} (10 MHz), µV	SFDR (10 MHz), dB
2nd order, Chebyshev 3 dB	PRM	32.13	33.86	77.19	32.69	86.76	71.36
	SPRM	31.36	30.49	76.87	31.73	85.94	70.72
2nd order, Butterworth	PRM	32.88	43.06	76.3	33.18	108.8	70.3
	SPRM	32.21	38.68	76.05	33.67	107.7	70.63
4th order, Legendre	PRM	35.74	34	79.4	33.13	89.28	71.35
	SPRM	32.41	34.45	77.03	28.77	90.09	68.4
6th order, Legendre	PRM	32.32	48.54	75.11	29.52	114.2	67.6
	SPRM	29.74	46.28	73.48	27	112.8	65.93

At the start of the tuning cycle, the circuit is in a reset state indicated by the low output levels for all control signal values (with the exception for SRM control value, which is held constant by internal logic). PRM structure control code is found in 6.4 µs by using the SAR register when reference clock is set to 10 MHz.

SPRM structure tuning cycle begins with the SRM control value acquisition. The PRM control values at this point are set to maximum value. This way, a condition is set-up so that a SRM value closest to the minimum value of the PRM is found. Since PRM values have a slightly smaller control step near the minimum resistor bank value setting, this kind of approach allows more precise control signal detection. The final control value for both resistor banks is found in 10.4 µs.

Four types of modifications were tested with the designed indirect self-tuning circuit:

1. Structure [1]: comparator K_2 is replaced with an ideal model; f_{latch} signal is connected directly to the input of D_1 flip-flop.
2. Structure [2]: comparator K_2 is a real component; f_{latch} signal is connected directly to the input of D_1 flip-flop.
3. Structure [3]: comparator K_2 is a real component; f_{latch} signal is connected to the input of D_1 flip-flop via an additional comparator K_1, which share the same structure with K_2.
4. Structure [4]: comparator K_2 is a real component; f_{latch} signal is connected to the input of D_1 flip-flop via an additional comparator K_1, which share the same structure with K_2. An additional delay line is added to the output of K_1, and the delay value is determined by simulations at nominal corner conditions.

The results are presented in Table S.3.2. It can be seen, that if no delay line is added, the bandwidth tuning variation across all process corners is above 12 % for both structures when reference frequency is set to 10 MHz. If 1 MHz reference clock is used, the variation value drops below 3 %. Nonetheless, low frequency reference requires large capacitors if the same resistor banks are used as in the designed filter. Furthermore, reducing the reference clock increases the time required for the tuning procedure.

By adding an additional comparator in the f_{latch} signal path, the variation can be reduced by more than 5 % and 4 % respectively for the PRM and SPRM structures when the reference clock is kept at 10 MHz. Adding an additional delay line, based on the simulation results at nominal corner, variations across all corners are reduced to below 1 % and 2.5 % respectively for the same structures.

Table S.3.2. Bandwidth variation with control values calculated by the self-tuning circuit across all corner settings

		Bandwidth variation mean across all process corners, %			
Tuning structure	f_{ref}, MHz	Structure [1]	Structure [2]	Structure [3]	Structure [4]
PRM	10	1.04	12.07	6.76	0.91
	1	0.01	2.16	1.72	0.03
SPRM	10	2.33	12.58	7.80	2.44
	1	0.58	2.64	2.33	1.36

Continuously tuneable structures used for proposed CTRF investigation are shown in Fig S.3.2. A total of 5 different structures were analysed:

1. Cross-coupled MOS (CC-MOS, Fig. S.3.2. a)).
2. Impedance multiplier structure (IM-MOS, Fig. S.3.2. b)).
3. The proposed structure with active feedback when the voltage controlled transistor is connected in series without an additional parallel connected resistor (series CTAF, Fig. S.3.2. c)).

4. The proposed structure with active feedback where one resistor is connected in parallel to the voltage controlled transistor (CTAF1, Fig. S.3.2. d)).
5. The proposed structure with active feedback with two active elements both has a separate parallel connected resistor (CTAF2, Fig. S.3.2. e)).

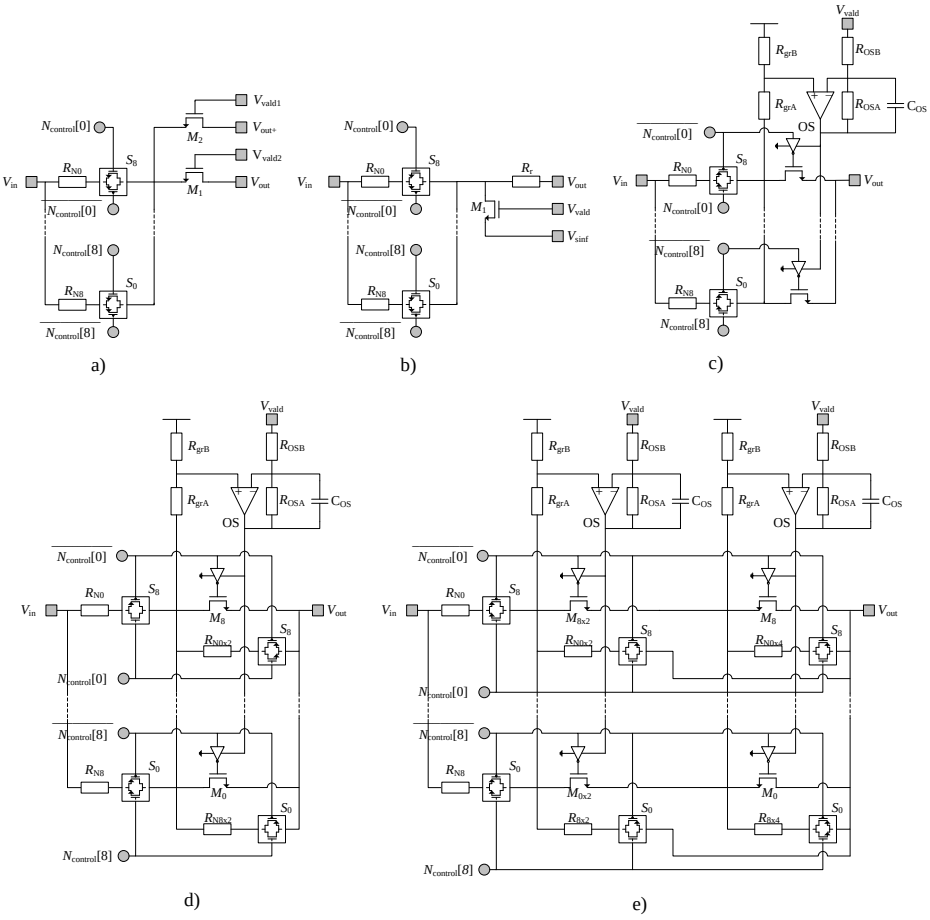


Fig. S.3.2. Investigated continuously tuneable structures: a) CC-MOS; b) IM-MOS; c) series connected CTAF; d) CTAF1; e) CTAF2

The results of the investigated continuously tuneable structures is presented in Table S.3.3. The bandwidth is set to 20 MHz and 60 MHz with the use of discrete resistor and capacitor bank controls. The bandwidth is then tuned only by the use of control voltage. For 20 MHz bandwidth linearity measurements, two tone analysis was used with a 1 $V_{pk\text{-}pk}$ differential input signal. Tone frequency was set to 1 MHz and 1.1

MHz respectively. For 60 MHz bandwidth measurements, the tone frequency was changed to 10 MHz and 11 MHz, while the amplitude remained the same.

Table S.3.3. Biquad filter parameters with different continuously tuneable resistor bank structures when filter bandwidth is set to 20 MHz and 60 MHz

		Bandwidth = 20 MHz			Bandwidth = 60 MHz		
Continuously tuneable structures	Tuning range *ω, %*	IIP3, dB	v_{out} (1 MHz), µV	SFDR (1 MHz), dB	IIP3, dB	v_{out} (10 MHz), µV	SFDR (10 MHz), dB
CC-MOS	15	31.1	146.9	70.1	29.69	185.00	65.76
IM-MOS		32.9	103	72.8	31.69	147.60	68.19
Series CTAF		32.6	33.2	78.2	27.66	78.53	68.75
CTAF1		36.45	33.5	80.3	30.79	78.27	70.78
CTAF2		34.5	33.9	79.2	31.20	80.09	71.01
CC-MOS	40	27.3	401	62.4	24.85	416.10	58.24
IM-MOS		28.9	296	64.89	27.23	357.30	60.55
Series CTAF		20.5	36.1	69.3	16.30	91.50	60.03
CTAF1		23.9	22.8	71.31	17.26	94.50	60.81
CTAF2		28.56	37.9	74.33	18.50	99.40	62.14

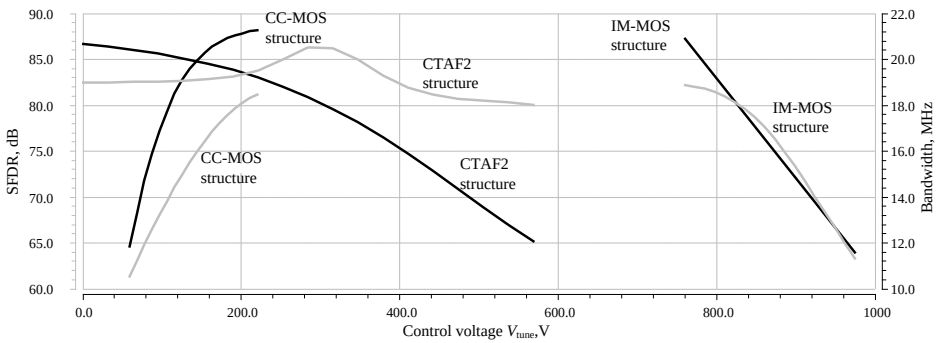


Fig. S.3.3. Biquad filter with CTAF2, CC-MOS and IM-MOS tuning structures SFDR and bandwidth values versus tuning control voltage when the frequencies of two-tone intermodulation measurement uses f_1=100 kHz, and f_2=140 kHz

The results show that compared to CC-MOS and IM-MOS structures, the proposed CTAF2 has a 9 dB better SFDR value when the filter is tuned across 40 % when the bandwidth is set to 20 MHz. At 60 MHz bandwidth, the SFDR value difference is smaller, where CTAF2 has only 1.5 dB better SFDR value compared to CC-MOS and

IM-MOS structures. The difference is mainly caused by the speed limitations of the active element in the feedback path.

Fig. S.3.3 shows CTAF2 structure SFDR value compared to CC-MOS and IM-MOS structures, when the linearity measurement uses a two tone analysis with tone frequencies set at 100 kHz and 140 kHz and the input signal amplitude equal to 1 V_{pk-pk}. It can be seen, that the SFDR value for the CTAF2 structure across 40 % bandwidth tuning range decreases only by 2 dB, compared to nearly 20 dB with CC-MOS and IM-MOS structures.

General conclusions

1. Tuning structures of integrated analog active RC filters with self-tuning circuits are designed and investigated, which allow calculation of discretely and (or) continuously controlled tuning matrixes, which are used for tuning of integrated analog active RC filters' bandwidth with needed precision and compensation of bandwidth variation, induced by environment and technology process variation.

2. Structure of discretely-controlled resistors' matrix is created and method for design of such matrixes is proposed, which allows to calculate needed resistor number and resistance of the structure, when are known margins of filters' bandwidth correction and minimum step of correction.

3. Continuously-controlled tuning structure (CTAF) is created, which uses feedback with active component to straighten operational curve of transistor. Proposed structure allows avoiding requirement for doubling of control voltage and control range is extended.

4. Composed self-tuning circuit, based on structure of delay loop, is made for automated correction of variations of values of created discretely-controlled resistors' matrix. Self-tuning circuit uses two different counters and can be used to tune series-connected and parallel-connected resistors' matrixes.

5. For structure of discretely-controlled 6 kΩ series-connected and parallel-connected resistors' matrix (SPRM), which has 40 % tuning margin and 1.5 % maximum tuning step, value of resistors, which are forming matrix, is needed 15 times smaller in comparison to structure of parallel-connected resistors' matrix (PRM) of same parameters.

6. Created indirect self-tuning circuit, which is based on measurement of time constant's variation, together with additional delay line ensures average 1 % tuning error of bandwidth of discretely-controlled filters' with PRM structure in all corners of integrated circuit and temperature range from −40 °C to 80 °C, when 10 MHz reference signal is used.

7. Proposed continuously-controlled tuning structure's (CTAF2) value of dynamic range without side signals, in comparison to impedance multiplier and crossed MOS tuning structures, is at least 9 dB larger, when bandwidth of continuously-controlled filter is continuously tuning in 40 % range and frequency of tones, used for measurement of input-referred third order intercept point, is not larger than 1.1 MHz.

Priedai[3]

A priedas. Suprojektuotų struktūrų topologijos
B priedas. Papildomi kompiuterinio modeliavimo rezultatai
C priedas. Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje
D priedas. Disertacijos autoriaus sąžiningumo deklaracija
E priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos

[3] Priedai pateikiami pridėtoje kompaktinėje plokštelėje

Karolis KIELA

INTEGRINIŲ ANALOGINIŲ FILTRŲ
BELAIDŽIO RYŠIO SISTEMOMS KŪRIMAS

Daktaro disertacija

Technologijos mokslai,
elektros ir elektronikos inžinerija (01T)

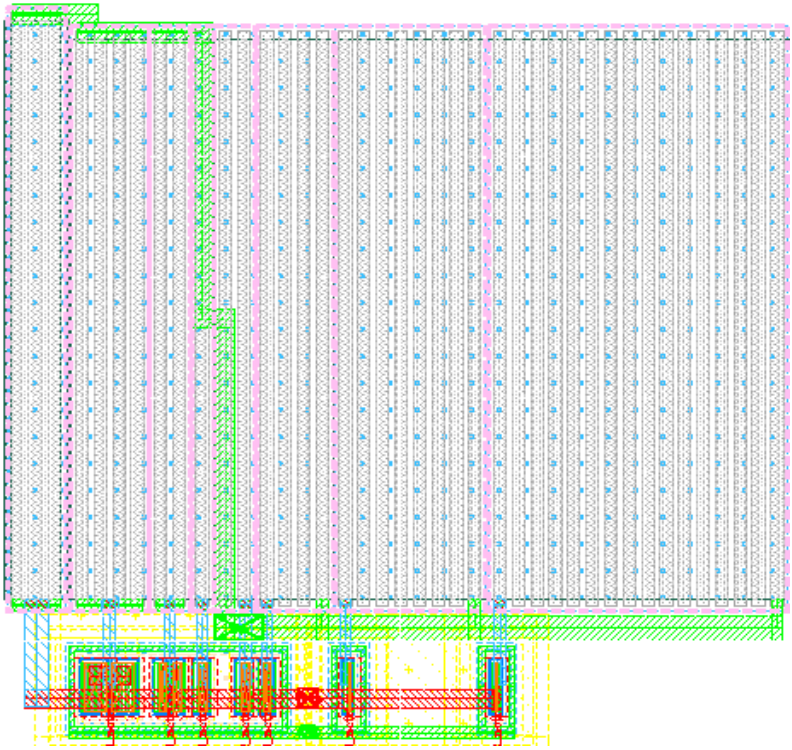
DESIGN OF INTEGRATED ANALOG FILTERS
FOR WIRELESS COMMUNICATION SYSTEMS

Doctoral Dissertation

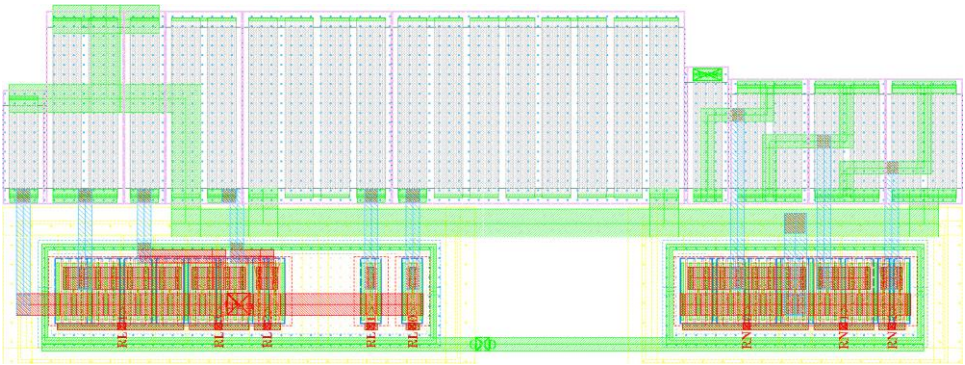
Technological Sciences,
Electrical and Electronic Engineering (01T)

2017 02 09. 16,0 sp. l. Tiražas 20 egz.
Vilniaus Gedimino technikos universiteto
leidykla „Technika“,
Saulėtekio al. 11, 10223 Vilnius,
http://leidykla.vgtu.lt
Spausdino BĮ UAB „Baltijos kopija“
Kareivių g. 13B, 09109 Vilnius

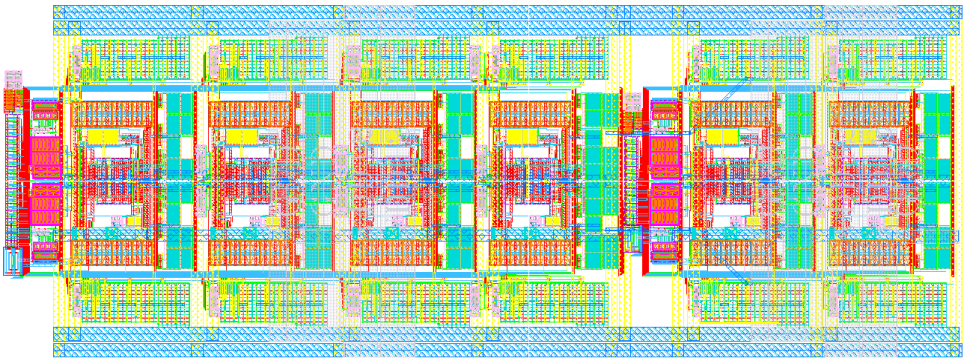
A priedas. Suprojektuotų struktūrų topologijos



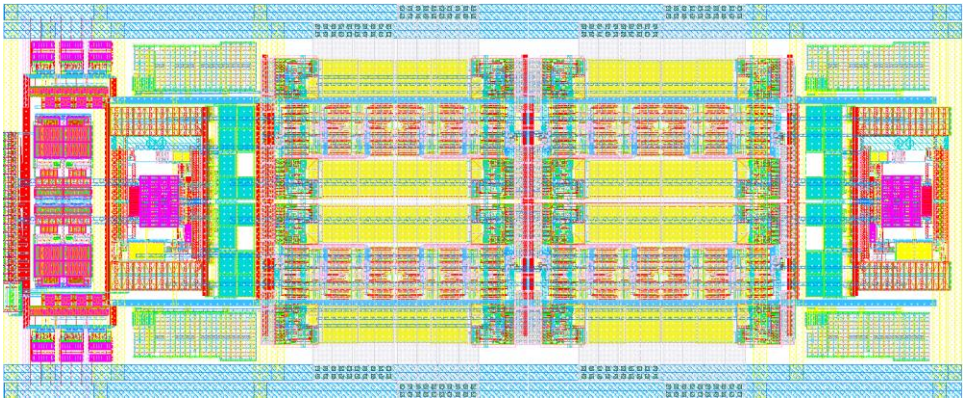
A.1 pav. 6 kΩ nominalo LRM topologija. Užimamas plotas: 32 µm × 31,2 µm
Fig A.1. 6 kΩ PRM structure. Occupied area: 32 µm × 31,2 µm



A.2 pav. 6 kΩ nominalo NLRM topologija. Užimamas plotas: 33,4 µm × 12,5 µm
Fig A.2. 6 kΩ SPRM structure. Occupied area: 33,4 µm × 12,5 µm

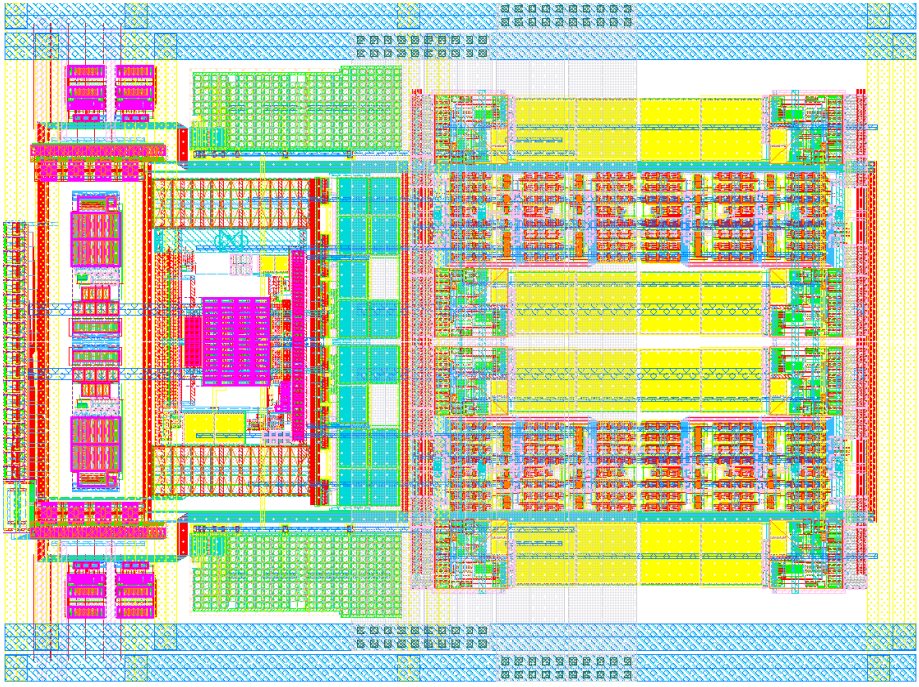


A.3 pav. DKF filtro su LRM derinimo struktūromis topologija. Užimamas plotas: 830 µm × 310 µm
Fig A.3. Layout view of the DTF with PRM structure. Occupied area: 830 µm × 310 µm



A.4 pav. TKF filtro su TAGR2 derinimo struktūromis BiF pakopos topologija. Užimamas plotas: 725 µm × 307 µm

Fig A.4. Layout view of the CTRF biquad stage with CTAF2 structure. Occupied area: 725 µm × 307 µm



A.5 pav. TKF filtro su TAGR2 derinimo pirmos pakopos topologija. Užimamas plotas: 410 µm × 307 µm

Fig A.5. Layout view of the CTRF single pole stage with CTAF2 structure. Occupied area: 410 µm × 307 µm

B priedas. Papildomi kompiuterinio modeliavimo rezultatai

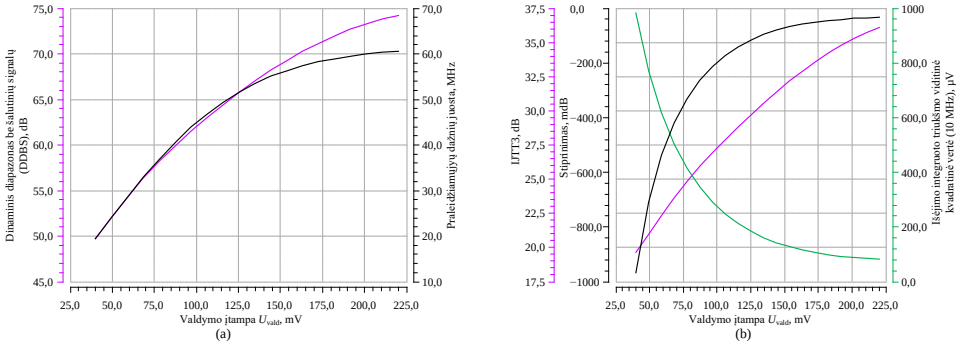
B.1 lentelė. Filtrų su LRM struktūromis PDJ gauta naudojant savaiminio derinimo grandyno apskaičiuotas vertes ribinėse IG sąlygose.
Table B.1. Filter with PRM tuning blocks bandwidth with calculated by the self-tuning circuit across all corner settings

		Filtro $f_{nominalus}$ = 10,13 MHz. Gauta filtro PDJ su savaiminio derinimo grandyno nustatytomis $L_{valdymas}$[6:0] vertėmis			
Ribinės sąlygos	f_{atr}, MHz	Struktūra [1], MHz	Struktūra [2], MHz	Struktūra [3], MHz	Struktūra [4], MHz
Nominali, −40 °C	10	10,17	11,23	10,80	10,17
Nominali, 0 °C		10,22	11,29	10,75	10,22
Nominali, 40 °C		10,24	11,33	10,78	10,13
Nominali, 80 °C		10,24	11,34	10,80	10,13
Lėta, −40 °C		10,29	11,38	10,84	10,29
Lėta, 0 °C		10,31	11,43	10,87	10,31
Lėta, 40 °C		10,30	11,51	10,86	10,30
Lėta, 80 °C		10,34	11,57	10,92	10,26
Greita, −40 °C		10,16	11,21	10,76	10,31
Greita, 0 °C		10,16	11,23	10,77	10,16
Greita, 40 °C		10,14	11,37	10,76	10,14
Greita, 80 °C		10,25	11,34	10,87	10,25
Nominali, −40 °C	1	10,06	10,28	10,28	10,17
Nominali, 0 °C		10,11	10,33	10,33	10,11
Nominali, 40 °C		10,13	10,35	10,24	10,13
Nominali, 80 °C		10,13	10,35	10,24	10,02
Lėta, −40 °C		10,13	10,37	10,29	10,13
Lėta, 0 °C		10,15	10,39	10,31	10,15
Lėta, 40 °C		10,14	10,38	10,38	10,14
Lėta, 80 °C		10,17	10,42	10,42	10,17
Greita, −40 °C		10,16	10,31	10,31	10,16
Greita, 0 °C		10,16	10,31	10,31	10,16
Greita, 40 °C		10,14	10,29	10,29	10,14

Greita, 80 °C		10,09	10,40	10,25	10,09

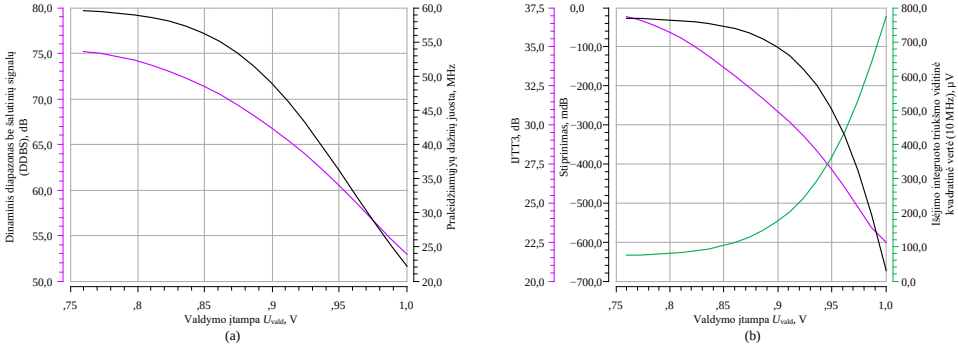
B.2 lentelė. Filtrų su NLRM struktūromis PDJ gauta naudojant savaiminio derinimo grandyno apskaičiuotas vertes ribinėse IG sąlygose.
Table B.2. Filter with SPRM tuning blocks bandwidth with calculated by the self-tuning circuit across all corner settings

		Filtro $f_{nominalus}$ = 10,5 MHz. Gauta filtro PDJ su savaiminio derinimo grandyno nustatytomis $L_{valdymas}$[6:0] vertėmis			
Ribinės sąlygos	f_{atr}, MHz	Struktūra [1], MHz	Struktūra [2], MHz	Struktūra [3], MHz	Struktūra [4], MHz
Nominali, −40 °C	10	10,74	11,71	11,29	10,74
Nominali, 0 °C		10,74	11,68	11,19	10,74
Nominali, 40 °C		10,69	11,71	11,19	10,69
Nominali, 80 °C		10,61	11,83	11,31	10,61
Lėta, −40 °C		11,2	12,15	11,78	11,33
Lėta, 0 °C		11,13	12,11	11,67	11,13
Lėta, 40 °C		10,98	12,08	11,59	10,98
Lėta, 80 °C		10,94	11,99	11,44	10,94
Greita, −40 °C		10,44	11,6	11,03	10,44
Greita, 0 °C		10,49	11,57	11,06	10,49
Greita, 40 °C		10,5	11,71	11,12	10,5
Greita, 80 °C		10,48	11,71	11,16	10,48
Nominali, −40 °C	1	10,58	10,74	10,74	10,74
Nominali, 0 °C		10,56	10,74	10,74	10,37
Nominali, 40 °C		10,5	10,69	10,69	10,38
Nominali, 80 °C		10,4	10,61	10,61	10,37
Lėta, −40 °C		11,07	11,33	11,2	11,2
Lėta, 0 °C		10,98	11,13	11,13	11,13
Lėta, 40 °C		10,81	11,14	10,98	10,98
Lėta, 80 °C		10,74	10,94	10,94	10,94
Greita, −40 °C		10,32	10,54	10,44	10,44
Greita, 0 °C		10,23	10,49	10,49	10,36
Greita, 40 °C		10,21	10,5	10,5	10,36
Greita, 80 °C		10,33	10,48	10,48	10,44



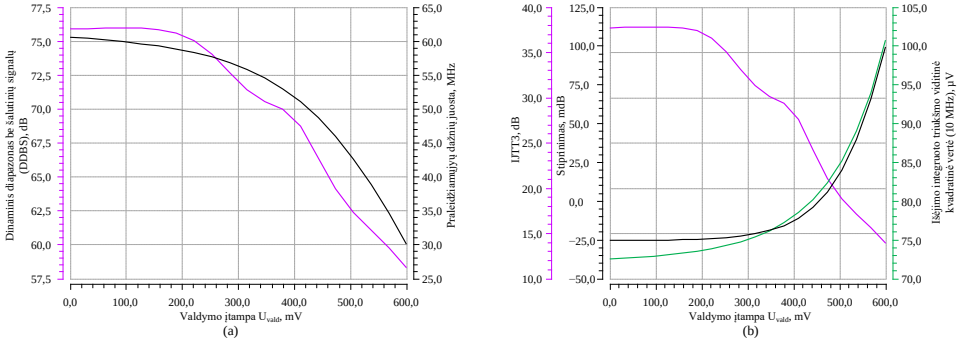
B.1 pav. BiF su SK-MOP derinimo struktūra konfigūruota 60 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 10 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig B.1. Biquad filter with CC-MOS tuning structure set for 60 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 10 MHz bandwidth versus continuous control voltage



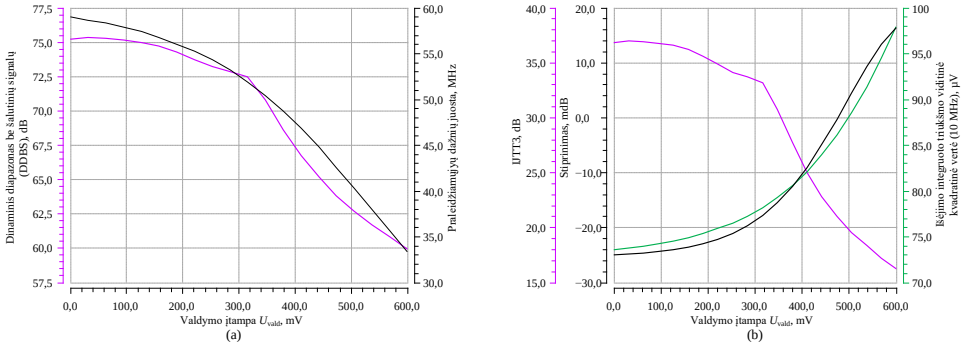
B.2 pav. BiF su ID-MOP derinimo struktūra konfigūruota 60 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 10 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig. B.2. Biquad filter with IM-MOS tuning structure set for 60 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 10 MHz bandwidth versus continuous control voltage



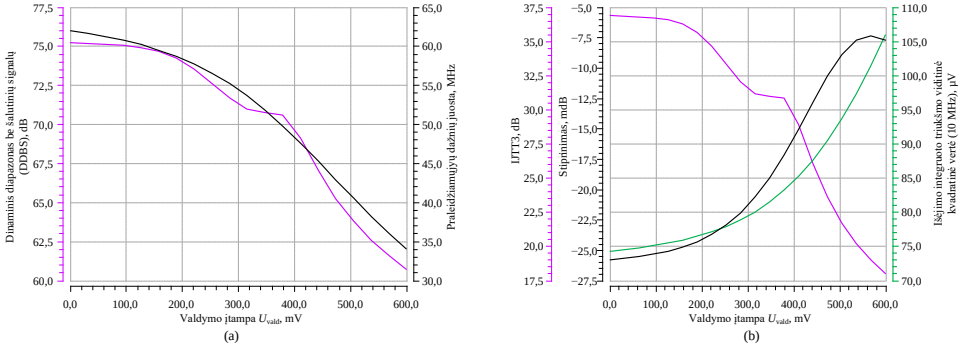
B.3 pav. BiF su nuoseklia TAGR derinimo struktūra konfigūruota 60 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 10 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig. B.3. Biquad filter with series connected CTAF tuning structure set for 60 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 10 MHz bandwidth versus continuous control voltage



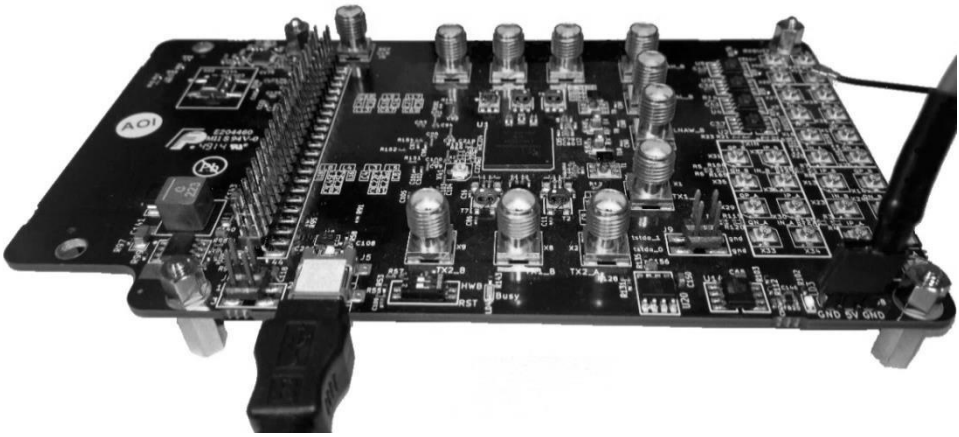
B.4 pav. BiF su TAGR1 derinimo struktūra konfigūruota 60 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 10 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig. B.4. Biquad filter with CTAF1 tuning structure set for 60 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 10 MHz bandwidth versus continuous control voltage



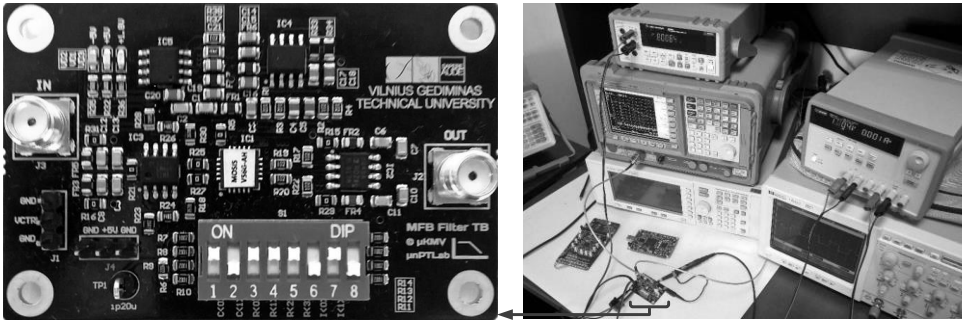
B.5 pav. BiF su TAGR2 derinimo struktūra konfigūruota 60 MHz PDJ: a) DDBS ir PDJ; b) IJTT3, stiprinimo ir išėjimo 10 MHz juostoje integruoto triukšmo vidutinės vertės priklausomybė nuo valdymo įtampos

Fig. B.5. Biquad filter with CTAF2 tuning structure set for 60 MHz bandwidth: a) SFDR and bandwidth; b) in-band IIP3, gain and voltage noise over a 10 MHz bandwidth versus continuous control voltage



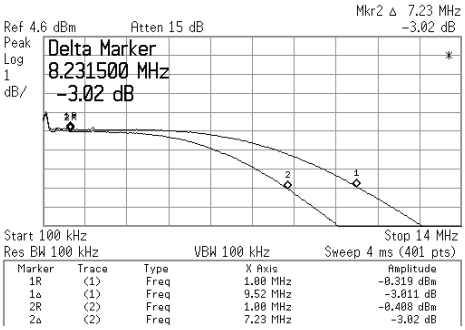
B.6 pav. Tikrinimo sistema, naudojama filtrų savaiminio derinimo būdui tirti

Fig. B.6. Evaluation board, used for the proposed filter tuning method verification

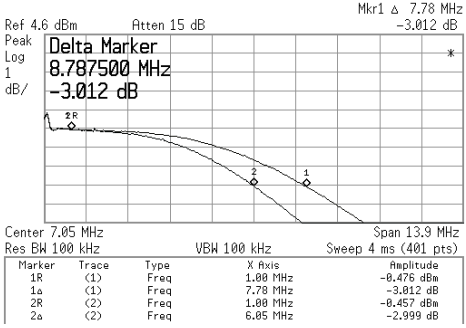


a) b)

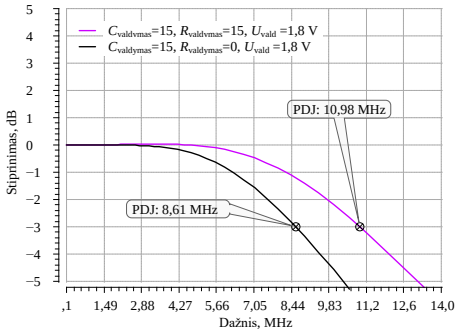
B.7 pav. Eksperimentinio tyrimo: a) spausdintinės plokštės, naudotos pagaminto lusto eksperimentiniams tyrimams, vaizdas;
b) stendas, naudotas pagaminto filtro eksperimentiniams tyrimams
Fig. B.7. Experimental investigation: a) PCB used for the manufactured MFB filter measurments; b) setup used for measurments of the manufactured filter IC



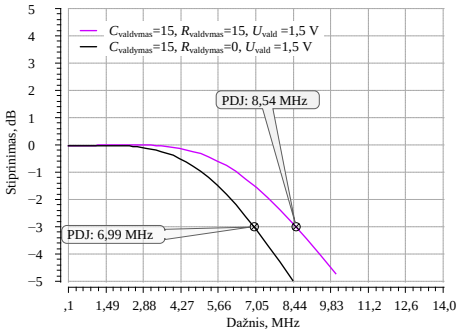
a)



b)



c)



d)

B.8 pav. Tiriamo suprojektuoto filtro DACh, kada C_{valdymas} vertė nustatyta į 3, o R_{valdymas} vertė keičiama tarp 0 ir 15: a) išmatuotas DACh su U_{vald}=1,8 V; b) išmatuotas DACh su U_{vald}=1,5 V; c) kompiuterinio skaičiavimo metu gautas DACh su U_{vald}=1,8 V; d) kompiuterinio skaičiavimo metu gautas DACh su U_{vald}=1,5 V

Fig. B.8. The designed filter magnitude response when C_{valdymas} is set to 3, and R_{valdymas} is varied between 0 and 15: a) measured magnitude response with U_{vald}=1.8 V; b) measured magnitude response with U_{vald}=1.5 V; c) simulated magnitude response with U_{vald}=1.8 V; d) simulated magnitude response with U_{vald}=1.5 V

C priedas. Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje

D priedas. Disertacijos autoriaus sąžiningumo deklaracija

E priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos

(Cicalini *et al.* 2011; Masuch *et al.* 2013: 1660–1673; Mason *et al.* 2012: 1800–1809; Chen *et al.* 2011: 144–148; Amaral *et al.* 2012; Lee *et al.* 2011: 427–428; Abdollahi-Alibeik *et al.* 2011: 170–172; Sungho *et al.* 2011: 1328–1331; Suzuki *et al.* 2002: 1242–1248; Ruffieux *et al.* 2009: 228–239; Gao *et al.* 2006: 5--pp; Kobayashi *et al.* 2014: 20142001; Gross *et al.* 2010: 431–434; Nilsson *et al.* 2011: 366–368; Winoto *et al.* 2012: 395–398; Thede 2005; Tan *et al.* 2012: 76–77; Choi *et al.* 2012: 125–128; Geis *et al.* 2009: 285–288; Siligaris *et al.* 2011: 3005–3017)