

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY

Giedrius MASALSKIS

DEVELOPMENT AND ANALYSIS
OF INTEGRATED CIRCUIT TOPOLOGY
ELEMENT RECOGNITION SYSTEM

SUMMARY OF DOCTORAL DISSERTATION

TECHNOLOGICAL SCIENCES,
ELECTRICAL AND ELECTRONIC ENGINEERING (01T)



Vilnius LEIDYKLA
TECHNIKA 2010

Doctoral dissertation was prepared at Vilnius Gediminas Technical University in 2006–2010.

Scientific Supervisor

Prof Dr Habil Romualdas NAVICKAS (Vilnius Gediminas Technical University, Technological Sciences, Electrical and Electronic Engineering – 01T).

The dissertation is being defended at the Council of Scientific Field of Electrical and Electronic Engineering at Vilnius Gediminas Technical University:
Chairman

Prof Dr Habil Romanas MARTAVIČIUS (Vilnius Gediminas Technical University, Technological Sciences, Electrical and Electronic Engineering – 01T).

Members:

Prof Dr Eduardas BAREIŠA (Kaunas University of Technology, Technological Sciences, Informatics Engineering – 07T),

Assoc Prof Dr Šarūnas PAULIKAS (Vilnius Gediminas Technical University, Technological Sciences, Electrical and Electronic Engineering – 01T),

Prof Dr Habil Stanislavas SAKALAUSKAS (Vilnius University, Technological Sciences, Electrical and Electronic Engineering – 01T),

Prof Dr Habil Julius SKUDUTIS (Vilnius Gediminas Technical University, Technological Sciences, Informatics Engineering – 01T).

Opponents:

Prof Dr Dalius NAVAKAUSKAS (Vilnius Gediminas Technical University, Technological Sciences, Electrical and Electronic Engineering – 01T),

Prof Dr Habil Rimvydas SIMUTIS (Kaunas University of Technology, Technological Sciences, Informatics Engineering – 07T).

The dissertation will be defended at the public meeting of the Council of Scientific Field of Electrical and Electronic Engineering in the Senate Hall of Vilnius Gediminas Technical University at 1 p.m. on 14 January 2011.

Address: Saulėtekio al. 11, LT-10223 Vilnius, Lithuania.

Tel. +370 5 274 49 52, +370 5 274 49 56; fax +370 5 270 01 12;

e-mail: *doktor@adm.vgtu.lt*

The summary of the doctoral dissertation was distributed on 14 December 2010.

A copy of the doctoral dissertation is available for review at the Library of Vilnius Gediminas Technical University (Saulėtekio al. 14, LT-10223 Vilnius, Lithuania).

VILNIAUS GEDIMINO TECHNIKOS UNIVERSITETAS

Giedrius MASALSKIS

INTEGRINIŲ GRANDYNŲ TOPOLOGIJOS ELEMENTŲ ATPAŽINIMO SISTEMOS SUKŪRIMAS IR TYRIMAS

DAKTARO DISERTACIJOS SANTRAUKA

TECHNOLOGIJOS MOKSLAI,
ELEKTROS IR ELEKTRONIKOS INŽINERIJA (01T)



Vilnius LEIDYKLA
TECHNIKA 2010

Disertacija rengta 2006–2010 metais Vilniaus Gedimino technikos universitete.
Mokslinis vadovas

prof. habil. dr. Romualdas NAVICKAS (Vilniaus Gedimino technikos universitetas, technologijos mokslai, elektros ir elektronikos inžinerija – 01T).

Disertacija ginama Vilniaus Gedimino technikos universiteto Elektros ir elektronikos inžinerijos mokslo krypties taryboje:

Pirmininkas

prof. habil. dr. Romanas MARTAVIČIUS (Vilniaus Gedimino technikos universitetas, technologijos mokslai, elektros ir elektronikos inžinerija – 01T).

Nariai:

prof. dr. Eduardas BAREIŠA (Kauno technologijos universitetas, technologijos mokslai, informatikos inžinerija – 07T),

doc. dr. Šarūnas PAULIKAS (Vilniaus Gedimino technikos universitetas, technologijos mokslai, elektros ir elektronikos inžinerija – 01T),

prof. habil. dr. Stanislavas SAKALAUSKAS (Vilniaus universitetas, technologijos mokslai, elektros ir elektronikos inžinerija – 01T),

prof. habil. dr. Julius SKUDUTIS (Vilniaus Gedimino technikos universitetas, technologijos mokslai, informatikos inžinerija – 01T).

Oponentai:

prof. dr. Dalius NAVAKAUSKAS (Vilniaus Gedimino technikos universitetas, technologijos mokslai, elektros ir elektronikos inžinerija – 01T),

prof. habil. dr. Rimvydas SIMUTIS (Kauno technologijos universitetas, technologijos mokslai, informatikos inžinerija – 07T).

Disertacija bus ginama Elektros ir elektronikos inžinerijos mokslo krypties tarybos posėdyje 2011 m. sausio 14 d. 13 val. Vilniaus Gedimino technikos universiteto senato posėdžių salėje.

Adresas: Saulėtekio al. 11, LT-10223 Vilnius, Lietuva.

Tel.: (8 5) 274 49 52, (8 5) 274 49 56; faksas (8 5) 270 01 12;

el. paštas *doktor@adm.vgtu.lt*

Disertacijos santrauka išsiuntinėta 2010 m. gruodžio mėn. 14 d.

Disertaciją galima peržiūrėti Vilniaus Gedimino technikos universiteto bibliotekoje (Saulėtekio al. 14, LT-10223 Vilnius, Lietuva).

VGTU leidyklos „Technika“ 1835-M mokslo literatūros knyga.

Introduction

Problem under Investigation

Mainstream course in integrated circuit (IC) design and manufacturing industry demands that complexity and size of IC devices is constantly increasing and therefore it becomes progressively difficult to perform fault testing on new devices. IC verification becomes larger part of IC design manufacturing process every year. One of possible solutions to this problem is visual IC verification during or after manufacturing. Visual verification is a process which consists of automated acquisition, processing, analysis and verification of functional structure data in every significant IC layer. Verification step is performed by comparing actual extracted layout data from IC with initial chip design.

During manufacturing ICs are created from many layers, primary of which are active regions, poly-silicon (or metal) transistor electrode regions, inter-layer contacts (vias) and metal wire layers. Structural elements in each of these layer have varying properties. Some of the properties are similar but mostly structural elements are different and therefore it is difficult to define universal algorithms suitable for visual analysis of all layers. The best approach to IC layer structure analysis is to create specialized methods for layers with different properties and unify their application in single software-implemented system. Such system was designed and created during research performed in this dissertation. The system was used to implement, test and apply all methods and algorithms described in this thesis.

Research problem of this doctoral dissertation is automated visual data processing and analysis with aim to extract accurate vector representation of functional structures in IC layers.

Topicality of the Research Work

Europe has effective infrastructure for research and manufacturing of semiconductors. There are several world-class semiconductors research centers in EU: IMEC (Belgium), CEA-LETI (France) and Fraunhofer VME (Germany). Lithuania also has several smaller semiconductor research and design centers in Vilnius and Kaunas. Currently there is an ongoing government funded project to establish National Center of Physical and Technological Sciences. Micro- and Nanoelectronic Systems Design and Research Laboratory is planned as part of this national science center. Prof R. Navickas is head scientist of this laboratory, V. Barzdėnas is responsible for IC design section and G. Masalskis is responsible for IC research section.

Lithuanian engineers have especially good perspectives in this field because it requires people of high qualification and not expensive equipment or materials. Also design-houses may be small or medium companies which are very supported

by European Union and Lithuanian Ministry of Economy. There already are several companies established with Lithuanian or foreign capital in this field: JSC Lime Microsystems, JSC KMSD, JSC Baltic Microchip, JSC Radiolinija, etc.

There is a group of integrated circuit and system designers, technology specialists and PhD students in VGTU Faculty of Electronics. This group is led by prof. R. Navickas. Other Lithuanian universities are also preparing PhD students in this field: KTU, VDU and VU. They are being led by Prof R. Šeinauskas, Prof E. Bareiša, Prof K. Motiejūnas, Prof V. Jusas, Prof S. Tamulevičius, Prof R. Anilionis, Acad L. Pranevičius, Acad J. Vaitkus and others. Image analysis research is also done by many scientists in VGTU: Prof R. Martavičius, Prof D. Navakauskas, Dr A. Ušinskas and others. Groups of scientists are also working in this field in KTU (Prof R. Simutis, Prof A. Verikas, Prof A. Lukoševičius and others).

Research Object

The main research object in this thesis automated recognition methods of IC layer structures.

The Aim of the Work

The aim of this dissertation is to develop and test methods and system which is able to analyse images of IC layers and extract vector representation of their features.

Tasks of the Work

1. Develop image input hardware defect compensation algorithm and test its implementation.
2. Develop adaptive threshold segmentation algorithm and test its implementation.
3. Develop and test composite metal layer segmentation method.
4. Develop direct IC structure recognition algorithm and test its implementation.
5. Develop IC structure vectorization algorithm and test its implementation.

Applied Methods

Analytical methods and practical experiments for algorithm verification were used during performed research.

New algorithms and methods were developed, analytical equations created, implemented and tested in source code for IC visual analysis system. Experimental testing was performed using software which was developed.

The research results are summarized and compared to other research works.

Scientific Novelty and its Importance

1. Optical and scanning electron microscope-based image analysis system of IC topology structures was developed, which is based on images processing and analysis methods and is suitable for automated recognition of CMOS IC layout structures.
2. Image input hardware defect compensation algorithm was proposed, which enhances quality of initial optical microscope-based images and reduces error possibility in further image processing and analysis steps.
3. Adaptive threshold segmentation algorithm was proposed, which gives higher quality Q_s results than conventional bi-level segmentation algorithms and is less computation-intensive than other comparable algorithms. Q_s depends on correctly segmented pixel count ratio and on segmented object contour pixel count ratio.
4. Composite metal layer segmentation method was proposed, which enhances metal layer segmentation quality Q_s of adaptive threshold and other segmentation algorithms.
5. Proposed direct IC structure recognition algorithm based on template matching is suitable for IC structure image analysis when conventional segmentation-vectorization approach is not possible due to inadequate initial image quality.
6. Vectorization algorithm is able to analyze segmented images and convert raster format image to vector format, compatible with GDS II IC layout data format.

Practical Value of the Work Results

Proposed IC layer structure analysis methods were implemented in “RETool” software. It was applied for practical IC analysis at JSC Radiolinija branch Semiconductors Research and was used to analyze various different ICs manufactured at 180 nm and larger CMOS technologies.

Most of the images of analyzed ICs were obtained using optical microscopes. Some images were of low contrast and sharpness, especially for ICs manufactured using 250 nm and smaller technology scales. Images obtained using scanning electron microscopes (SEM) have much better contrast and focus characteristics which means algorithms presented in this thesis may also be applied for SEM images of even smaller scale ICs.

Statements Presented for Defense

1. Automated integrated circuit layer image analysis system is able to perform recognition of IC structural elements in raster images, store recognized data to vector file format used in CAD IC software. System is able to read/write

multiple raster image formats, it also contains functionality to create and apply complex raster image processing algorithm sequences to single or multiple image files at once. Processed raster image data is analyzed and exported as vector data to GDS II file format.

2. Image input hardware defect compensation algorithm enhances initial optical image quality and reduces error possibility in further image processing and analysis steps.
3. Adaptive threshold segmentation algorithm performs IC metal layer segmentation achieving quality Q_s level 0.91. Q_s depends on correctly segmented pixel count ratio and on segmented object contour pixel count ratio. Test images were obtained and using microscope optics with magnification level of 1 000 to 4 000 times and ICs were manufactured using 180 nm or larger scales.
4. Composite metal layer segmentation method achieves quality Q_s level 0.96 using image processing filter sequence before and after segmentation, compared to direct adaptive threshold segmentation where Q_s only reaches 0.91 for the same image sets.
5. Direct IC structure recognition algorithm is able to identify structures using templates. It is useful when image segmentation-vectorisation approach is not possible due to image properties.

Approval of the Work Results

Intermediate research results of this doctoral dissertation were published in peer-reviewed journals and conference proceedings. Two papers were published in journal “Electronics and Electrical Engineering” which is indexed by Thomson ISI Web of Science, one paper was published in journal “Science – Future of Lithuania” which is indexed by Index Copernicus, and one paper was published in SPIE Digital Library indexed conference proceedings.

Intermediate research results were also presented in the international conferences “Electronics” (2007–2010) and also in Young Scientists of Lithuania conferences (2007–2010).

The Scope of the Scientific Work

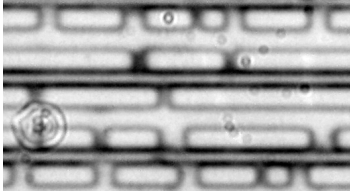
The scientific work includes introduction, lists of notations and abbreviations, four chapters, list of references, list of publications of author and co-authors on the subject of dissertation and annexes. The work covers 101 pages, 50 figures, 27 equations, 5 tables and 53 bibliographic sources.

2. Visual Analysis of Integrated Circuits

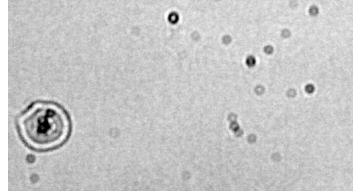
In thesis chapter 2, problems and their possible solutions are described related to IC layer types, properties, processing and analysis algorithms. Theoretical solutions are proposed for problems described and their application possibilities.

2.1. Input Hardware Defect Compensation Algorithm

Image input defect compensation algorithm enhances initial IC layer images which are obtained from optical microscopes. Some optical microscopes have defects such as dust on their lens or uneven light source which leaves traces visible in images obtained from them (Fig. 1). Such artifacts reduce image quality and may affect final image processing and analysis results. Using empty frame with no information, which is taken once every image capturing session, proposed algorithm reduces visibility of these defects in final IC layer images.



(a) Microscope optics defects visible in IC layer image



(b) Microscope optics defects visible in empty frame image

Fig. 1. Microscope optics defect example

Algorithm takes two images M and P_{in} as input data and calculates one output image P_{out} . M is the empty frame image and P_{in} is IC layer image with visible microscope defects. Algorithm operates using average intensity of empty frame M_g , average intensity $I(x)$ of pixel $P_{in}(x)$ area and defect compensation function (1), which calculates final resulting pixel intensity for each $P_{out}(x)$. Function of image input defect compensation algorithm:

$$P_{out}(x) = I(x) + \frac{I(x)}{M_g} (M_g - M(x)) , \quad (1)$$

where $M(x)$ empty frame pixel at position corresponding to pixel $P_{in}(x)$.

2.2. Segmentation Quality Evaluation

Segmentation quality during experiments is calculated using correctly segmented pixel count and total pixel count ratio A_o and acceptable (distance from reference pixel less than $1/4$ manufacturing grid size) segmented object contour

pixel count and total object contour pixel count ratio A_c :

$$Q_s = A_o \cdot A_c . \quad (2)$$

2.3. Adaptive Threshold Segmentation Function

To be able to extract features from IC layer images they must either be identified directly or vectorized after segmentation. New adaptive segmentation algorithm was developed for this task. The goal was to create segmentation algorithm with the following characteristics: operation in varying image brightness conditions, accurate edges of foreground objects, noise immunity, computationally simple implementation.

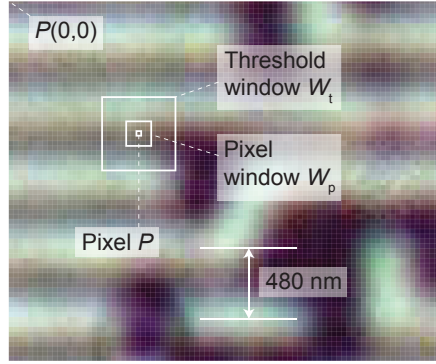


Fig. 2. Pixel level image fragment

Algorithm is based on multiple average value calculations. Algorithm proposed in this paper has three tune-able values: w_p – length of pixel window side, w_t – length of threshold window side, s – sensitivity value. There are two windows of adjustable sizes. Average value in smaller window (pixel window W_p) defines its centre pixel brightness value I (Fig. 2). It is expressed as arithmetic mean of all pixel intensities in the window. $n = w_p^2$ – pixel count in pixel window, P_i – i -th pixel's intensity value in window W_p . Average value in larger window (threshold window W_t) defines local threshold value T_l which is also calculated as arithmetic mean of pixel intensities in larger window. $m = w_t^2$ defines pixel count in threshold window W_t . Sensitivity s represents lowest reliable value of absolute difference between pixel intensity value I and local threshold value T_l . If value $|I - T_l|$ is higher or equal than s then calculation of foreground or background pixel is reliable 3. If absolute difference is lower than s then threshold value of such pixel is calculated

using expression in third line of the following equation:

$$B = \begin{cases} 0, & \text{when } I < T_1 \text{ and } |I - T_1| \geq s \\ 1, & \text{when } I \geq T_1 \text{ and } |I - T_1| \geq s \\ B_{gt}, & \text{when } |I - T_1| < s \end{cases} \quad (3)$$

where B is final pixel binary value after threshold operation, B_{gt} indicates binary value assignment by comparison to arithmetic mean of all pixel intensity values of complete image T_g .

2.4. Composite Post-Processing Method for IC Metal Layer Images

Adaptive threshold algorithm produces correctly segmented object shapes in many cases but in more complex image quality cases, segmentation results may still contain unnecessary artifacts and jagged edges (Fig. 3, a).

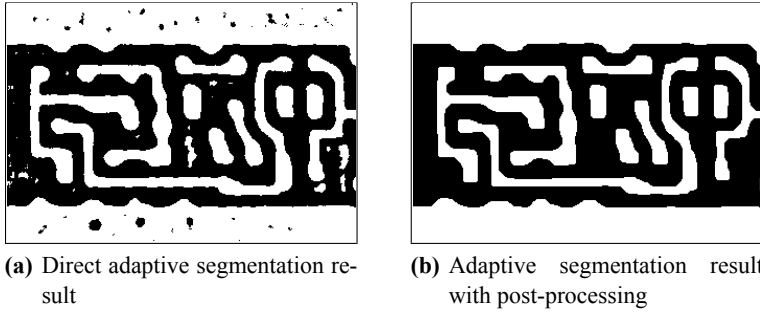


Fig. 3. Post processing example

To produce final usable segmented image, image filtering algorithm sequence was created which processes and cleans up segmented image. By carefully selecting each step, the following sequence of post-processing filters was determined: 1) convert 24-bit RGB to 8-bit grayscale format; 2) expand image intensity range; 3) segment image using adaptive threshold algorithm; 4) discard background-colored blobs by size; 5) perform morphological thinning using skeleton structuring elements; 6) perform morphological thinning using branch pruning structuring; 7) discard foreground-colored blobs by size; 8) perform morphological dilation. This post-processing filtering sequence produces segmented image which is clean from noise artifacts and has more defined structure edges (Fig. 3, b).

2.5. IC Layer Structure Recognition

Two methods suitable for recognition of IC inter-layer contacts (vias) are presented. Both methods are based on general algorithm which consists of three main

steps: 1) input image processing; 2) processed image analysis and vector data extraction; 3) vector data analysis and processing. Implementation of steps 1 and 2 is different for each proposed method.

Blob selection method is simpler and faster of two proposed via detection methods. Initial image is segmented using adaptive or conventional threshold with or without post-processing with aim to achieve best possible separation of via objects from other objects. Resulting binary image is processed with simple blob selection filter. This step requires predefined approximate dimensions of via objects in pixels. Via size must be calculated in advance and provided to this method as input parameter. Size-based blob filtering removes binary objects which size does not fall into size range specified by filter parameter. Remaining objects are identified as vias.

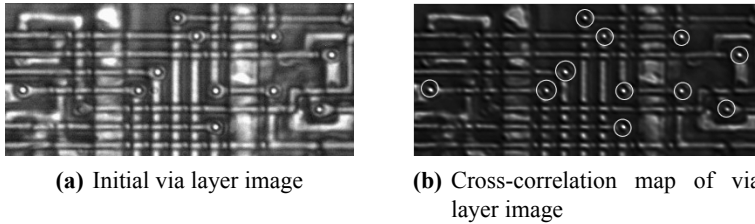


Fig. 4. Template-based structure recognition method

Structure recognition using templates method is based on statistical similarity search principle. Image (Fig. 4, a) regions which correlate with a provided via sample image are marked as via locations. Search is performed by calculating cross-correlation map using template image. Template image must be synthetic or actual image of single via sample. Correct pattern selection is very important for this algorithm. Cross-correlation map produced by algorithm is stored back as 8-bit grayscale image (Fig. 4, b) with equal dimensions as input. High intensity regions in map image may be identified as via locations using conventional segmentation algorithms.

3. Integrated Circuit Visual Analysis System

In thesis chapter 3, software system and its algorithm implementations are presented.

3.1. System Requirements

Requirements for software system are as follows:

1. Implementation in modern programming language.
2. Modular architecture and easy extendibility.

3. Cautious use of computer system resources.
4. Windows operating system support.

3.2. System Implementation Details

Microsoft .NET platform was chosen to implement the software. .NET is currently recommended way to develop applications for Windows operating systems. There are two main GUI frameworks for .NET: Windows Forms (WinForms) and Windows Presentation Foundation (WPF).

After evaluation of both WinForms and WPF, former was chosen to implement GUI and image processing/analysis algorithms for software part of this thesis. WinForms was chosen because of the following reasons: lower system resource usage, GDI+ library enables direct image memory manipulation in PC system RAM.

System was implemented using C# programming language, version 4.0. This decision allowed rapid development of software application without paying too much attention to implementation details such as application memory management and both 32 and 64 bit architecture support. Compiled .NET assemblies of thesis software are able to run under both x86 and x86-64 architectures and take full advantage of their abilities, including higher runtime performance and increased memory capacities in 64-bit mode. The only disadvantage, compared to lower level languages (C++, C) is slightly higher comparative system resource usage, i.e. memory consumption. .NET platform has won in rapid development rate and relatively fast execution speed.

System was implemented as modular architecture. Different functionality is split to different modules which are imported in main application as .NET assemblies. This allows independent development of image processing algorithms, image analysis algorithms, etc.

4. Experimental Testing of IC Visual Analysis System

In thesis chapter 4, results of experiments performed using thesis software, are presented. Statistical analysis of collected data is performed to show how proposed algorithms and their implementations perform.

4.1. Investigation of Image Input Hardware Defect Compensation Algorithm

Initial image (Fig. 5, a) was taken and processed with defect compensation algorithm using blank frame (Fig. 1, b) corresponding to input image. Resulting output image (Fig. 5, b) visually indicates that algorithm significantly reduced visible dust patterns in final IC layer image.

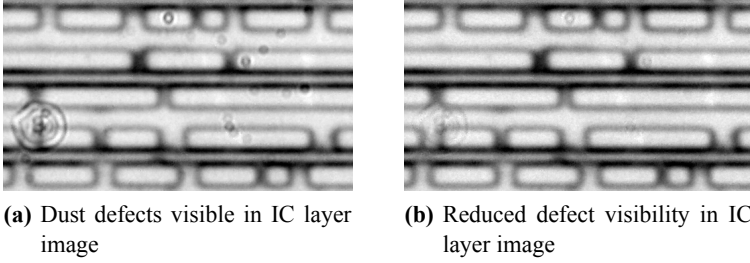


Fig. 5. Image defect compensation algorithm application

4.2. Quality of Adaptive Threshold Segmentation Algorithm Results

To assess segmentation quality of adaptive threshold algorithm, quality index Q_s was calculated for each test image. Q_s depends on correctly segmented pixel count ratio and on segmented object contour pixel count ratio. 180 nm technology M1 and M3 layer image sets were used during experiment. Edge pixels closest to reference image edge pixels were used when calculating distance. Table 1 provides summary results of statistical comparison of segmentation quality parameters between various test images and different segmentation algorithms. σ_1 is standard deviation of segmented contour pixel distances l from reference contour pixels, $\bar{l}$ – mean of all l values, A_o – correctly segmented pixel count to total pixel count ratio, A_c – segmented object contour pixel with acceptable l count to total contour pixel count ratio, Q_s – final quality index. AS – adaptive threshold algorithm, BLS – bi-level threshold algorithm.

Table 1. Statistical readings of distances between reference countours and automatically obtained contours

	M1 AS	M1 BLS	M3 AS	M3 BLS	Avg. AS	Avg. BLS
σ_1	2.66	2.87	1.23	1.23	1.76	1.87
$\bar{l}$	1.43	2.06	0.63	0.96	0.84	1.23
A_o	0.95	0.90	0.93	0.86	0.94	0.88
A_c	0.95	0.80	0.98	0.98	0.97	0.89
Q_s	0.90	0.72	0.91	0.85	0.91	0.79

Statistical parameters in table 1 show that objects obtained using adaptive segmentation algorithm are consistently more accurate in comparison to bi-level thresholded objects. Proposed adaptive threshold algorithm always gives standard deviation σ_1 of contour pixel distances smaller than conventional bi-level segmentation algorithm and correctly segmented pixel count ratio A_o as well as contour

distance quality ratio A_c is always better for AS algorithm. Acceptable pixels for A_c ratio are required to be at distance $l \leq 1/4d$, where d is manufacturing grid size for IC used for this experimental test. Measured in pixels $d = 3.6$ for this test. Consistently high quality level values of $Q_s > 0.9$ for AS algorithm compared to BLS algorithm, achieved during experiment suggest that proposed algorithm is suitable for practical metal layer segmentation applications.

4.3. Investigation of Composite Metal Layer Segmentation Method

To assess effectiveness of proposed post-processing sequence for segmented IC metal layer images, the same quality evaluation method was used as for segmentation algorithm quality evaluation in previous subsection. Same test image sets of 180 nm IC layers M1 and M3 were automatically segmented, post-processed using our method and compared to reference segmentation results to calculate quality index Q_s .

Table 2. Statistical readings of distances between reference countours and post-processed automatically obtained contours

	M1 AS	M1 BLS	M3 AS	M3 BLS	Avg. AS	Avg. BLS
σ_l	1.15	2.20	0.34	1.14	0.71	1.54
$\bar{l}$	0.75	1.61	0.12	0.63	0.29	0.88
A_o	0.96	0.92	0.98	0.89	0.97	0.90
A_c	0.98	0.90	1.00	0.98	0.99	0.94
Q_s	0.94	0.82	0.98	0.88	0.96	0.85

Results in table 2 suggest that proposed post-processing sequence substantially improves quality final quality level Q_s and its intermediate parameters not only for our new adaptive threshold (AS) segmentation algorithm but also for simple bi-level threshold (BLS) algorithm. Compared to AS results without composite post-processing, Q_s value was increased from 0.91 to 0.96 when post-processing was applied. In practice segmentation quality differs even more in favor of post-processing AS algorithm because simple segmentation methods such as BLS tend to open gaps in objects or completely remove required objects from segmented images which significantly reduces practical application of their results.

4.4. Comparison of Structure Recognition Algorithms

Three images sets of via layers with different properties were used to compare accuracy of direct structure recognition algorithms. Experimental testing was performed by counting hit/miss rate of via locations in all test images (Table 3).

Table 3. Structure recognition algorithm test results

Method Sample type	Cross correlation				Blob selection			
	a	b	c	d	a	b	c	d
Total (N_v)	147	16	89	99	147	16	89	99
Found (N_r)	147	15	61	72	147	16	70	78
Missed	0	1	28	27	0	0	19	21
Wrong (N_b)	0	0	4	8	0	0	1	185
Precision A , %	100	94	66	67	100	100	78	27

Accuracy rate was calculated using the following formula:

$$A = \frac{N_r}{N_v + N_b} \cdot 100\%, \quad (4)$$

where N_v is total object count in test image set, N_r is count of correctly identified objects and N_b is count of incorrectly identified objects.

In three of four test image sets, higher structure identification accuracy was achieved using simpler blob selection algorithm. When via to background contrast ratio in input image decreases below certain level, cross correlation search algorithm gains accuracy advantage over blob selection algorithm, because latter one is suited to distinguish vias in abundant segmentation noise. Cross correlation search takes over accuracy lead because it actually performs recognition of predefined via patterns in image when blob selection which only depends on via size information.

Recognition method testing results show that in most cases blob selection method is the most suitable method for via identification in image. However both proposed methods are dependent on the quality of input image data. Cross correlation search method is preferable to blob selection when input image object to background contrast ratio degrades.

Results and Conclusions

During the preparation of the doctoral dissertation the following results which are novel in the electrical and electronic engineering science have been obtained:

1. During the period of performed research, a software system was developed suitable to operate on images obtained from optical or scanning electron microscope. Image processing and analysis methods, when implemented in software, enable practical analysis of IC layer structures in microscope images. Software was used for successful analysis of multiple different integrated circuits during practical application in a private company.
2. New algorithm for image input hardware defect compensation was developed. It enhances quality of initial images by using information from empty

frame and allows avoiding segmentation and analysis errors in further image processing steps.

3. It was shown that new adaptive threshold segmentation algorithm performs time-efficient and accurate segmentation of IC metal layer features of CMOS ICs, that were manufactured using 180 nm or larger scale technologies and images of layers were obtained using optical microscopes. Algorithm achieves quality level $Q_s = 0.91$, which proves that adaptive threshold algorithm is consistently more accurate in segmenting object edges than simple bi-level threshold algorithm. Q_s depends on correctly segmented pixel count ratio and on segmented object contour pixel count ratio.
4. New segmentation post-processing sequence was developed and tested, which improves adaptive segmentation and other algorithm segmentation results. The sequence improves segmentation quality level Q_s by 0.5 up to 0.96.
5. IC structure recognition algorithms were presented which are suitable to identify repetitive patterns when input image quality degrades to level where segmentation approach is not possible.
6. Segmented image vectorization algorithm is suitable for converting raster format images to vector format images using predefined accuracy grid. Vector format data provided by algorithm is compatible with IC industry standard GDS II vector format. Experimental results show that Delaunay triangulation method gives best possible vectorization results when compared to other thinning algorithms.
7. Images of analyzed IC layers were obtained using optical microscopes. Their general traits were low contrast and sharpness, especially for images of ICs manufactured using 250 nm technology or lower scale. Scanning electron microscopes provide much higher quality images therefore all methods and algorithms presented in this dissertation are suitable to use on higher integration ICs.

List of Scientific Publications on the Topic of Dissertation

In the Reviewed Scientific Journals

Masalskis, G.; Navickas, R. 2008. Reverse Engineering of CMOS Integrated Circuits, *Electronics and Electrical Engineering* 8(88): 25–28. ISSN 1392–1215.

Jasevičius, L.; Masalskis, G. 2010. Research of optimal method for integrated circuit raster image vectorization, “*Science – Future of Lithuania*” 2(1): 14–18. ISSN 2029-2341.

Masalskis, G.; Navickas, R. 2010. Time-Efficient Adaptive Segmentation Algorithm for IC Layer Images, *Electronics and Electrical Engineering* 10(96): 133–138. ISSN 1392–1215.

In Other Scientific Works

Masalskis, G.; Petrauskas, R. Integrated Circuit Layer Image Segmentation, in *Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments 2010*, edited by Ryszard S. Romaniuk, Krzysztof S. Kulpa, Proceedings of SPIE Vol. 7745 (SPIE, Bellingham, WA, 2010) 774517.

About the Author

Giedrius Masalskis was born in Kaunas, on 9 of March 1982. He was granted the Bachelor's degree in Computer Science at the Faculty of Computer Science of Kaunas Technology University in 2004 and the Master's degree in Computer Science and Electronics at the Faculty of Computer Science of Kaunas Technology University in 2006. During 2006–2010 G. Masalskis was a PhD student of Vilnius Gediminas Technical University. He joined JSC Radiolinija branch Semiconductors Research at 2006 as software/HDL engineer. He is member of Semiconductors Research team which performs practical IC analysis and design. As Semiconductors Research IC analysis consultant G. Masalskis has visited international companies in Switzerland and United States of America. Since 2009 he is also employed as laboratory assistant in the Department of Electronic Engineering, Vilnius Gediminas Technical University.

INTEGRINIŲ GRANDYŲ TOPOLOGIJOS ELEMENTŲ ATPAŽINIMO SISTEMOS SUKŪRIMAS IR TYRIMAS

Tiriamoji problema

Vyraujančios tendencijos integrinių grandynų (IG) projektavimo ir gamybos pramonėje sąlygoja, jog išaugus gaminamų lustų kompleksiskumui, vis aktualesnė tampa defektų aptikimo problema. Lustų defektų verifikavimas užima vis didesnę svarbą projektavimo ir gamybos procese. Vienas galimų šios problemos sprendimo būdų yra vizualinė pagamintų lustų verifikacija. Vizualinė verifikacija yra automatinis kiekvieno technologinio lusto sluoksnio vaizdinės informacijos apdorojimas ir analizė, tiksliai išskiriant gamybos proceso metu suformuotas struktūras. Gauta informacija palyginama su pradinio lusto topologijos projektu, tokiu būdu aptinkant gamybos metu atsiradusius defektus.

Lustai gamybos proceso metu yra formuojami iš daugelio sluoksnių, tokių kaip aktyvios sritys, užtūros sritys, tarp sluoksniai sujungimai, metalo laidų tinklas ir kt. Kiekvieno iš skirtingų sluoksnių struktūros pasižymi skirtingomis savybėmis, todėl labai sunku sukurti universalius vaizdinės analizės metodus. Tam reikalingos specializuotos programinės įrangos sistemos, kuriose įdiegta visus sluoksnius gebančių analizuoti metodų visuma. Tokia sistema buvo sukurta rengiant šią daktaro disertaciją. Taikant sistemą buvo atliekami visų disertacijoje aprašomų metodų ir algoritmų eksperimentiniai tyrimai bei praktinis taikymas.

Šioje disertacijoje nagrinėjama problema yra automatinis kiekvieno technologinio lusto sluoksnio vaizdinės informacijos apdorojimas ir analizė, tiksliai išskiriant gamybos proceso metu suformuotus IG elementus.

Darbo aktualumas

Europa turi efektyvią infrastruktūrą puslaidininkų technologijų tobulinimui bei gamybai, joje yra keli svarbiausieji pasaulinio masto puslaidininkų tyrimo centrai: IMEC (Belgija), CEA-LETI (Prancūzija) ir Fraunhofer VME (Vokietija). Šios krypties įvairių mažesnių tyrimo ir projektavimo centrų yra ir Lietuvoje, Vilniuje ir Kaune. Šiuo metu vykdomas valstybės projektas sukurti Nacionalinį fizinių ir technologijos mokslų centrą, kuriame bus mikro- ir nanoelektroninių sistemų projektavimo ir tyrimo laboratorija (atsakingas VGTU prof. R. Navickas), kuriai projektavimo įrangą rengia dr. V. Barzdėnas, o už tyrimo įrangą atsakingas G. Mašalskis.

Lietuvos tyrėjams ir inžinieriams dirbti šioje srityje ypač perspektyvu, nes ji reikalauja aukštos kvalifikacijos darbuotojų, o ne brangių technologinių įrengimų ir medžiagų. Be to projektavimo bendrovės gali būti smulkios ar vidutinės įmonės, kurių steigimą labai skatina Europos Sąjunga ir Lietuvos Ūkio ministerija. Lietu-

voje yra kelios užsienio ir lietuviško kapitalo integrinių grandynų projektavimo ir tyrimo bendrovės UAB „Lime Microsystems“, UAB „KMSD“, UAB „Baltic Microchip“, UAB „Radiolinija“ ir kt.

VGTU Elektronikos fakultete yra grupė integrinių grandynų ir sistemų projektuotojų ir technologijos specialistų, doktorantų, kuriems vadovauja prof. R. Navickas. Šios krypties doktorantai rengiami ir kituose Lietuvos universitetuose – KTU, VDU ir VU (vadovai – prof. R. Šeinauskas, prof. E. Bareiša, prof. K. Motiejūnas, prof. S. Jusas, prof. S. Tamulevičius, prof. R. Anilionis, akad. L. Pranevičius, akad. J. Vaitkus ir kt.). Vaizdų atpažinimo tyrimus vykdo nemažai mokslininkų iš VGTU (prof. R. Martavičius, prof. D. Navakauskas, doc. A. Ušinskas ir kt.), mokslininkų grupės iš KTU (prof. R. Simutis, prof. A. Verikas, prof. A. Lukoševičius ir kt.).

Tyrimų objektas

Šio darbo tyrimų objektas yra puslaidininkinių integrinių grandynų technologiniuose sluoksniuose suformuotų elementų atpažinimas. Darbe tiriama elementų vaizdai ir šių vaizdų apdorojimo bei atpažinimo algoritmai.

Darbo tikslas

Darbo tikslas – sukurti ir ištirti lusto sluoksnių elementų struktūrų atpažinimo iš mikrofotografinių arba elektronografinių vaizdų sistemą.

Darbo uždaviniai

Darbo tikslui pasiekti reikia spręsti tokius uždavinius:

1. Sukurti ir ištirti vaizdų įvesties įrangos defektų kompensavimo algoritmą.
2. Sukurti ir ištirti adaptyvaus slenksčio segmentavimo algoritmą.
3. Sukurti ir ištirti metalo takelių vaizdų segmentavimo kokybės pagerinimo metodą.
4. Sukurti ir ištirti integrinių grandynų elementų atpažinimo taikant šablonus algoritmą.
5. Sukurti ir ištirti segmentuotų integrinių grandynų elementų vaizdų vektorizavimo algoritmą.

Tyrimų metodika

Disertacijoje naudojami analitiniai ir skaitiniai tyrimo metodai.

IG topologijos elementų atpažinimo sistemai sukurti ir ištirti buvo pasiūlyti nauji algoritmai, sudarytos analitinės lygtys ir programų tekstai. Eksperimentiniai tyrimai buvo atlikti disertacijos eigoje sukurta programine įranga, kuri buvo realizuota Microsoft .NET platformoje, naudojant C# programavimo kalbą ir Visual Studio 2008 aplinką. Rezultams tikrinti ir taikyti buvo naudojami automatizuota IG projektavimo paketai Tanner EDA, Cadence ir kt.

Gauti rezultatai apibendrinami ir lyginami su kitų darbų rezultatais.

Darbo mokslinis naujumas ir jo reikšmė

1. Sukurta IG topologijos elementų analizės sistema, pagrįsta mikrofotografinių ir elektronografinių vaizdų apdorojimo ir atpažinimo metodais ir galinti automatiškai atpažinti KMOP IG elementus.
2. Pasiūlytas vaizdų įvesties įrangos defektų kompensavimo algoritmas, pagerinantis pradinę mikrofotografinių vaizdų kokybę ir leidžiantis išvengti klaidingų rezultatų tolesnėje apdorojimo ir analizės eigoje.
3. Pasiūlytas adaptyvaus slenksčio segmentavimo algoritmas, veikiantis tiksliau nei įprasti dviejų lygių segmentavimo algoritmai ir sparčiau nei kiti atitinkami segmentavimo algoritmai.
4. Sukurtas metalo takelių sluoksnių vaizdų segmentavimo metodas, leidžiantis patikslinti adaptyvaus slenksčio ir kitų algoritmų segmentavimo rezultatus ir taip pagerinti metalo takelių elementų kokybę.
5. Sukurtas integrinių grandynų elementų atpažinimo taikant šablonus algoritmas leidžia vykdyti automatinę sluoksnių vaizdų analizę, kai standartinis segmentavimo-vektorizavimo metodas to atlikti negali.
6. Sukurtas segmentuotų vaizdų vektorizavimo metodas analizuoja segmentuotus vaizdus ir nurodytu tikslumu keičia juose esančią rastrinės išraiškos informaciją į vektorinę išraišką, suderinamą su GDS II formatu.

Darbo rezultatų praktinė reikšmė

Sukurti integrinių grandynų sluoksnių struktūrų analizės metodai buvo įdiegti specialioje programinėje įrangoje „RETool“. Ji yra taikoma praktikoje analizuojant lustų sluoksnių vaizdus UAB „Radiolinija“ padalinyje „Semiconductors Research“. Naudojant programinę įrangą buvo sėkmingai analizuojami įvairūs skirtingi IG, kurie buvo pagaminti naudojant 180 nm ir didesnio žingsnio KMOP technologiją. Kiekvienas iš šių lustų buvo sudarytas iš daugelio sluoksnių, kurių vaizdai buvo sudaryti iš 50–200 atskirų kadrų poaibio. Pilnas lustas priklausomai nuo analizuojamų sluoksnių kiekio buvo sudarytas iš 350–2 500 vaizdų aibės.

Didžioji dalis analizuojamų sluoksnių vaizdų buvo gauti optiniais mikroskopais. Tokie vaizdai dažnai buvo prasto kontrasto ir ryškumo, ypač kai lustai pagaminti mažesniais technologiniais žingsniais. Elektroniniais mikroskopais gauti vaizdai dažniausiai būna kontrastingesni, todėl sukurtus ir įgyvendintus algoritmus lygiai taip pat sėkmingai galima taikyti ir naujausiais technologiniais procesais pagamintiems lustams.

Sukurtieji metodai ateityje bus taikomi ir Saulėtekio slėnyje, Nacionaliniame fizikinių technologijų mokslų centre, Mikro- ir nanoelektroninių sistemų projektavimo ir tyrimo laboratorijoje.

Ginamieji teiginiai

1. Sukurtoji integrinių grandynų sluoksnių vaizdų analizės sistema automatiškai vykdo įvairius sluoksnius sudarančių elementų atpažinimą rastriniuose vaizduose ir perkėlimą į vektorinius automatizuoto projektavimo įrankių failų formatus, turi funkcijas įvairių formatų rastriniams vaizdams skaityti ir rašyti, galimybę sukurti ir pritaikyti sudėtingas vaizdų apdorojimo sekas vienam ar daugeliui vaizdų failų iš karto, atlikti rastrinio vaizdo analizę ir išvesti gautą analizės informaciją vektoriniu GDS II formatu.
2. Pasiūlytas vaizdo defektų kompensavimo algoritmas panaikina vaizdo įvesties įrangos pasikartojančių defektų poveikį tolimesniam vaizdų apdorojimo ir analizės procesui.
3. Pasiūlytas adaptyvaus slenksčio segmentavimo algoritmas užtikrina tinkamą metalo sluoksnių segmentavimo kokybės Q_s rodiklio lygį 0,91, kai kokybės kriterijai yra teisingai segmentuotų taškų santykis ir santykis skaičiaus kontūrų taškų, nutolusių nuo etaloninių kontūrų taškų mažiau nei per ketvirtį gamybos technologijos žingsnio, apdorojant mikrofotografiinius vaizdus, kurių didinimo laipsnis yra nuo 1 000 iki 4 000 kartų, o analizuojami lustai pagaminti naudojant 180 nm arba didesnius technologinius žingsnius.
4. IG metalo takelių sluoksnių vaizdų apdorojimo metodas taikant filtrų sekas, pagerina adaptyvaus slenksčio algoritmo segmentavimo kokybę ir leidžia pasiekti kokybės Q_s reikšmę 0,96.
5. Tiesioginio pasikartojančių struktūrų IG vaizduose atpažinimo algoritmas identifikuoja IG elementus pagal vaizdų šablonus ir taikomas, kai segmentavimo-vektorizavimo metodas netaikytinas.

Darbo rezultatų aprobavimas

Tyrimų rezultatai publikuoti keturiuose straipsniuose recenzuojamuose moksliniuose leidiniuose:

- 2 straipsniai ISI Web of Science duomenų bazėje referuojamuose žurnaluose;
- 1 straipsnis Index Copernicus duomenų bazėje referuojamame žurnale;
- 1 straipsnis SPIE Digital Library duomenų bazėje referuojamame konferencijos medžiagos leidinyje.

Tarpiniai disertacijos tyrimų rezultatai pristatyti pranešimuose tarptautinėse konferencijose „Elektronika“ (2007–2010 m.) bei pranešimuose Lietuvos jaunųjų mokslininkų konferencijose „Mokslas – Lietuvos ateitis“ (2007–2010 m.).

Disertacijos struktūra

Disertaciją sudaro santrauka lietuvių ir anglų kalbomis, įvadas, keturi skyriai, bendrosios išvados, literatūros ir publikacijų disertacijos tema sąrašas. Darbo apimtis yra 101 puslapis, kuriuose pateikta: 27 formulės, 50 paveikslų ir 5 lentelės. Disertacijoje remtasi 53 kitų autorių literatūros šaltiniais.

Bendrosios išvados

1. Sukurta IG topologijos elementų analizės sistema, pagrįsta fotografinių ir elektronografinių vaizdų apdorojimo ir atpažinimo metodais. Sistema gali automatiškai atpažinti IG elementus. Sistemoje įdiegtas įvesties įrangos vaizdo defektų kompensavimo algoritmas, adaptyvaus slenksčio segmentavimo algoritmas, rastrinių vaizdų vektorizavimo algoritmas, pasikartojančių struktūrų identifikavimo algoritmas ir kiti vaizdų apdorojimui naudojami algoritmai. Pasirinkta programinės įrangos architektūra suteikia sistemai lankstumo: dalis įdiegtų apdorojimo ir analizės algoritmų gali būti vienu metu vykdomi keletu procesoriaus branduolių, naujus vaizdų analizės ir apdorojimo algoritmus galima įdiegti nekompiuojant iš naujo visų sistemos modulių. Sistema taikoma praktikoje analizuojant lustų sluoksnių vaizdus UAB „Radiolinija“ padalinyje „Semiconductors Research“. Naudojant programinę įrangą buvo sėkmingai analizuoti įvairūs skirtingi IG, kurie buvo pagaminti naudojant 180 nm ir didesnio žingsnio KMOP technologiją.
2. Sukurtas vaizdų įvesties įrangos defektų kompensavimo algoritmas, leidžiantis išvengti klaidingų rezultatų tolesnėje apdorojimo ir analizės eigoje. Šis algoritmas panaikina vaizdo įvedimo įrangos trūkumų poveikį panaudojant tuščio kadro informaciją.
3. Sukurtas adaptyvaus slenksčio segmentavimo algoritmas, veikiantis tiksliau nei įprasti dviejų lygių segmentavimo algoritmai ir sparčiau nei kiti sudėtingi segmentavimo algoritmai. Algoritmas pasižymi savybėmis tinkamomis būtent tokių vaizdų analizei: atsparumu triukšmui, tikslesniais segmentuotų objektų kraštais. Taikant šį algoritmą metalo takelių sluoksnių elementams segmentuoti, pasiekiamas Q_s kokybės rodiklis lygus 0,91, kai kokybės kriterijai yra teisingai segmentuotų taškų santykis ir santykis skaičiaus kontūrų taškų, nutolusių nuo etaloninių kontūrų taškų mažiau nei per ketvirtį gamybos technologijos žingsnio. Kokybės vertinimui buvo apdorojami mikrofotografiniai vaizdai, kuriuose užfiksuotų objektų didinimo laipsnis yra nuo 1 000 iki 4 000 kartų, o analizuojami lustai pagaminti naudojant 180 nm arba didesnius technologinius žingsnius.
4. Sukurtas metalo takelių sluoksnių vaizdų segmentavimo kokybės pagerinimo metodas, leidžiantis patikslinti adaptyvaus slenksčio ir kitų algoritmų

segmentavimo rezultatus, tokiu būdu pagerinant metalo takelių atpažinimo tikslumą. Naudojant šį metodą, susidedantį iš kompleksinės vaizdų apdorojimo algoritmų sekos, eksperimento metu metalo takelių kokybė Q_s padidėjo nuo 0,91 iki 0,96.

5. Sukurtas integrinių grandynų elementų atpažinimo taikant šablonus algoritmas leidžia vykdyti sluoksnių vaizdų analizę, kai paprastas segmentavimo-vektorizavimo metodas negali būti taikomas dėl netinkamos pradinio vaizdų kokybės. Kryžminės koreliacijos taikymas yra labiausiai tinkamas kontaktinių angų atpažinimui sluoksnių vaizduose, kuriuose struktūros nėra pakankamai kontrastingos lyginant su fonu.
6. Sukurtas segmentuotų vaizdų vektorizavimo metodas analizuoja segmentuotus vaizdus ir nurodytu tikslumu keičia juose esančią rastrinę informaciją į vektorinę, suderinamą su GDS II formatu. Vektorizavimo taikant Delaune trianguliaciją rezultatai eksperimentiškai įrodo, kad toks algoritmas geriau tinkamas IG struktūrų analizei nei objektų ploninimo algoritmai.
7. Naudojant pasiūlytus metodus analizuojami sluoksnių vaizdai buvo gauti optiniais mikroskopais. Vaizdai buvo prasto kontrasto ir ryškumo, ypač tų lustų, kurie pagaminti naudojant technologinius žingsnius, mažesnius nei 250 nm. Skenuojančiais elektroniniais mikroskopais gauti vaizdai yra kontrastingesni, todėl sukurtus ir įgyvendintus algoritmus lygiai taip pat sėkmingai galima taikyti ir naujausiais technologiniais procesais pagamintiems lustams.

Apie autorių

Giedrius Masalskis gimė 1982 m. kovo 9 d. Kaune. 2004 m. įgijo informatikos bakalauro laipsnį Kauno technologijos universiteto Informatikos fakultete. 2006 m. įgijo informatikos inžinerijos mokslo magistro laipsnį Kauno technologijos universiteto Informatikos fakultete. 2006–2010 m. – Vilniaus Gedimino technikos universiteto Kompiuterių inžinerijos katedros doktorantas. Nuo 2006 metų dirba programinės ir aparatinės įrangos inžinieriumi UAB „Radiolinija“ padalinyje „Semiconductors Research“, kur atlieka praktinę integrinių grandynų analizę ir projektavimą. Kaip „Semiconductors Research“ IG analizės konsultantas lankėsi tarptautinėse kompanijose Šveicarijoje bei Jungtinėse Amerikos Valstijose. Nuo 2009 metų taip pat dirba asistentu VGTU Elektronikos fakulteto Kompiuterių inžinerijos katedroje.

Giedrius Masalskis
giedrius.masalskis@el.vgtu.lt

DEVELOPMENT AND ANALYSIS
OF INTEGRATED CIRCUIT TOPOLOGY
ELEMENT RECOGNITION SYSTEM

Summary of Doctoral Dissertation
Technological Sciences, Electrical and Electronic Engineering (01T)

INTEGRINIŲ GRANDYNŲ TOPOLOGIJOS
ELEMENTŲ ATPAŽINIMO SISTEMOS
SUKŪRIMAS IR TYRIMAS

Daktaro disertacijos santrauka
Technologijos mokslai, elektros ir elektronikos inžinerija (01T)

2010 12 09. 1,5 sp. l. Tiražas 70 egz.
Vilniaus Gedimino technikos universiteto leidykla „Technika“,
Saulėtekio al. 11, LT-10223 Vilnius, <http://leidykla.vgtu.lt>
Spausdino UAB „Ciklonas“,
J. Jasinskio g. 15, Vilnius, <http://www.ciklonas.lt/>